SEMICONDUCTOR FRONT-END · PART 3-9

エッチング（高アスペクト比）
細く深い穴の底まで、
削り続ける

3D NANDのメモリでは、積み重ねた膜に、1段分を貫く細い穴を多数同時にあけます。深すぎる場合は段を分けて加工します。深さは幅の数十倍から100倍。穴が深くなるほど、削るためのガスもイオンも底まで届きにくくなり、削れる速さが落ち、形も崩れます。この回では、深い穴で何が起きているのかを高校の物理で考え、シリコンを深く掘る**ボッシュ法**、ウェハを冷やして掘る**極低温（クライオ）エッチング**、そしてメモリの会社と装置・素材の会社の勢力図を見ていきます。

半導体前工程シリーズ 第3部 3-9／難易度 ★★★
事前学習：3-8／最終更新：2026年11月20日

この記事の構成

1. この回を3行でつかむ
2. 技術編① — アスペクト比と、深い穴が必要な場所
3. 技術編② — 深い穴の中で起きること
4. 技術編③ — 形が崩れる
5. 技術編④ — シリコンを深く掘る：ボッシュ法
6. 技術編⑤ — 冷やして掘る：極低温（クライオ）エッチング
7. 産業編① — メモリの会社：韓国勢と日米
8. 産業編② — 深い穴の装置：Lam Research と東京エレクトロン
9. 産業編③ — ガス・冷却・部品：素材の出番
10. これから求められること
11. まとめと次回予告
12. 確認クイズ
13. 用語集
14. 参考資料（一次情報）
15. 主張と出典の対応表

本記事の表記ルール

事実 ＝公的機関・学術資料・企業の公式発表に記載のある内容（出典番号つき）
本稿の計算 ＝明示した前提から本記事が計算した値
推測 ＝出典から読み取れる範囲を超えた、本記事の見立て
未確定／将来 ＝計画・ロードマップであり、実績が確認できていない事項
物理の一般原理（教科書で確立している内容）の説明は、とくにタグを付けずに書いています。

この回の学習目標

- NANDフラッシュメモリが電子をためてデータを覚えるしくみと、3D NANDの穴の中で電子が逃げない理由を説明できる
- 「アスペクト比」の意味と、3D NANDやDRAMで深い穴が必要になる理由を説明できる
- 深い穴ほど削れる速さが落ちる現象（ARDE）を、中性粒子の影・イオンの影・帯電・クヌーセン輸送の4つの言葉で説明できる
- ボッシュ法と極低温エッチングが、それぞれどうやって側壁を守りながら深く掘るのかを説明できる
- メモリと高アスペクト比のエッチングで、どの国のどの会社が強いのかを挙げられる

1. この回を3行でつかむ

- **アスペクト比**は、穴や溝の「深さ÷幅」です。3D NANDのメモリでは、積み重ねた膜を貫く穴を一括加工するので、アスペクト比は数十から100に達します。
- 穴が深くなると、斜めに飛ぶ粒子は壁に当たり、底に届く反応性の粒子やイオンが減ります。また、上部と底の帯電の差がイオンの軌道を曲げることもあり、削れる速さが落ちたり（**ARDE**）、側壁が膨らんだり（**ボーイング**）します。そこで、側壁を守る膜の作り方を工夫した**ボッシュ法**や、ウェハを冷やす**極低温エッチング**が使われます。
- NANDのシェアはサムスン電子・SK hynix（韓国）が合わせて5割強で、日本のキオクシアは約15%です（経済産業省の資料）。深い穴のエッチング装置では、Lam Researchが「主要メモリメーカーすべてが使う」と説明し、東京エレクトロンも極低温エッチングで量産装置の採用を得たとしています。

2. 技術編① — アスペクト比と、深い穴が必要な場所

深さ÷幅

穴や溝の**アスペクト比**は、深さを幅で割った値です [1] 事実 。幅1に対して深さ40なら「40対1」と書きます。Lam Researchの技術者による講義は、最先端の製造で難しい課題として「**40対1を超える**」高アスペクト比のパターン転写を挙げています [2] 事実 。同社の別の論文は、半導体の製造で「**60対1を超える**」アスペクト比が求められていると書いています [5] 事実 。東京エレクトロンは2024年、同社の極低温エッチングで**アスペクト比100**の穴を作れているとし、次の目標を1回のエッチングでの**200**としています [18] 事実 。

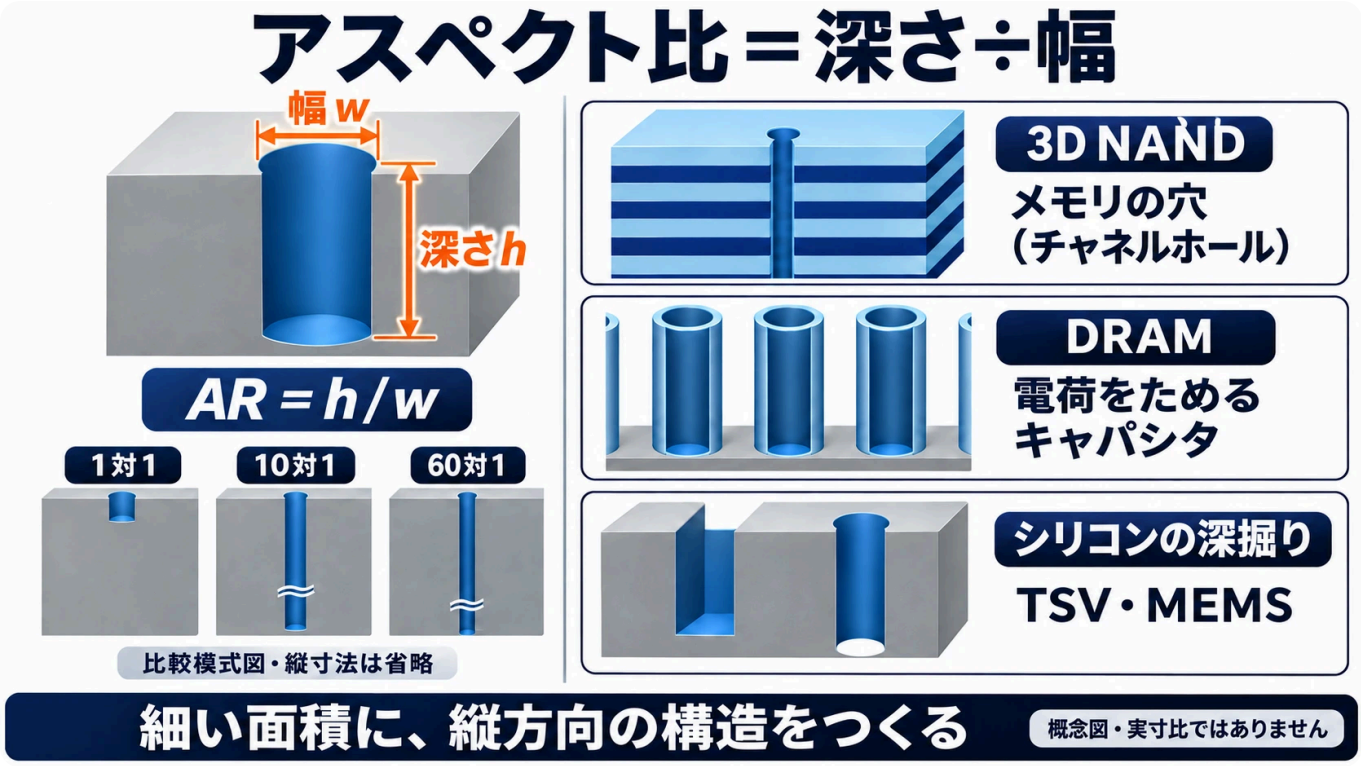


図1　アスペクト比：深い穴が必要な3つの場所（概念図）

図の読み方

左のwは穴の幅、hは元の表面からの深さです。下の比較では長い穴の途中を省略しています。右は用途の違いを示し、3D NANDの穴、DRAMのキャパシタ、シリコンの溝・貫通穴は、材料や作り方まで同じではありません。寸法・積層数・構造は模式的です [1][11][21]。

そもそもNANDフラッシュメモリとは

深い穴の代表は、3次元のNANDフラッシュメモリ（**3D NAND**）です。穴が深くなる理由を知るために、まずメモリそのもののしくみを見ておきます。

NAND型フラッシュメモリは、スマートフォンやSSDなどでデータを記憶する半導体です。データを記憶する最小単位を**メモリセル**と呼び、近年のフラッシュメモリは数千億個ものメモリセルでできています [32] 事実 。

メモリセルは、絶縁体に囲まれた**電荷蓄積膜**に電子を出し入れして、データを記憶します。制御ゲートに高い電圧をかけると、電子が絶縁体を通り抜けて、シリコンから電荷蓄積膜へ入ります。電圧を切っても、電子はそのまま蓄えられています。反対に、シリコンの側に高い電圧をかけると、電子は電荷蓄積膜から出ていきます。これが書き込みと消去です [32] 事実 。

読み出しでは、制御ゲートに一定の電圧をかけたとき、セルに電流が流れるかどうかを見ます。電荷蓄積膜に電子が入っていると、電流が流れ始める電圧（しきい値電圧）が上がり、電流は流れません。これが「0」です。電子が入っていなければ電流が流れ、「1」になります。この状態は電源を切っても保たれます。これが「電源を切ってもデータが消えない」というフラッシュメモリの特徴です。そして、このメモリセルを直列に並べた構造のものを、NAND型と呼びます [32] 事実 。

平面のまま小さくする限界

これまでの大容量化は、1つのメモリセルの面積を小さくする**微細化**で進められてきました。キオクシアは15 nmの製品まで微細化を進めました。しかし、セルどうしが近いために意図しない電流が流れたり、1つのセルにたまる電子の数が減って、ごくわずかな電子の漏れがデータの安定性に影響したりするようになったと説明しています[11] 事実 。そこで生まれたのが、平面のメモリを上に積み上げて、同じ面積に置けるセルの数を増やすという発想です[11] 事実 。

3D NAND：積層膜を一括加工する

キオクシア（当時は東芝）は2007年に、3次元フラッシュメモリの「一括加工」のコンセプトを学会で発表しました[11] 事実 。

そのしくみは「**パンチ＆プラグ**」と呼ばれます。制御ゲートの役割をする板状の電極と絶縁体を交互に積み上げ、面に垂直にたくさんの穴を**一気に**あけます（パンチ）。次に、穴の内側に電荷をためる膜と縦方向の半導体チャネルを形成します（プラグの考え方）。各ゲートの高さで、電荷蓄積膜を介してチャネルを制御する部分が1つのメモリセルになります[11] 事実 。東芝の技術誌によれば、穴は最上層から最下層まで貫通しています。穴の側面にメモリの働きをする膜を作り、そのあと柱状の電極を埋め込みます[13] 事実 。

穴は、空いたまま残るのではありません。チャネルの多結晶シリコンは薄い筒（マカロニのような形）にして、中心の空洞は誘電膜（絶縁物）で埋めます[13] 事実 。完成したメモリの中で、穴は外側から順に膜が重なり、真ん中まで詰まった柱になっています。

なぜ1層ずつ積まないのでしょうか。東芝の技術誌は、平面のメモリを単純に積み重ねる方法では、1層ごとに露光や加工の工程が必要になるため、**4〜8段を超えると積んでもビットあたりのコストが下がらなくなる**と計算しています。一括で穴をあける方式なら、各層ごとに同じ露光・穴加工を繰り返す負担を抑え、ビットあたりのコストを下げやすくなります[13] 事実 。

膜は上から下までつながっているのに、電子はなぜ逃げないのか

ここで、1つ疑問がわきます。平面のメモリセルの図では、電荷蓄積膜は絶縁体に囲まれた小さな「箱」のように描かれます。ところが3D NANDでは、穴の側面にまとめて膜を作るので、電荷蓄積膜はセルごとの箱に分かれていません。穴の上から下まで1本の筒としてつながっています 解説 。それなら、ためた電子が膜を伝って上や下へ逃げてしまわないのでしょうか。

答えは、膜の材料にあります。東芝の技術誌によれば、BiCSなどの3D NANDでは、メモリの働きをする膜に**シリコン窒化膜**を使っています。同誌はこの膜を「電子を蓄積できる絶縁膜」と書いています[13] 事実 。窒化シリコンは、それ自体が電気を通しにくい絶縁物です。膜の中には、電子を捕まえる小さな「わな」（**トラップ**）が散らばっています。入ってきた電子はこのわなに捕まり、ほとんど動けません。そのため膜がつながっていても、電子は導体の中のように自由に隣のセルへ流れるわけではありません。電極の板の近くに蓄えた局所的な電荷を、データとして利用します。このように、絶縁物のわなに電子をためる方式を**電荷トラップ型**と呼びます 解説 。

穴の中を電極の板の側から順に見ると、次のように重なっています 解説 。

1. 絶縁の膜（ブロック絶縁膜）
2. 電子をためる窒化シリコンの膜

3. とても薄い絶縁の膜（トンネル絶縁膜）
4. 電子の通り道になる多結晶シリコンのチャネル
5. 中心を埋める絶縁物

書き込みでは、電極の板に高い電圧をかけます。すると、チャネルの電子が薄い絶縁の膜を通り抜けて、窒化シリコンのわなに入ります。保持中は、絶縁膜とトラップが電子の移動を強く抑えます。ただし長時間の電荷損失が完全にゼロになるわけではありません [32] 事実 。

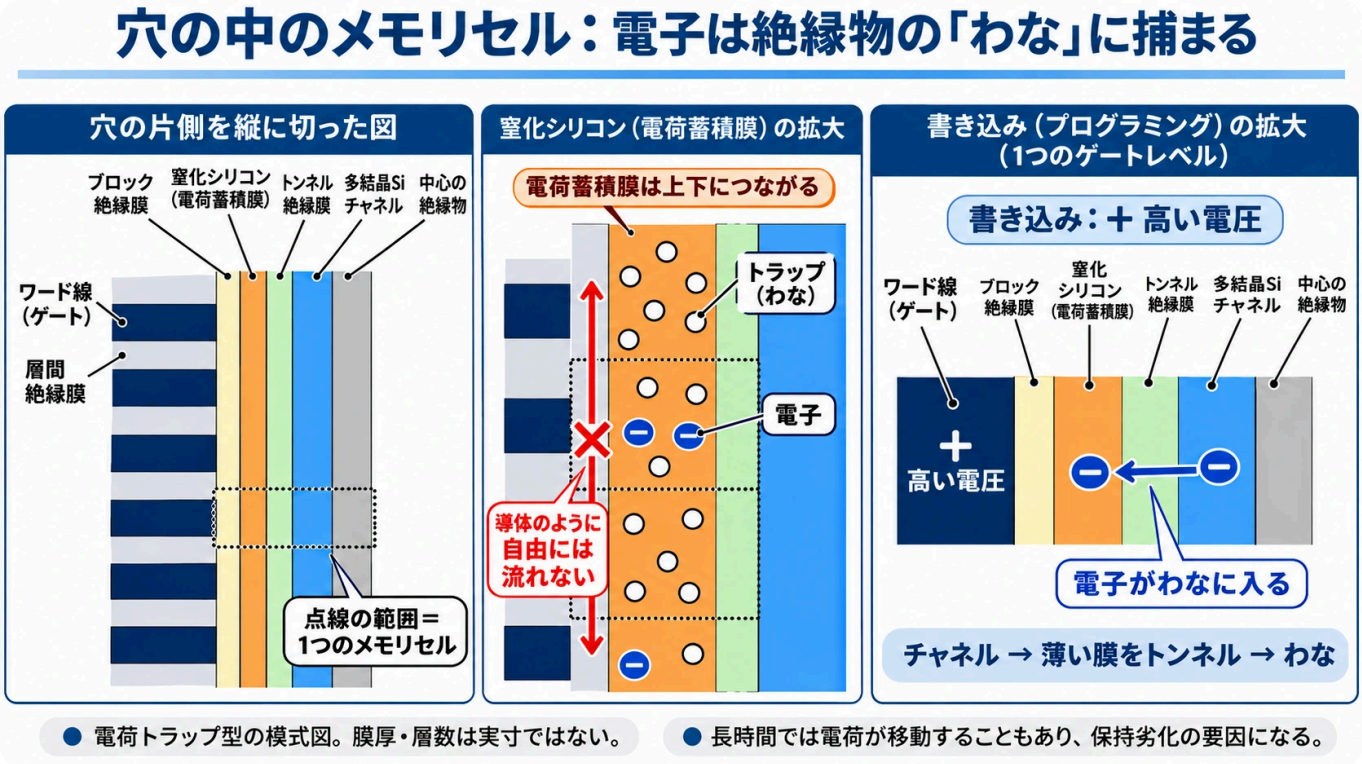


図2　穴の中のメモリセル：電子は絶縁物の「わな」に捕まる（概念図）。赤い×は導体のような自由な移動を否定するもので、長時間の電荷移動までゼロという意味ではありません。

「絶縁体に囲まれた箱」のイメージについて

平面のセルでは、電荷蓄積膜は絶縁体で囲まれた箱のように見えます。しかし3D NANDの穴の中では、膜は上下につながった筒です。電子をその場にとどめているのは、まわりの囲いだけではありません。膜そのものが絶縁物で、電子をわなに捕まえておくからです 解説 。ただし、まったく動かないわけではありません。捕まった電子が時間とともに膜に沿って少しずつ広がる「横方向の電荷損失」は、3D NANDの信頼性の課題として研究されています。2026年の論文は、高集積化で窒化シリコンの膜が薄く、短くなると、横方向の電荷損失が速まると書いています [33] 事実 。

● 1本の穴が、セルを串刺しにしたNANDストリングになる

東芝の技術誌によれば、シリコンの柱と板状電極の交点は、シリコン柱をチャネル、板状電極をゲート電極とする縦型のトランジスタになります。1本のシリコン柱は、それらを直列につないだ**NANDストリング**になります。積層数を増やせば、1本のNANDストリングにつながるトランジスタの数が増えます。そのため、チップの面積を増やさずに大容量化できます [13] 事実 。

つまり、1本の穴には、層の数だけメモリセルが串刺しのように並びます。セルを増やすには層を増やし、層を増やせば穴は深くなります 解説 。

その代わり、積めば積むほど、穴は深くなります。キオクシアは、BiCS FLASHを2015年に48層、2018年に96層、2020年に112層、2022年に162層で製品化し [11]、2026年7月には332層の第10世代のサンプル出荷を始めました [14] 事実 。48層から332層まで、約7倍です 本稿の計算 。キオクシアは、この**一定の穴径で、より深い穴**（メモリホール）を作るプラズマエッチング（RIE）が「非常に重要」で、マスク材料やガスの新規開発、装置による形状とプラズマの制御が求められると説明しています [12] 事実 。

東京エレクトロンは、この難しさを「**東京ドームほどの面積に、人の髪の毛ほどの太さで深さ8 mmの穴を約2兆個、33分で同時に均一にあける**」ことにたとえています（同社のたとえ） [18] 事実 。

- **DRAMとシリコンの深い溝**
  - **DRAM**：電荷をためるキャパシタにも、深い構造が使われます 解説 。Lam Researchは、深い穴のエッチング装置の用途として、3D NANDの穴・溝・コンタクトと並んで「キャパシタのセル」を挙げています [21] 事実 。
  - **シリコンの深い溝・貫通穴**：Lam Researchは、イメージセンサーの深い溝、パワー半導体の溝、チップを積み重ねるためのシリコン貫通電極（**TSV**）などをまとめて「ディープシリコンエッチ」と呼んでいます [21] 事実 。大学の研究者の論文も、MEMS（微小な機械部品）やTSVで、シリコンの深掘り（DRIE）が欠かせない工程になったと書いています [9] 事実 。

3. 技術編② — 深い穴の中で起きること

- **穴の中では、粒子は「壁にぶつかりながら」進む**

3-8で見たように、プラズマの中の圧力はとても低く、粒子どうしはめったにぶつかりません。UC Berkeleyの講義資料は、アルゴンのイオンが中性の粒子にぶつかるまでに進む距離（**平均自由行程**）の目安を、λ（cm）＝1／（330 × 圧力〔Torr〕）としています [3] 事実 。アルゴンのイオンの値ですが、桁の目安として使うと、圧力30 mTorrなら約1 mmです 本稿の計算 。

仮に穴の直径が0.1 μm（100 nm）だとすると、平均自由行程はその約1万倍です 本稿の計算 。穴の中では、**粒子同士の衝突より壁との相互作用が重要**になります。ほぼ垂直なイオンのように、壁に当たらず底へ届く粒子もあります 解説 。中性粒子の輸送は、ふつうの連続した「風」としてより、壁での反射・吸着・反応を考えて扱います。このような運び方を**クヌーセン輸送**と呼びます。講義資料は、Coburn と Winters が1989年に示した、穴に出入りする気体の流れの式を紹介しています [1][6] 事実 。

- **深い穴ほど遅くなる：ARDE**

削れる速さなどがアスペクト比に依存することを**ARDE**（アスペクト比依存エッチング）と呼びます。とくに深く細い穴ほど遅くなる場合は「**RIEラグ**」と呼ばれます [1] 事実 。Lam Researchの技術者の講義は、その主な機構として次の4つを挙げています [1] 事実 。

機構	何が起きるか
① 中性粒子の影	反応性の中性粒子（ラジカル）は、あらゆる向きから飛んでくる。大きく斜めに入った粒子は、穴の上部や側壁に当たり、反応・吸着で消費される場合がある。反射して届く分もあるが、底への供給は減りやすい
② イオンの影	イオンはほぼ真下に向かうが、圧力が高いとシースの中で散乱して角度が広がる。斜めのイオンは側壁に当たり、底に届かない
③ 差分帯電	電子は、イオンよりずっと広い角度で飛んでくる。穴の上部と底で帯電のしかたが違い、その電位の差がイオンの軌道を曲げる
④ クヌーセン輸送	中性の反応性粒子は、側壁で跳ね返りながら底へ進む。穴を通り抜けられる確率は、アスペクト比とともに下がる

事実

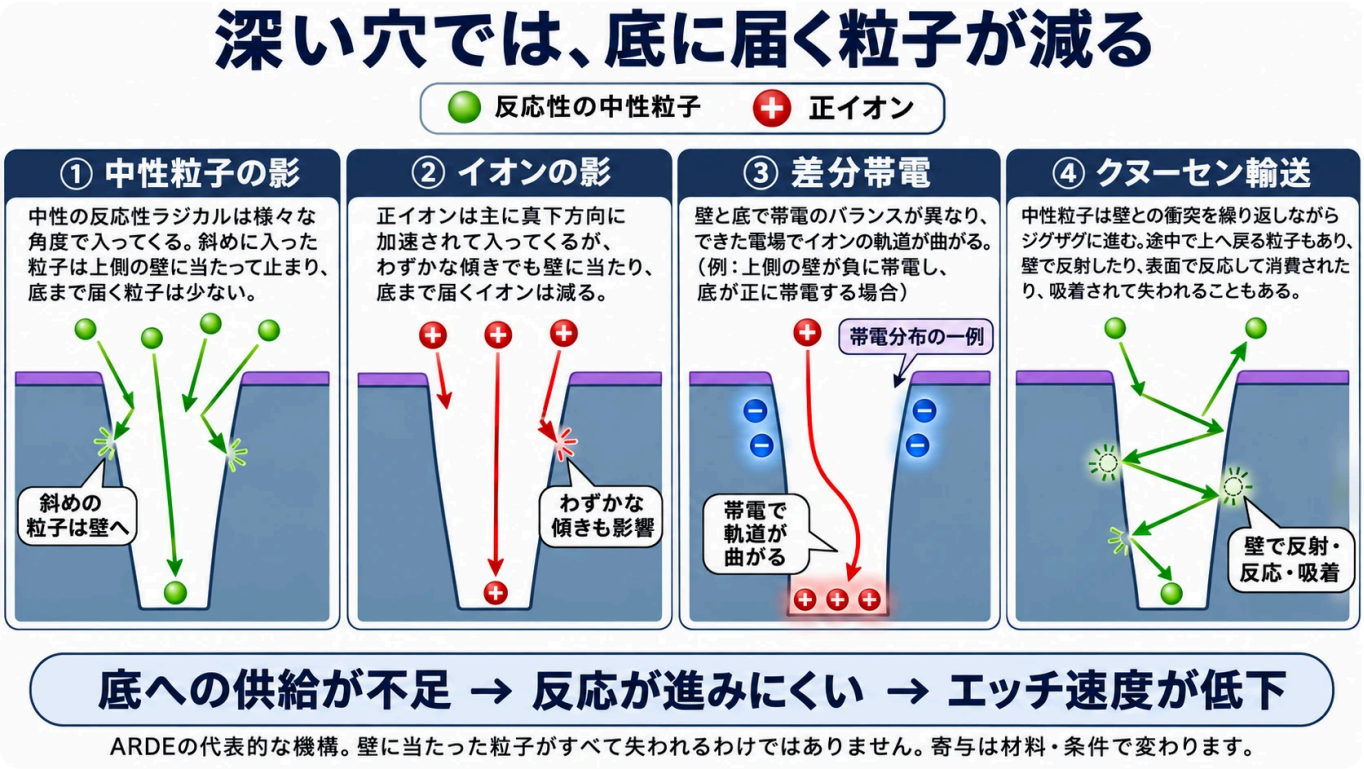


図3　ARDE：深い穴の底に届くものが減る4つの理由（概念図）

図の読み方

4つの機構は同時に起こりえて、どれが主に効くかは条件によって変わります。壁に当たった中性粒子は、反射して進むことも、吸着・反応で消費されることもあります。穴の底で生じた生成物を外へ運び出すことも重要です。Lam Researchの技術者の講義は、同社の誘電体のエッチングの研究では、差分帯電が主な機構だったとしています [1]。図の粒子の数や角度は説明のための模式で、実測の比率ではありません。

物理のツボ①：穴の底から見える「空」は、とても狭い

穴の底の真ん中に立って上を見上げると、空が見えるのは、真上を中心とした狭い円錐の中だけです。真上からの傾きを θ とすると、$\tan\theta$ ＝（半径）÷（深さ）＝ 1 ÷（2 × アスペクト比）です 本稿の計算 。

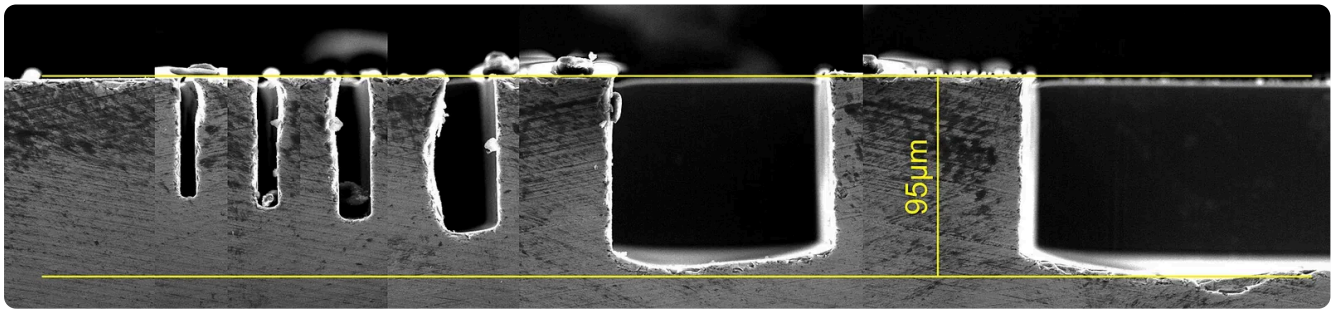
あらゆる向きから飛んでくる粒子が平らな面に当たるとき、真上から θ 以内の向きで当たる粒子の割合は $\sin^2\theta$ です（気体分子運動論の「余弦則」） 解説 。これを使うと、壁に一度も当たらずに底の真ん中へ直接届く粒子の割合は、次のように見積もれます 本稿の計算 。

アスペクト比	見える角度 θ	直接届く割合 $\sin^2\theta$
1	約27°	約20%
10	約2.9°	約0.25%
50	約0.57°	約0.01%
100	約0.29°	約0.0025%

本稿の計算

アスペクト比が10倍になると、直接届く割合は約100分の1になります。実際には、壁で跳ね返ったり、壁に付いて反応したりしながら届く粒子もあるので、底に届く量はこの表より多くなりえます。それでも、深い穴の底が「中性粒子に飢える」理由はこの幾何学にあります 解説 。

イオンも同じです。穴の入り口の真ん中から入ったイオンが、側壁に当たらずに底まで届くには、真下からの傾きが θ より小さくなければなりません。アスペクト比50なら約0.6°です 本稿の計算 。シースでまっすぐ加速されたイオンでも、ほんのわずかな傾きで側壁に当たってしまいます。



アスペクト比の異なるシリコンのマイクロ流路（溝）を、ICPの深掘りエッチング装置で同時に加工した断面。幅の狭い流路にはラジカルが同じ効率で入り込めないため、エッチングの速さが低く、浅くなっています（Commonsの説明による）。同じ時間エッチングしても、溝の深さが幅によって違う ― ARDEをそのまま見せる写真です 解説 。

画像：Mgerlt / Wikimedia Commons / CC BY-SA 4.0（掲載用に縮小・WebP化）

● 帯電：電子とイオンの「角度の差」

3-8で見たように、イオンはシースで加速されてほぼ真下に入射しますが、電子はイオンより広い角度分布をもち、RFシースの電位障壁が低い時間帯などに届きやすくなります。Lam Researchの技術者の講義は、電子の流れはイオンよりずっと角度が広いため、**差分帯電**が生じ、イオンを曲げるほどの電位ができうるとしています [1] 事実 。

絶縁性の表面を含む穴での代表的な例では、上部や側壁の上のほうに電子が当たりやすく、底には主に下向きの正イオンが届くため、上部が相対的にマイナス、底がプラスになりえます。実際の電位分布は材料・電子の供給・パルス条件などで変わります。底がプラスになると、やってくるイオンを押し返し、上部のマイナスとのあいだの電界がイオンの軌道を曲げます 解説 。同じ講義は、アスペクト比が約3でも、イオンのエネルギーが約30%下がったという報告を紹介しています [1] 事実 。穴の底にイオンが届きにくくなるだけでなく、曲げられたイオンが側壁の根元を削る**マイクロトレンチ**の原因にもなります [1] 事実 。

● 逆に、細い穴のほうが速いことも

条件によっては、細い穴のほうが速く削れる**逆ARDE**も起こります。講義資料は、側壁や底に積もる高分子の「材料」となる粒子も細い穴には届きにくいので、細い穴では高分子の膜が薄くなり、かえって速く削れると説明しています [1] 事実 。3-8で見た「削る粒子」と「積もる粒子」のつり合いが、穴の深さによって変わるということです 解説 。

● どうやって直すか

講義資料は、ARDEへの対策として次を挙げています [1] 事実 。

- **圧力を下げる**：イオンがシースで散乱しにくくなる。ただし下げすぎると中性粒子が足りなくなる
- **ウェハ側バイアスを調整する**：イオンのエネルギーを確保する。生成用電力とバイアスは同じ役割ではなく、上げすぎるとマスク摩耗や損傷が増える
- **ガスの組み合わせ**：削る粒子と積もる粒子の量のつり合いを調整する
- **パルス**：高周波を断続的にかける。ALEなどの分離した工程も、条件に応じて検討する

UC Berkeleyの講義資料も、高周波の電力をパルスにすると、アスペクト比依存の効果や帯電ダメージを減らせるとしています [4] 事実 。パルスによってシースや荷電粒子の供給が変わり、帯電の緩和を助ける場合があります。どの時間帯にどの粒子が届くかは、プラズマ生成とバイアスの切り方にもよります 推測 。

4. 技術編③ — 形が崩れる

深い穴では、削れる速さだけでなく、**形**も崩れやすくなります。講義資料は、次のような崩れ方を挙げています [1] 事実 。

名前	形	主な原因（講義資料の説明）
ボーイング（bowing）	側壁の途中が樽のように膨らむ	マスクの斜面やシースで散乱したイオン、酸素が多すぎて側壁の保護が弱い、上では積もるが深いところでは積もりにくい高分子
ネッキング（necking）	穴の入り口付近が細くくびれる	入り口付近に高分子が厚く積もる、レジストから前方に散乱した粒子の再付着
ファセット（faceting）	マスクの角が斜めに削れる	角では、イオン1個あたりに削れる量が多い
マイクロトレンチ	底の隅だけ深く削れる	斜めの側壁で反射したイオン、帯電で曲げられたイオン

事実

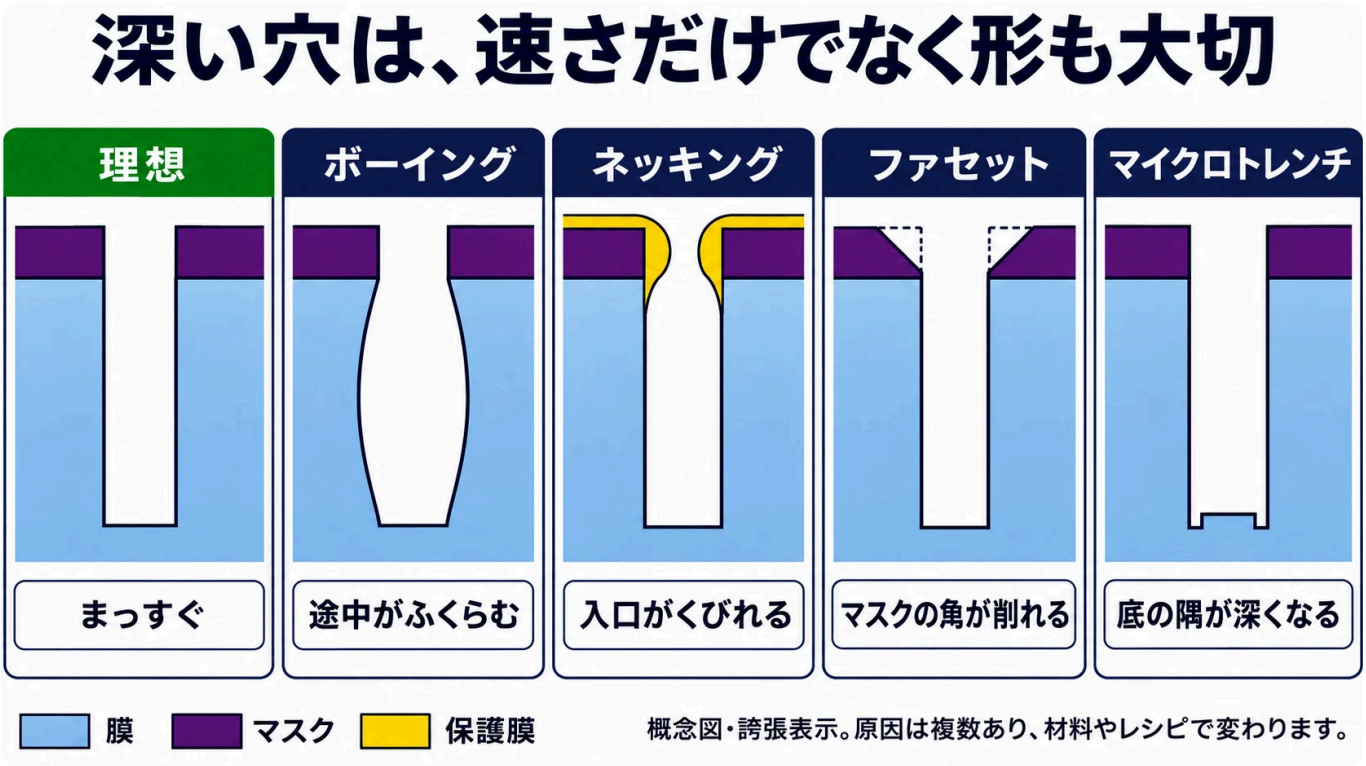


図4　深い穴の形の崩れ：理想と4つの失敗（概念図）

図の読み方

白い部分が削り取った空間です。ボーイングは途中のふくらみ、ネッキングは入口のくびれ、ファセットはマスク角の斜めの摩耗、マイクロトレンチは底の隅の余分な削れです。形は違いが見えるよう誇張しています。単一の原因だけで決まるものではありません [1]。

3D NANDの穴では、上から下まで**同じ径**であることが大切です。穴の径が場所によって違うと、その穴に沿って並ぶメモリセルの性質がそろわなくなるからです 推測 。Lam Researchは、同社の極低温エッチングで、深さ10 μmまでの穴について、形状偏差が**0.1%未満**になるとしています。同社の定義は「穴の最大径–最小径」を**穴の深さ**で割った値で、直径そのものの0.1%という意味ではありません [20] 事実 。

5. 技術編④ — シリコンを深く掘る：ボッシュ法

- **「削る」と「守る」を交互に**

シリコンをフッ素のラジカルで削ると、反応がとても速いぶん、横にも削れて等方的になります。そこで、側壁を高分子の膜で守る必要があります [9][10] 事実 。3-8で見たように、削るガスと膜を作るガスを同時に流す方法もありますが、ドイツのRobert Bosch社の Franz Laermer と Andrea Schilp は、二つを**時間で分ける**方法を発明しました。特許の優先日は1992年12月5日で、米国では1993年11月に出願、1996年3月に登録されました（US 5,501,893） [10] 事実 。

特許の請求項1は、次の3つの組み合わせです [10] 事実 。

1. エッチングの工程：反応性のガスでシリコンの表面を削る
2. 重合の工程：プラズマ中の材料から高分子の膜を作り、直前に削って現れた面を覆って「一時的なエッチストップ」にする
3. この2つを**交互に繰り返す**

特許の実施例では、削る工程に六フッ化硫黄（SF_6）とアルゴン、膜を作る工程にトリフルオロメタン（CHF_3）とアルゴンを使います。その実施例では1回の削る工程で2〜3 μm掘り、次の工程で約1分かけて厚さ約50 nmの「テフロンのような」高分子の膜を付けます [10] 事実 。削る工程では、真下から入るイオンが主に底の膜を数秒で取り除くので、底は削れ、側壁は膜で守られたまま残ります [10] 事実 。この方式は**ボッシュ法**（ボッシュプロセス）と呼ばれます。2021年の論文は、削る工程はSF_6のプラズマ、膜はC_4F_8のプラズマで付けるのが一般的な例だとしています（ほかのフルオロカーボンも使える） [9] 事実 。

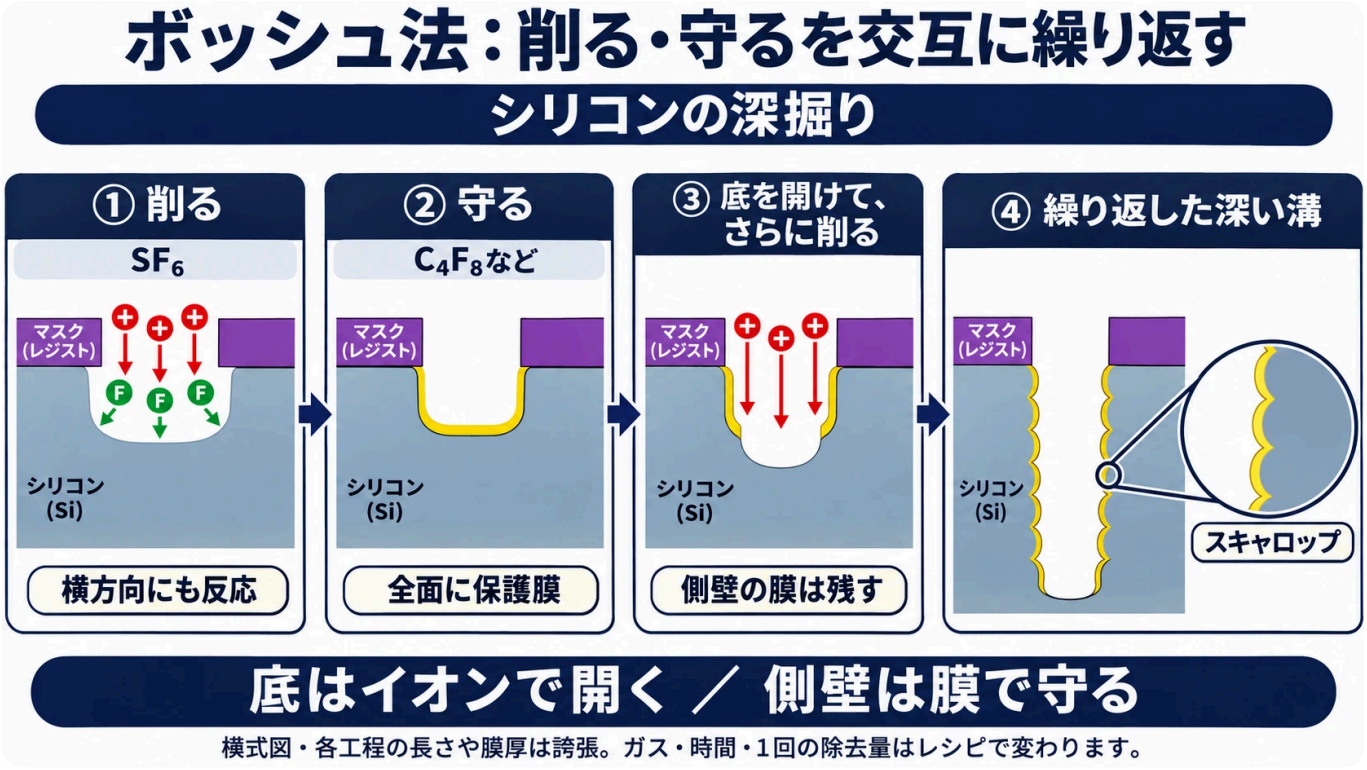


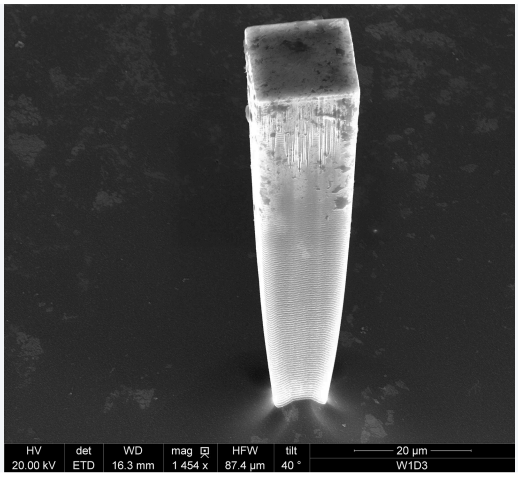
図5　ボッシュ法：削る→守る→削る…を繰り返す（概念図）

図の読み方

削る工程ではシリコンが横にも反応し、守る工程では側壁と底に保護膜が付きます。次の削る工程でイオンが底の膜を開き、その下へ進みます。小さな凹凸が繰り返された跡がスキャロップです。図の膜厚や1回の深さは実寸比ではなく、本文の特許の数値も現在の全レシピに共通ではありません [9] [10]。

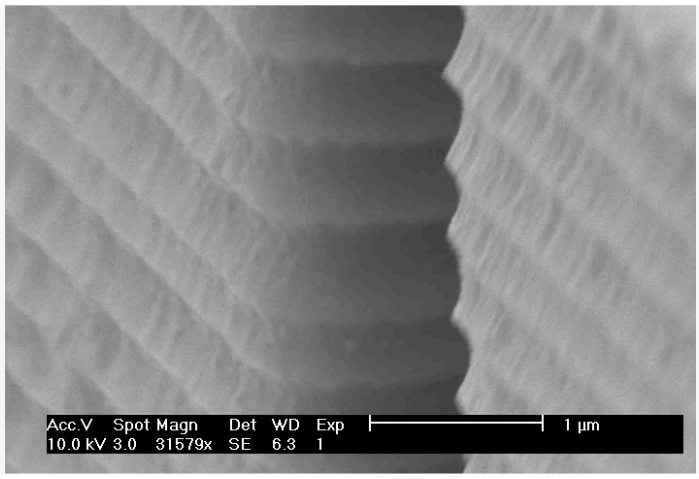
波打つ側壁：スキャロップ

1回ごとに「お椀形」に削った穴を縦に積み重ねていくので、側壁には細かい波が残ります。これを**スキャロップ**（ホタテ貝の縁の意味）と呼びます。波の大きさは、1回の削る時間を短くすると小さくできます [9] 事実 。また、高分子の膜はチャンバーの壁にも付くので、定期的な掃除が必要です [9] 事実 。



シリコンのマイクロピラー（微小な柱）をICP-DRIEで加工したもの。この種の装置で一般に使われるボッシュプロセスにより、スキャロップと呼ばれる非常に細かい溝が生じ、このSEM画像ではっきり見えます。また、エッチングの角度のため、底部ほど幅が狭くなっています（Commonsの説明による）。柱の側面の横じまの1本1本が、「削る」と「守る」の1サイクルに当たります 解説 。

画像：MgerIt / Wikimedia Commons / CC BY 4.0（掲載用に縮小・WebP化）



フォトリソグラフィと深掘り反応性イオンエッチング（ボッシュプロセス）で作製したシリコン構造の、波打った側壁の走査電子顕微鏡写真（Commonsの説明による）。

画像：Pgalajda / Wikimedia Commons / Public domain（掲載用にWebP化）

Lam Researchは、ディープシリコンのエッチング装置で、ふつうの1段のエッチングに加えて「すばやく交互に切り替えるプロセス」にも対応していると説明しています [21] 事実 。

6. 技術編⑤ — 冷やして掘る：極低温（クライオ）エッチング

● 始まりは1980年代の日本

1988年、Tachi、Tsujimoto、Okudaira は、米国の学術誌 Applied Physics Letters に「シリコンの低温反応性イオンエッチングとマイクロ波プラズマエッチング」という論文を発表しました [7] 事実 。フランスの研究者による総説は、シリコンの極低温エッチングの歴史を「日本のチームによる最初の導入」から説き起こしています [8] 事実 。

2021年の論文によると、1980年代後半の実験は、ウェハを極低温に冷やして**側壁での化学反応を凍らせる**ことを狙ったものでした。SF_6のプラズマでシリコンを異方的に削ることに成功しましたが、のちに、その正体は酸素の不純物から生じた**SiO_xF_y**（シリコン・酸素・フッ素からなる薄い膜）が側壁を守っていたためだと分かりました [9] 事実 。

シリコンの極低温エッチング

いまのシリコンの極低温エッチングでは、ウェハを**約−100 ℃**に冷やし、SF_6とO_2を混ぜたプラズマで、一続きに削ります。側壁のSiO_xF_yの膜は削られながら作り直され、横に削れるのを防ぎます。このSF_6/O_2法では、ボッシュ法のような高分子の保護膜の形成と除去を交互に行わず、滑らかな側壁を得やすいのが特徴です [9] 事実 。この保護膜は冷えた表面で育ちやすく、室温に戻すとほとんどが離れていきます [9] 事実 。

ただし、同じ論文は、シリコンの極低温エッチングがボッシュ法ほど広く採用されてこなかった理由として、液体窒素を消費すること、再現性を得にくいことがあること、ウェハを載せる台を非常に均一に冷やす必要があることを挙げています [9] 事実 。

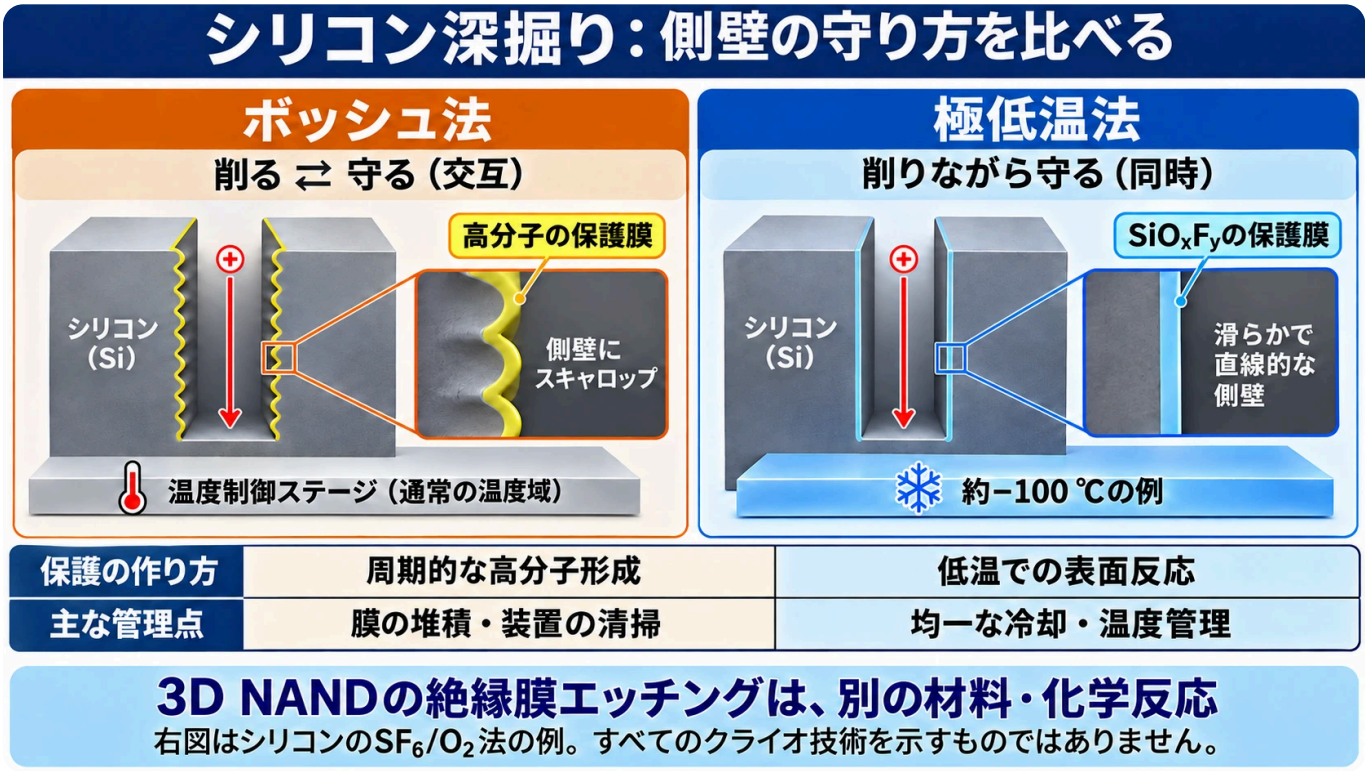


図6　ボッシュ法と極低温エッチング：側壁の守り方を比べる（概念図）

図の読み方

比較対象は、どちらもシリコンの深掘りです。左は高分子の膜を周期的に作るボッシュ法、右は低温でSiO_xF_yの保護を利用するSF_6/O_2法の例です。3D NANDの絶縁膜を削るクライオ技術は材料も化学も異なり、この青い保護膜や約−100 ℃という条件をそのまま当てはめられません [9] [17] [20]。

3D NANDの穴へ：誘電体の極低温エッチング

3D NANDの穴は、シリコンではなく、絶縁膜（誘電体）を何百層も積んだ膜を貫きます。この誘電体の深掘りでも、Lam Researchや東京エレクトロンが低温を利用する技術を展開しています。前のシリコンのSF_6/O_2法とは、対象材料・ガス・温度条件が異なります。

- **Lam Research**：2019年に、極低温エッチングを**世界で初めて量産に投入**したとしています（同社の説明）。3D NANDの生産に使われている同社の高アスペクト比の誘電体エッチング用チャンバー7,500超のうち、約1,000が極低温エッチングを使っているとしています [20] 事実 。約13%です 本稿の計算 。2024年の新しい技術「Lam Cryo 3.0」では、従来の誘電体のエッチングより**2.5倍速く**削れ、ウェハ1枚あたりのエネルギーを40%、排出を最大90%減らせるとしています（同社の推定で、独立した検証は受けていないと注記されています） [20] 事実 。年次報告書では、低温の極低温エッチングは「新しい化学」を使えるようにし、高アスペクト比のエッチングの能力を高めると説明しています [21] 事実 。
- **東京エレクトロン**：2023年6月、誘電体のエッチングを**初めて極低温の領域に持ち込んだ**（同社の説明）技術を発表しました。400層を超える3D NANDの穴を想定し、**深さ10 μmを33分**で掘れて、同社の比較条件で温室効果ガス由来の排出指標を84%減らせるとしています [17] 事実 。平均すると、1分間に約0.3 μm、1秒間に約5 nmの速さです 本稿の計算 。同社のブログによれば、ふつうの装置ではウェハの過熱を防ぐ冷却液（ブライン）を0〜80 ℃で使うのに対し、極低温エッチングでは**マイナス数十度**の冷却液を使います [18] 事実 。

東京エレクトロンは、対象の新しい工程で温暖化係数の高いフルオロカーボン（CF系）のガスの使用を減らし、最新の世代では**CF系のガスの91%をフッ化水素（HF）ガスに置き換えた**としています [18] 事実 。統合報告書では、第1世代の装置と比べてウェハ1枚あたりのCO_2換算排出量を84%、電力を43%減らしたとしています [22] 事実 。

なぜ冷やすと速く深く削れるのか

本稿で読んだLam Researchと東京エレクトロンの資料には、誘電体を極低温で削るときに表面で何が起きているかの詳しい説明はありません。同じ吸着種・表面を比べる単純なモデルでは、冷却で熱脱離が起きにくくなり、滞在時間が長くなる場合があります 解説 。冷やすことで、反応に使う分子が表面や穴の中に多くとどまり、反応種の供給や新しい反応経路を助けている可能性があります。ただし冷やせば必ず速くなるわけではなく、反応速度・保護膜・生成物の脱離も含む条件の最適化が必要です 推測 。

1回で掘れなければ、分けて掘る

積層数が増えると、1回で全体を掘る難しさが増します。そこで各社は、穴を**何段かに分けて**作っています。

- **SK hynix**：2024年11月、321層のNANDの量産を始めたと発表しました（同社によれば世界最高層）。穴（プラグ）を**3回に分けて**作り、電気的につなぐ「3-プラグ」の工程を使ったとしています [16] 事実 。
- **サムスン電子**：2024年4月、第9世代のV-NANDの量産を始め、同社の「チャネルホールエッチング」の技術で、**2段に積んだ構造**（ダブルスタック）で業界最高の層数を同時に掘ったとしています [15][30] 事実 。発表文に層数の記載はありません。
- **東京エレクトロン**は、アスペクト比100の穴と、縦に積み重ねた複数回のエッチングを実現しているとし、たとえばエッチングの回数を3回から2回に減らせれば、そのぶん製造コストを下げられると説明しています [18] 事実 。

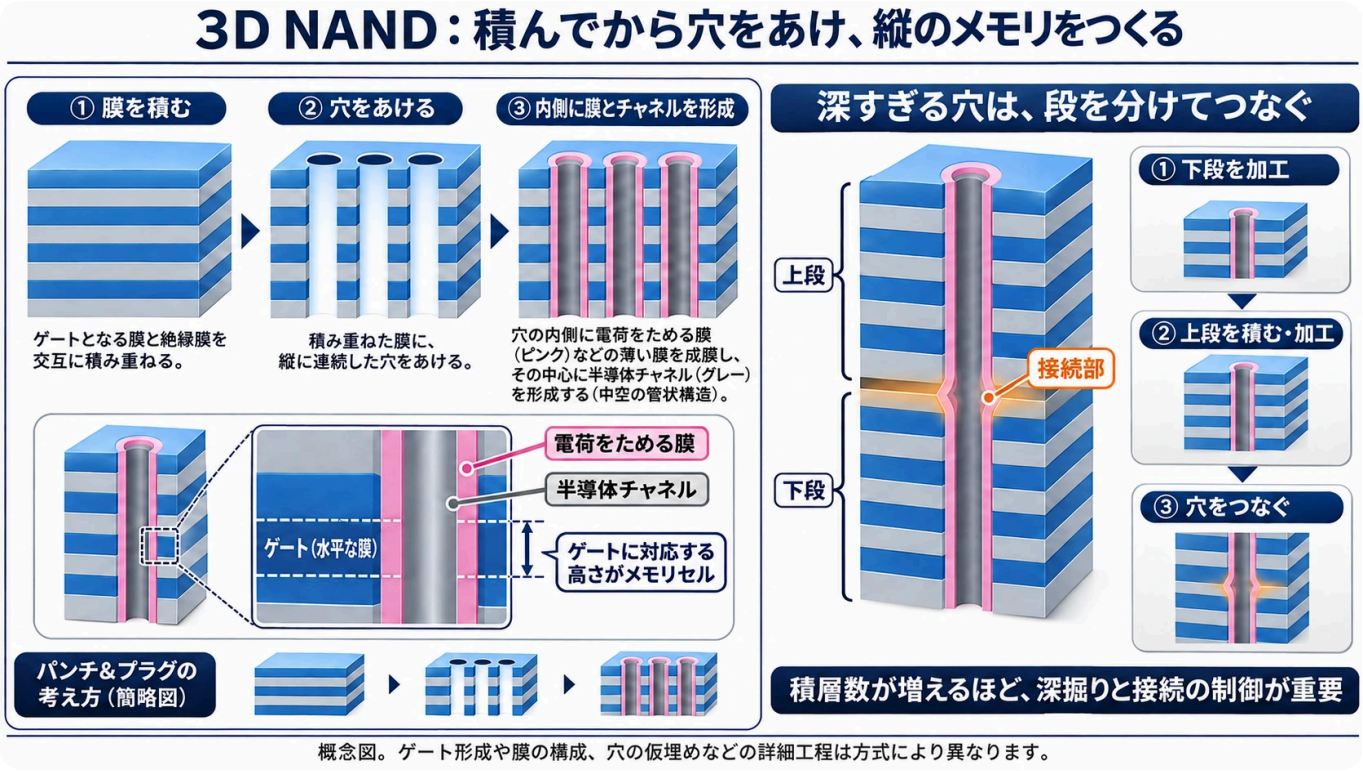


図7　3D NAND：パンチ＆プラグと、穴を分けて掘る多段構造（概念図）

図の読み方

左は、積層膜の穴の内側に電荷をためる膜と半導体チャネルを形成する考え方です。金属の柱で全ゲートを短絡する構造ではありません。右は下段と上段で加工した穴を接続する概念で、実際には仮埋めや位置合わせなども必要です。ゲート置換、膜の構成、加工順序の詳細は方式によって異なります [11][15][16]。

7. 産業編① — メモリの会社：韓国勢と日米

DRAMとNANDのシェア

深い穴のエッチングを大量に使うのは、メモリの会社です 解説 。経済産業省の資料（2025年12月公表、各社のヒアリングデータをもとに作成）は、会社別のシェアを次のように示しています（図中にデータの対象年の記載はありません。2025年は資料の公表年です） [23] 事実 。

DRAM	シェア	NAND	シェア
Samsung（韓国）	39.3%	Samsung（韓国）	32.9%
SK hynix（韓国）	33.6%	SK hynix（韓国）	19.7%
Micron（米国）	21.6%	キオクシア（日本）	14.9%
		Micron（米国）	11.9%
		Sandisk（米国）	10.1%
		YMTC（中国）	8.9%

事実

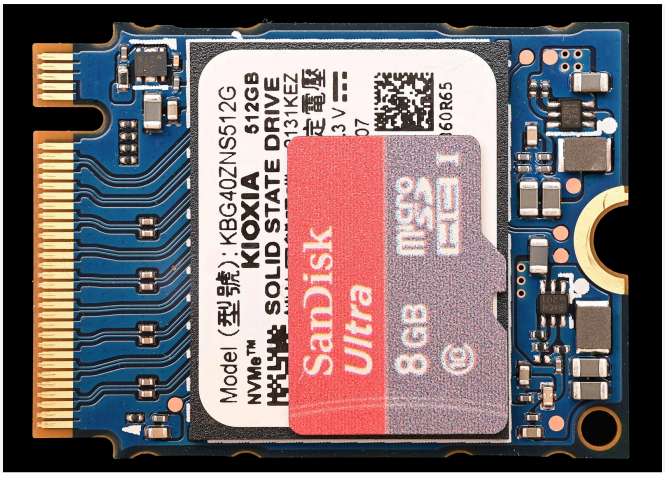
国別に足すと、DRAMは韓国の2社で72.9%、NANDは韓国52.6%、米国22.0%、日本14.9%、中国8.9%です 本稿の計算 。同じ資料は、AI向けの高帯域メモリ（HBM）のシェアを、SK hynix 57.0%、Micron 35.0%、Samsung 8.0%としています [23] 事実 。

- **積層数の競争**

会社	発表	内容（各社の発表）
キオクシア	2026年7月	332層の第10世代（1 Tb TLC）のサンプル出荷を開始。北上工場第2製造棟で生産。ビット密度は第8世代より59%向上 [14]
SK hynix	2024年11月	321層（1 Tb TLC）の量産を開始。世界最高層、3-プラグ [16]
サムスン電子	2024年4月	第9世代V-NAND（1 Tb TLC）の量産を開始。ダブルスタックで業界最高の層数 [15]

事実

キオクシアの第10世代は、サンディスクと共同で開発したものです [31] 事実 。キオクシアの332層は「ワード線の積層数」です [31] 事実 。層の数は各社で数え方が違う可能性があり 推測 、「何層」だけで技術の優劣を比べることはできません 解説 。



512 GBのM.2 2230 SSD（Kioxia/Toshiba BG4シリーズ）とmicroSDカード（SanDisk Ultra 8 GB）の比較。SSDの大きなチップには、NVMeコントローラーとNANDフラッシュの両方が入っています（Commonsの説明による）。深い穴を何十億と並べたNANDのチップは、こうした記憶装置の中に入っています 解説 。

画像：Phiarc / Wikimedia Commons / CC BY-SA 4.0（掲載用に縮小・WebP化）

8. 産業編② — 深い穴の装置：Lam Researchと東京エレクトロン

3-8で見たように、エッチング装置の世界市場（2兆3,383億円）では、Applied Materials 33%、Lam Research 30%、東京エレクトロン 20%です（経済産業省の資料、年の記載なし） [23] 事実 。このうち、メモリの深い穴の装置を見ていきます。

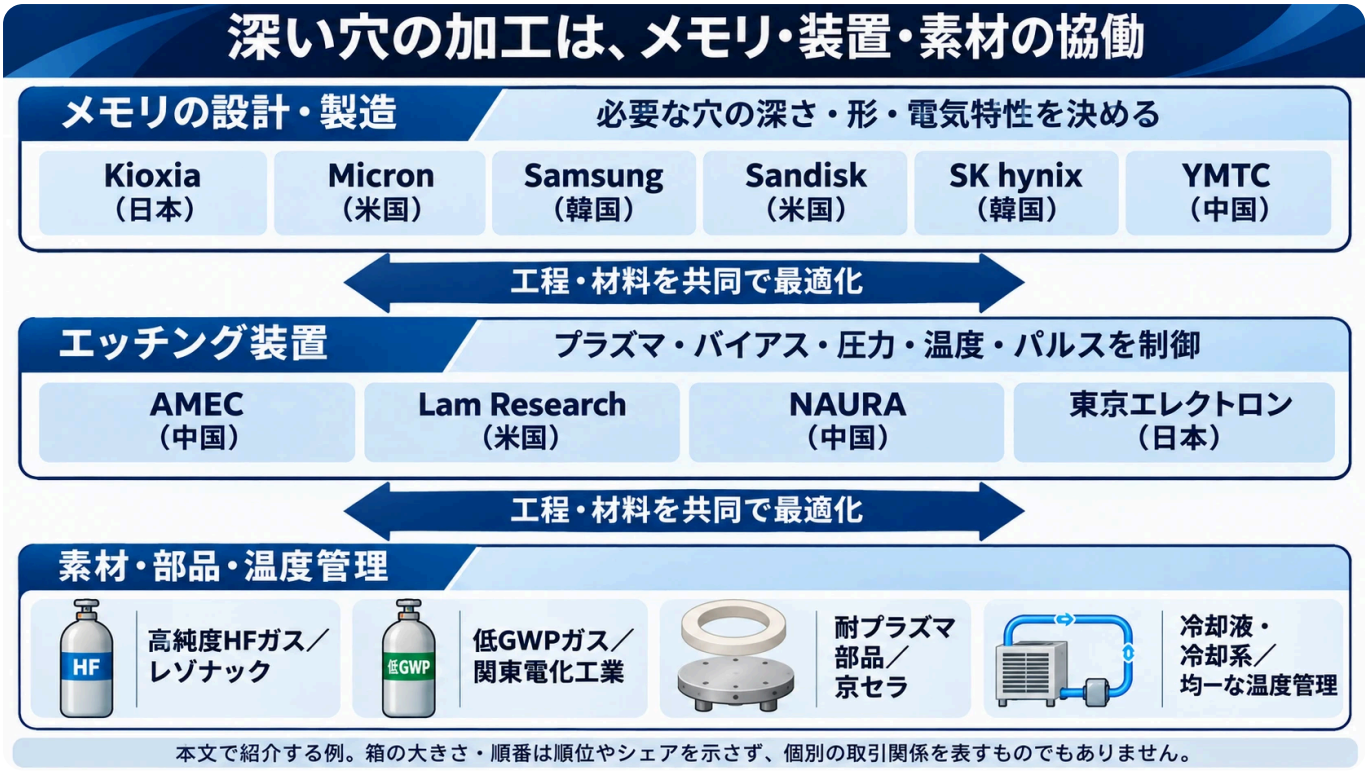


図8　深い穴のエッチングを支える会社：メモリ・装置・素材（概念図）

図の読み方

会社名は本文の例です。箱の大きさや並び順は、シェア・順位・取引関係を示しません [14–27]。

- **Lam Research — 深い穴の誘電体エッチング**

Lam Researchは、深い穴の誘電体エッチング装置「Flex」シリーズが、**主要なメモリメーカーすべて**で3D NANDの量産に使われているとしています（同社の説明） [20] 事実 。最新の誘電体エッチング装置「Vantex」は、主に3D NANDの高アスペクト比の穴・溝・コンタクト、キャパシタのセルの用途に向けたものです [21] 事実 。極低温エッチングで加工したウェハはすでに500万枚に達したとしています [20] 事実 。

- **東京エレクトロン — 極低温エッチングの開発と採用**

東京エレクトロンは、2014年ごろから新しいエッチング技術の開発を始め、2023年に極低温エッチングを発表しました [18] 事実 。2025年2月の決算説明会では、極低温エッチングで**1社から量産の採用（POR）を獲得**し、ほかの顧客での評価も計画どおり進んでいると答えています。400層のNANDに向けたパイロットラインへの投資は2025年、量産への投資は2026年と見込み、この市場の規模を**2027年に20億ドル**と推定していました（当時の見通しで、実績ではありません） [19] 事実 。

- **中国の装置会社**

  - **AMEC（中微公司）**：アスペクト比60対1の超高アスペクト比の誘電体エッチング装置が、中国国内で標準の装置になったとし、極低温のICPエッチング装置「Nanova LUX-Cryo」が顧客の認証を通り、繰り返し受注を得たとしています [24] 事実 。
  - **NAURA（北方華創）**：平行平板型（CCP）のエッチング装置はメモリの深い穴や溝によく使われるとし、12インチの高アスペクト比のCCP装置で、低温エッチングと多重パルスの技術を開発したとしています [25] 事実 。

- **装置の会社にとってのメモリ**

Applied Materialsの半導体装置の売上（2025年10月期）は、ファウンドリ・ロジックなどが67%、DRAMが26%、NANDが7%です [26] 事実 。エッチング装置だけの内訳ではありませんが、NANDの投資の波が、装置の会社の売上を左右することが分かります 解説 。

9. 産業編③ — ガス・冷却・部品：素材の出番

- **フッ化水素ガス**：レゾナックは、エッチングに使う**高純度フッ化水素ガス**の製造を、川崎に加えて徳山でも2026年内に始める予定で、クライオエッチングなどの先端技術で需要が高まっているとしています [27] 事実 。東京エレクトロンがCF系のガスを置き換えたのも、このHFガスです [18] 事実 。
- **温暖化係数の低いエッチングガス**：関東電化工業は、同社のKSG-14が、キオクシアの3D NANDのメモリチャネルホールのエッチングに採用されたとしています。従来の$c\text{-}C_4F_8$より温暖化係数が低いガスです [28] 事実 。
- **冷却液**：東京エレクトロンは、極低温の工程を安定させつつ、装置の冷却液に使われているPFAS（有機フッ素化合物）や冷凍機のフロンを置き換えていく必要があるとしています [18] 事実 。
- **冷やす台と部品**：京セラは、エッチング装置ではプラズマに強く、異物が出にくく、熱に強いセラミックスの採用が広がっているとし、ウェハを静電気で吸着する**静電チャック**などを挙げています [29] 事実 。極低温エッチングでは、ウェハを載せる台を非常に均一に冷やす必要があります [9] 事実 。

素材の技術者の出番

深い穴のエッチングは、**届きにくい底まで、どう材料を届けるか**の勝負です 解説 。

- **ガスの分子設計**：深い穴でも側壁を守り、温暖化係数が低いガス（[18][28]）
- **高純度のフッ化水素**：極低温エッチングの主役のガスの純度（[27]）
- **マスク材料**：何百層を削るあいだ耐える「型紙」。キオクシアはマスク材料の新規開発が求められるとしている（[12]）
- **冷却液と冷やす台**：マイナス数十度で安定し、PFASに頼らない冷却液、均一に冷えるセラミックスの台（[18][29][9]）
- **穴を埋める材料**：分けて掘った穴をつなぐプラグ。SK hynixは、プラグに埋める材料を変えて変形を減らしたとしている（[16]）

10. これから求められること

- **もっと深く、1回で**：東京エレクトロンは、アスペクト比200の穴を1回のエッチングで掘ることを次の目標にしています [18] 事実 。
- **段の数を減らす**：穴を分けて掘る回数を減らせば、そのぶん製造コストを下げられます [18] 事実 。
- **環境**：温暖化係数の高いCF系のガスの置き換え [17][18][28] と、冷却液のPFASの置き換え [18] 事実 。

11. まとめと次回予告

視点	ポイント
アスペクト比	深さ÷幅。講義で40対1超・60対1超が課題、東京エレクトロンは100を実現・次は200
3D NAND	1段分の積層膜を一括加工。深すぎると多段化。4〜8段のコスト比較は2011年のモデル。キオクシアは48層（2015年）→332層（2026年サンプル）
穴の中	平均自由行程（30 mTorrで約1 mm）は穴の径よりずっと長く、粒子は壁にぶつかりながら進む
ARDE	深いほど遅い。中性粒子の影・イオンの影・差分帯電・クヌーセン輸送。底から見える角度はアスペクト比50で約0.6°
形の崩れ	ボーイング・ネッキング・ファセット・マイクロトレンチ
ボッシュ法	削る（SF_6）と守る（高分子）を交互に。1回の深さは条件次第。側壁にスキャロップ。MEMS・TSV
極低温	1988年に日本のチームが報告。シリコンは約−100 ℃でSiO_xF_yが側壁を守る。3D NANDではLam（2019年量産）・東京エレクトロン（10 μmを33分、HFガス）
多段	SK hynixは3-プラグ、サムスンはダブルスタック
産業	NANDはサムスン32.9%・SK hynix 19.7%・キオクシア14.9%。装置はLamのFlexが主要メモリメーカーすべてで使われ、東京エレクトロンは量産の採用1社。HFガス（レゾナック）、低GWPガス（関東電化）、セラミックス（京セラ）

次回は**3-10「イオン注入とアニール」**です。削った後のシリコンに、ホウ素やリンなどの原子を「打ち込んで」、電気の通りやすさを変えます。加速器で原子を飛ばす物理と、打ち込んだ原子を落ち着かせる熱処理、そしてその装置の会社を見ていきます。

12. 確認クイズ

1. アスペクト比とは何ですか。直径0.1 μm・深さ5 μmの穴のアスペクト比はいくつですか。

> **▼ 答えを見る**
>
> 穴や溝の深さを幅で割った値です。5 ÷ 0.1 ＝ 50なので、50（50対1）です。

2. 3D NANDでは、なぜメモリセルを1層ずつ積み上げずに、積み重ねた膜に一度に穴をあけるのですか。

> **▼ 答えを見る**
>
> 1層ずつ作ると、層ごとに露光や加工の工程が必要になり、積んでもビットあたりのコストが下がらなくなるからです（東芝の計算では4〜8段を超えると効果がなくなる）。一括加工なら、各層ごとに露光・穴加工を繰り返す負担を抑えられます。ただし多段化や成膜などの工程は増えうるため、全製造工程が一定になるわけではありません。

3. 3D NANDの穴の中では、電荷蓄積膜が上から下までつながっています。それでも、ためた電子が膜に沿って隣のセルへ逃げにくいのはなぜですか。

> **▼ 答えを見る**
>
> 電荷蓄積膜に、電気を通しにくい絶縁物のシリコン窒化膜を使っているからです。電子は膜の中の「わな」（トラップ）に捕まってほとんど動けないので、それぞれの電極の板の前にとどまります（電荷トラップ型）。ただし、長い時間で少しずつ横へ広がる「横方向の電荷損失」は、信頼性の課題として研究されています。

4. 穴の中で、粒子が「ほかの粒子とではなく、壁とぶつかりながら」進むのはなぜですか。

> **▼ 答えを見る**
>
> プラズマの圧力が低く、平均自由行程（30 mTorrで約1 mm）が穴の直径（仮に0.1 μmとすると、その約1万倍）よりずっと長いからです。中性粒子の多くは、粒子同士より先に壁と相互作用します。ほぼ垂直に入る粒子は壁に当たらず底へ届くこともあります。

5. ARDE（RIEラグ）の4つの機構を挙げてください。

> **▼ 答えを見る**
>
> 中性粒子の影、イオンの影、差分帯電、クヌーセン輸送です。

6. 深い穴で、上部と底の帯電が違うのはなぜですか。それは何を引き起こしますか。

> **▼ 答えを見る**
>
> 電子はいろいろな角度から来て上部や側壁に当たり、マイナスに帯電させます。イオンはほぼ真下から来て底に届き、底をプラスに帯電させやすくします。この電位の差がイオンの軌道を曲げ、底に届くイオンのエネルギーを下げたり、底の隅を削るマイクロトレンチを起こしたりします。

7. ボッシュ法では、どうやって横に削れるのを防いでいますか。側壁に残る跡を何と呼びますか。

> **▼ 答えを見る**
>
> 削る工程と、高分子の膜で表面を覆う工程を交互に繰り返します。主に下向きに入るイオンが底の膜を取り除くので、底は削れ、側壁は膜で守られます。側壁に残る細かな波をスキャロップと呼びます。

8. シリコンの極低温エッチングで、側壁を守っているのは何ですか。ボッシュ法ほど広く採用されてこなかった理由を1つ挙げてください。

> **▼ 答えを見る**
>
> 約−100 ℃に冷やしたウェハの側壁にできるSiO_xF_yの薄い膜です。液体窒素を消費すること、再現性を得にくいこと、ウェハを載せる台を非常に均一に冷やす必要があることが理由として挙げられています。

9. 東京エレクトロンの極低温エッチングで、温室効果ガス由来の排出を減らせるのはなぜですか。

> **▼ 答えを見る**
>
> 温暖化係数の高いCF系（フルオロカーボン）のガスの多くを、フッ化水素ガスに置き換えたからです（最新の世代で91%を置換、同社の説明）。

0. NANDのシェアが大きい会社を3社挙げてください。

> **▼ 答えを見る**
>
> サムスン電子（32.9%）、SK hynix（19.7%）、キオクシア（14.9%）です（経済産業省の資料。年の記載なし）。

13. 用語集

アスペクト比
穴や溝の深さを幅で割った値。

高アスペクト比エッチング（HAR）
幅に対して深い穴や溝を掘るエッチング。HARはHigh Aspect Ratioの略。

メモリセル
データを記憶する最小単位。フラッシュメモリでは、電荷蓄積膜に電子が入っているかどうかで「0」と「1」を覚える。

電荷蓄積膜
メモリセルで電子をためる膜。絶縁体に挟まれ、高い電圧をかけたときだけ電子が出入りする。

電荷トラップ型
電荷蓄積膜に絶縁物（シリコン窒化膜など）を使い、膜の中の「わな」（トラップ）に電子を捕まえて保つ方式。

NANDストリング
メモリセルを直列につないだ列。3D NANDでは、1本の穴の中に縦に並ぶ。

3D NAND
メモリセルを縦方向に積み重ねたNAND型フラッシュメモリ。

パンチ&プラグ
積層膜に穴をあけ、穴の内側に電荷蓄積膜や縦の半導体チャネルを形成する3D NANDの一括加工の考え方。

メモリホール（チャネルホール）
3D NANDで、積み重ねた膜を上から下まで貫く穴。

TSV（シリコン貫通電極）
チップを積み重ねてつなぐため、シリコンを貫いて作る電極。

MEMS
シリコンなどに作る微小な機械の部品（加速度センサーなど）。

DRIE
シリコンを深く掘る反応性イオンエッチング。Deep RIEの略。

平均自由行程
粒子がほかの粒子にぶつかるまでに進む平均の距離。

クヌーセン輸送
粒子どうしがほとんどぶつからず、壁で跳ね返りながら進む運ばれ方。

ARDE（RIEラグ）
エッチング特性のアスペクト比依存性。深く細い穴ほど遅くなる場合はRIEラグと呼ばれる。

逆ARDE
条件によって、細い穴のほうが速く削れる現象。高分子の膜の材料が届きにくいことによる。

中性粒子の影
斜めに飛ぶ中性の粒子が、穴の上部や側壁に当たって底に届かないこと。

差分帯電
電子とイオンの入射角の違いで、穴の上部と底の帯電が異なること。イオンの軌道を曲げる。

ボーイング
穴の側壁の途中が樽のように膨らむこと。

ネッキング
穴の入り口付近が細くくびれること。

ファセット
マスクの角が斜めに削れること。

マイクロトレンチ
底の隅だけが深く削れること。

ボッシュ法
削る工程と、高分子の膜で守る工程を交互に繰り返して、シリコンを深く掘る方法。

スキャロップ
ボッシュ法で側壁に残る、細かな波の跡。

極低温（クライオ）エッチング
ウェハを極低温に冷やして行うエッチング。

SiOxFy
シリコン・酸素・フッ素からなる薄い膜。シリコンの極低温エッチングで側壁を守る。

ダブルスタック・3-プラグ
3D NANDの穴を2回・3回に分けて作り、つなぐ方法。

POR
量産で使う工程・装置として顧客に正式に採用されること（Process of Record）。

静電チャック
ウェハを静電気で吸着して固定する台。温度の制御も担う。

14. 参考資料（一次情報）

1. **S. Sirard（Lam Research）、テキサス大学オースティン校の講義**「Introduction to Plasma Etching, Day 2（2017年、p.16〜27）」 — https://willson.cm.utexas.edu/Teaching/LithoClass2017/Files/Introduction%20to%20Plasma%20Etching_Lecture_102417_Day2_sntzd.pdf
2. **S. Sirard（Lam Research）、テキサス大学オースティン校の講義**「Introduction to Plasma Etching, Day 1（2017年、p.7）」 — https://willson.cm.utexas.edu/Teaching/LithoClass2017/Files/Introduction%20to%20Plasma%20Etching_Lecture_101917_Day1_Sntzd.pdf
3. **M. A. Lieberman（UC Berkeley）**「A Short Course on the Principles of Plasma Discharges and Materials Processing, Day 1（2015年、PDF p.46）」 — https://people.eecs.berkeley.edu/~lieber/Day1View150315crop.pdf
4. **M. A. Lieberman（UC Berkeley）**「同 Day 2（2015年、PDF p.115）」 — https://people.eecs.berkeley.edu/~lieber/Day2ViewMerge150315crop.pdf
5. **K. J. Kanarik ほか（Lam Research）**「Overview of atomic layer etching in the semiconductor industry, J. Vac. Sci. Technol. A 33, 020802（2015年）」 — https://doi.org/10.1116/1.4913379
6. **J. W. Coburn, H. F. Winters**「Conductance considerations in the reactive ion etching of high aspect ratio features, Appl. Phys. Lett. 55, 2730–2732（1989年。書誌はCrossrefで確認。内容は[1]の再掲による）」 — https://doi.org/10.1063/1.101937
7. **S. Tachi, K. Tsujimoto, S. Okudaira**「Low-temperature reactive ion etching and microwave plasma etching of silicon, Appl. Phys. Lett. 52, 616–618（1988年。書誌はCrossrefで確認）」 — https://doi.org/10.1063/1.99382
8. **R. Dussart, T. Tillocher, P. Lefaucheux, M. Boufnichel**「Plasma cryogenic etching of silicon: from the early days to today's advanced technologies, J. Phys. D 47, 123001（2014年。HALの要旨による）」 — https://hal.science/hal-00959819
9. **T. Tillocher ほか（オルレアン大学・CNRS、STMicroelectronics）**「Comparison between Bosch and STiGer Processes for Deep Silicon Etching, Micromachines 12(10), 1143（2021年、1章）」 — https://doi.org/10.3390/mi12101143
10. **F. Laermer, A. Schilp（Robert Bosch GmbH）**「米国特許 US 5,501,893 Method of anisotropically etching silicon（1996年3月26日登録）」 — https://patents.google.com/patent/US5501893A/en
11. **キオクシア**「3次元フラッシュメモリ「BiCS FLASH™」とは」 — https://www.kioxia.com/ja-jp/rd/technology/bics-flash.html
12. **キオクシア**「BiCS FLASH™を支えるRIE技術（2019年6月13日）」 — https://www.kioxia.com/ja-jp/rd/technology/topics/topics-11.html
13. **勝又竜太・福住嘉晃・青地英明（東芝）**「超大容量不揮発性ストレージを実現する3次元構造BiCSフラッシュメモリ、東芝レビュー Vol.66 No.9（2011年）」 — https://www.global.toshiba/content/dam/toshiba/migration/corp/techReviewAssets/tech/review/2011/09/66_09pdf/a05/a05_1.pdf
14. **キオクシア**「高性能、大容量、低消費電力を実現した第10世代BiCS FLASH™のサンプル出荷を開始（2026年7月3日）」 — https://www.kioxia.com/ja-jp/about/news/2026/20260703-1.html
15. **Samsung Electronics**「Samsung Electronics Begins Industry's First Mass Production of 9th-Gen V-NAND（2024年4月23日）」 — https://news.samsung.com/global/samsung-electronics-begins-industrys-first-mass-production-of-9th-gen-v-nand
16. **SK hynix**「SK하이닉스, 세계 최고층 321단 낸드 양산 돌입（2024年11月21日）」 — https://news.skhynix.co.kr/presscenter/mass-production-of-321-layer-nand
17. **東京エレクトロン**「Tokyo Electron Develops Memory Channel Hole Etch Technology That Enables Ultra-fast 10-μm-deep Etching for 3D NAND Flash with Over 400 Layers…（2023年6月9日）」 — https://www.tel.com/news/product/2023/20230609_001.html
18. **東京エレクトロン**「Cryogenic Etching - Tokyo Electron's "Digital and Green Transformation" of Semiconductor Process Equipment（コーポレートブログ、2024年10月21日）」 — https://www.tel.com/blog/all/20241021_001.html
19. **東京エレクトロン**「Q3 FY2025 Earnings Briefing Q&A（2025年2月10日、Q10）」 — https://www.tel.com/ir/library/report/pen76200000000tg-att/FY25Q3_EarningCall_QA_E.pdf
20. **Lam Research**「Lam Research Introduces Lam Cryo 3.0 Cryogenic Etch Technology…（2024年7月31日）」 — https://newsroom.lamresearch.com/2024-07-31-Lam-Research-Introduces-Lam-Cryo-TM-3-0-Cryogenic-Etch-Technology-to-Accelerate-Scaling-of-3D-NAND-for-the-AI-Era
21. **Lam Research**「Form 10-K（2026年6月期、p.6〜7）」 — https://www.sec.gov/Archives/edgar/data/707549/000070754926000037/lrcx-20260628.htm
22. **東京エレクトロン**「統合報告書2026（PDF p.55）」 — https://www.tel.co.jp/ir/library/ar/oohl7200000000kk-att/ir2026_all.pdf
23. **経済産業省**「半導体・デジタル産業戦略の今後の方向性（2025年12月23日）p.4〜5」 — https://www.meti.go.jp/policy/mono_info_service/joho/conference/semicon_digital/0014/handeji14-3.pdf
24. **中微公司（AMEC）**「2025年年度報告（p.43、p.55）」 — http://static.cninfo.com.cn/finalpage/2026-03-31/1225062431.PDF
25. **北方華創（NAURA）**「2025年年度報告（p.19〜20）」 — https://static.cninfo.com.cn/finalpage/2026-04-18/1225122918.PDF
26. **Applied Materials**「Form 10-K（2025年10月期、p.30）」 — https://www.sec.gov/Archives/edgar/data/6951/000162828025056742/amat-20251026.htm
27. **レゾナック**「半導体向け「高純度フッ化水素ガス」の製造体制を強化（2026年6月25日）」 — https://www.resonac.com/jp/news/2026/06/25/3876.html
28. **関東電化工業**「KSG-14（製品ページ）」 — https://www.kantodenka.co.jp/product_new/ksg14/
29. **京セラ**「半導体製造装置用部品（製品ページ）」 — https://www.kyocera.co.jp/prdct/fc/industries/semiconductor/

30. **Samsung Electronics**「Samsung Begins Industry's First Mass Production of QLC 9th-Gen V-NAND for AI Era（2024年9月12日）」 — https://news.samsung.com/global/samsung-begins-industrys-first-mass-production-of-qlc-9th-gen-v-nand-for-ai-era
31. **キオクシア**「1Tb 3bit/cell BiCS FLASH™ 第10世代製品の設計開発（2025年6月18日）」 — https://www.kioxia.com/ja-jp/rd/technology/topics/topics-83.html
32. **キオクシア**「NAND型フラッシュメモリとは」 — https://www.kioxia.com/ja-jp/rd/technology/nand-flash.html
33. **Ji-yeon Lee, Yun-Heub Song**「First-principles dopant screening to suppress shallow traps in HfO_2 charge-trap layers for 3D NAND flash memory, J. Appl. Phys. 140, 035701（2026年。要旨による）」 — https://doi.org/10.1063/5.0323662

15. 主張と出典の対応表

本文の主張	根拠	区分
アスペクト比＝深さ÷幅、ARDE・RIEラグ、4つの機構と説明、電子の角度が広い・差分帯電・AR約3で約30%、誘電体では差分帯電が主、逆ARDE、対策、ファセット・ネッキング・ボーイング・マイクロトレンチの原因	Sirard Day2 [1]	事実
40対1超が課題	Sirard Day1 [2]	事実
λ（cm）＝1／（330p）	Lieberman Day1 [3]	事実
パルスでアスペクト比依存の効果と帯電ダメージを減らす	Lieberman Day2 [4]	事実
60対1超	Kanarik ほか [5]	事実
Coburn と Winters 1989年の書誌	Crossref [6]	事実
1988年の Tachi らの論文の書誌	Crossref [7]	事実
日本のチームによる最初の導入	Dussart ほか [8]	事実
DRIEはMEMS・TSVで不可欠、ボッシュはSF_6とC_4F_8・スキャロップ・削る時間で小さく・チャンバーの掃除、極低温の始まり・SiO_xF_y・約−100 ℃・SF_6/O_2・滑らか・速い・室温でほぼ脱離・液体窒素などの課題・均一な冷却	Tillocher ほか [9]	事実
発明者・Bosch・優先日・登録日、請求項1、SF_6＋Ar・CHF_3＋Ar・2〜3 μm・約1分で約50 nm・底の膜を数秒で除去	米国特許 [10]	事実
2007年の発表、パンチ＆プラグ、48・96・112・162層、15 nmまでの微細化と限界（意図しない電流・電子の数の減少）、積み上げる発想	キオクシア [11]	事実
一定の穴径で深い穴のRIEが非常に重要、マスク材料・ガス・装置	キオクシア [12]	事実
単純に積むと4〜8段でビットコストの低減効果がなくなる、工程数を一定に、最上層から最下層まで貫通する穴・側面のメモリ膜・柱状電極、メモリ膜は電子を蓄積できる絶縁膜（シリコン窒化膜）、薄い多結晶シリコンの筒と中心を埋める誘電膜、NANDストリングと積層による大容量化	東芝レビュー [13]	事実
332層の第10世代のサンプル出荷・北上・59%	キオクシア [14]	事実
第9世代V-NANDの量産、ダブルスタック・チャネルホールエッチング	サムスン [15] [30]	事実
321層の量産、3-プラグ、プラグの材料	SK hynix [16]	事実
誘電体を初めて極低温へ（同社）、10 μmを33分、84%	東京エレクトロン [17]	事実
東京ドームのたとえ、0〜80 ℃とマイナス数十度、CF系の91%をHFに、アスペクト比100・次は200、3回を2回、PFAS、2014年ごろ開発開始	東京エレクトロン [18]	事実
量産POR 1社、2025年パイロット・2026年量産、2027年に20億ドル	東京エレクトロン [19]	事実
2019年に世界初（同社）、7,500超のうち約1,000、2.5倍・40%・最大90%（検証なし）、形状偏差0.1%未満（径の差÷深さ）、Flexは主要メモリメーカーすべて、500万枚	Lam [20]	事実
Vantexの用途、ディープシリコンの用途と交互プロセス、極低温は新しい化学	Lam 10-K [21]	事実
第1世代比でCO_2 84%減・電力43%減	東京エレクトロン [22]	事実
DRAM・HBM・NANDのシェア、エッチング装置の市場とシェア	経済産業省 [23]	事実

本文の主張	根拠	区分
60対1が国内標準、LUX-Cryo	AMEC [24]	事実
CCPは深い穴に、高アスペクト比CCPで低温・多重パルス	NAURA [25]	事実
ファウンドリ・ロジック67%・DRAM 26%・NAND 7%	AMAT 10-K [26]	事実
高純度HFガス・徳山・クライオで需要	レゾナック [27]	事実
KSG-14がキオクシアのチャネルホールに	関東電化 [28]	事実
耐プラズマのセラミックス・静電チャック	京セラ [29]	事実
第10世代はサンディスクと共同開発、332層	キオクシア [31]	事実
メモリセル・数千億個、絶縁体に囲まれた電荷蓄積膜、高電圧での書き込み・消去、しきい値電圧による0と1の判定、電源を切っても保持、直列でNAND型	キオクシア [32]	事実
窒化シリコンの電荷トラップ層が薄く短くなると横方向の電荷損失が速まる	Lee・Song [33]	事実
膜が上下につながった筒であること、わな（トラップ）に捕まった電子がほとんど動かないこと、電荷トラップ型という呼び方、膜の5層の並び、層を増やすと穴が深くなるというつながり	本稿の解説（電荷トラップ型の一般的な説明）	解説
30 mTorrで約1 mm、穴の約1万倍、tan θ＝1／(2×AR)と sin²θ の表、AR 50で約0.6°、48→332層で約7倍、0.3 μm/分・5 nm/秒、約13%、国別の合計	本稿の計算	本稿の計算
径がそろわないとセルの性質がそろわない、パルスが帯電の緩和を助ける場合がある、冷やすと分子がとどまる、層の数え方が違う可能性	本稿の推測	推測

最終更新：2026年11月20日／技術は大学の講義資料（UT Austin・UC Berkeley）、原論文と総説、メモリの会社の技術解説（キオクシア・東芝）、特許、メモリの会社の技術解説、企業の情報は各社の年次報告書（米国SEC提出書類を含む）・統合報告書・決算説明会の質疑・プレスリリース・技術ブログ、会社別のシェアは経済産業省を出典としています。「世界初」「業界最高」などの表現は各社自身の発表で、本文中にそのことを明記しています。物理の一般原理の説明と、本稿の計算・推測は、本文中のタグで区別しています。

© 2026 Troy Technical
当サイトの文章・図版・動画のうち、著作権法で保護される部分の無断転載・再配布・再アップロードを禁じます。ただし、法令上認められる引用等を除きます。
引用資料・商標等の権利は各権利者に帰属します。記事へのリンクによるご紹介は歓迎します。転載・二次利用についてはお問い合わせください。