SEMICONDUCTOR FRONT-END · PART 3-2

酸化と熱処理
— シリコンを「焼いて」作り変える

シリコンが半導体の主役になった最大の理由は、シリコンそのものではなく、その**「さび」**にあります。シリコンを1,000 ℃の炉で焼くと、表面に質のよいガラス（酸化シリコン）が育ち、欠陥を減らした良好な界面を作れます。酸素はどうやってガラスの中をくぐり抜けるのか。なぜ水蒸気だと速いのか。そして、熱は不純物を目覚めさせる一方で、作った構造を崩してもしまう。最先端では、熱を**1000分の1秒**だけかける技術まで生まれました。炉と熱処理の装置で強い日本の会社と、熱に耐える石英の部材まで見ていきます。

半導体前工程シリーズ 第3部 3-2／難易度 ★★☆（3-1を読んでいると理解しやすくなります）／最終更新 2026年11月8日

この記事の構成

1. この回を3行でつかむ
2. 技術編① — シリコンの「さび」が、主役を決めた
3. 技術編② — 酸素は、ガラスの中をくぐり抜ける
4. 技術編③ — 薄くなりすぎた酸化膜と、その後
5. 技術編④ — 熱処理：目覚めさせ、治し、しかし崩さない
6. 技術編⑤ — 炉の中をのぞく
7. 産業編① — 炉と熱処理装置で勝っているのは誰か
8. 産業編② — 熱に耐える「石英」の部材
9. これから求められること
10. まとめと次回予告
11. 確認クイズ
12. 用語集
13. 参考資料（一次情報）
14. 主張と出典の対応表（監査）

本記事の表記ルール

事実 ＝公的機関・学術資料・企業の公式発表に記載のある内容（出典番号つき）
本稿の計算 ＝明示した前提から本記事が計算した値
推測 ＝出典から読み取れる範囲を超えた、本記事の見立て
未確定／将来 ＝計画・ロードマップであり、実績が確認できていない事項
物理の一般原理（教科書で確立している内容）の説明は、とくにタグを付けずに書いています。

この回の学習目標

- シリコンの酸化膜（SiO_2）がなぜ重要なのかと、熱酸化で膜が育つしくみ（Deal-Groveモデル）を説明できる
- 熱処理（アニール）の目的と、「熱をかけすぎてはいけない」理由（サーマルバジェット）を、拡散長の式で説明できる
- 炉・急速加熱装置・石英部材の分野で、どの会社が強いのかを挙げられる

1. この回を3行でつかむ

- シリコンを酸素や水蒸気の中で熱すると、表面に**酸化シリコン（SiO_2）**が育ちます。このSiO_2と、シリコンとの**境目の質のよさ**が、シリコンが半導体の主役になった最大の理由です。
- 酸素は、すでにできた**酸化膜の中をくぐり抜けて**シリコンに届き、そこで反応します。膜が厚くなるほどくぐり抜けに時間がかかるので、成長は遅くなります（Deal-Groveモデル）。
- 熱は、注入した不純物を働かせ、結晶の傷を治しますが、かけすぎると不純物が広がって構造が崩れます。そこで、熱を**数秒、数ミリ秒、さらに短く**かける技術が生まれました。縦型炉では日本の会社が強く、石英の部材も日本が支えています。

2. 技術編① — シリコンの「さび」が、主役を決めた

酸化膜こそが、シリコンの強み

スタンフォード大学の講義資料は、冒頭で「**SiO_2と、Si/SiO_2の界面こそが、集積回路の産業でシリコンが支配的になった主な理由である**」と書いています [1] 事実 。同じ資料は、SiO_2の利点として、リソグラフィで選択的にエッチングしやすいこと、ホウ素やリンなど一般的な不純物を遮ること、高い絶縁破壊電界（10^7 V/cm）を持つこと、そして**シリコンとの界面が安定していて再現性がよい**ことを挙げています [1] 事実 。

物理学の雑誌Physics Todayの1986年の記事も、結晶シリコンが電子工学で支配的になった重要な理由は、その**自然な酸化物の質**だと書き、ゲルマニウムの酸化物（GeO_2）は水に溶けてしまうと指摘しています [2] 事実 。1-1で見たように、最初のトランジスタはゲルマニウムで作られました。それでもシリコンが主役になったのは、この「さび」の違いが大きかったのです 解説 。

MOSトランジスタは、酸化膜から生まれた

米国コンピュータ歴史博物館によると、1959年、ベル研究所のアタラとカーンが、初めての絶縁ゲート型トランジスタ（MOSトランジスタの原型）の開発に成功しました。彼らは、**熱で育てた酸化シリコンの層**を調べ、シリコン表面の電子を捕まえてしまう準位を大きく減らせることを見つけていました [3] 事実 。アタラらは同じ1959年、熱酸化膜によってシリコンの表面を安定させる研究を論文にまとめています [4] 事実 。

同じ頃、フェアチャイルド社のヘルニは、酸化膜をはがさずに残したまま素子を作る「**プレーナ技術**」を考え、酸化膜が接合を守ることが確かめられました [5] 事実 。いまの集積回路の作り方の出発点です。

いまも、酸化膜はあらゆる場所にある

酸化シリコンは、注入や拡散の**マスク**、表面の**保護（パッシベーション）**、素子どうしの**絶縁（分離）**、MOS構造の**ゲート酸化膜**などに使われてきました。熱酸化は、ほかの作り方に比べて、最もきれいで界面の欠陥が少ない酸化膜を作れます [6] 事実 。

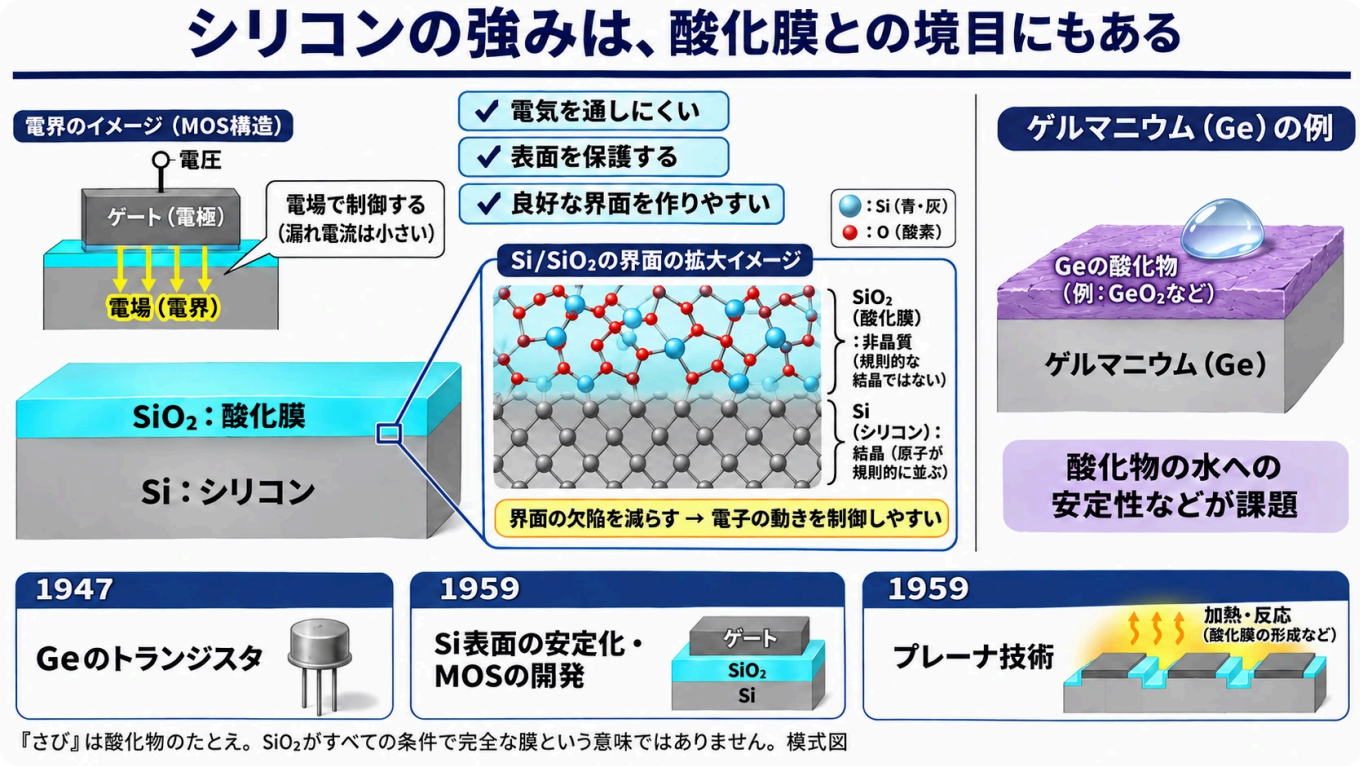


図1　酸化膜と良好な界面が、シリコンの強みになった（概念図）

図の読み方

SiO₂は非晶質で、下のSiは結晶です。界面の欠陥を減らしやすいことが電子の制御に役立ちます。「さび」は酸化物のたとえで、欠陥がゼロという意味ではありません。

3. 技術編② — 酸素は、ガラスの中をくぐり抜ける

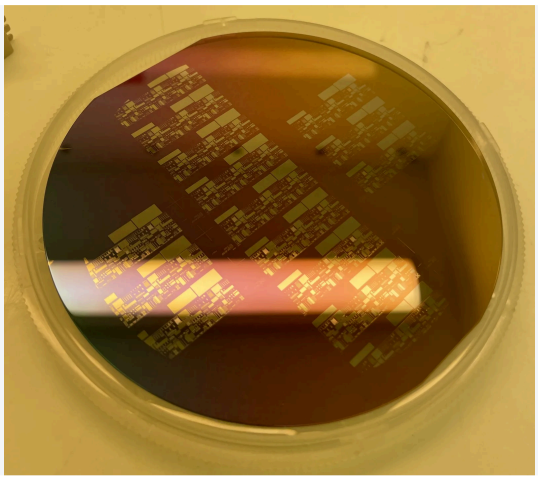
2つの酸化：ドライとウェット

熱酸化には、乾いた酸素を使う**ドライ酸化**と、水蒸気を使う**ウェット酸化**があります [6] 事実 。

$$\text{ドライ酸化：} \mathrm{Si} + \mathrm{O_2} \rightarrow \mathrm{SiO_2}$$

$$\text{ウェット酸化：} \mathrm{Si} + 2\mathrm{H_2O} \rightarrow \mathrm{SiO_2} + 2\mathrm{H_2}$$

どちらも**700〜1,200 ℃**ほどで行われ、水蒸気による酸化は、乾いた酸素による酸化より**約10倍速い**とされます[7] 事実 。ドライ酸化は薄い膜の質や厚さを制御したいときに、ウェット酸化は厚い膜を速く作りたいときに使われます。速度差は温度・圧力・膜厚で変わり、「約10倍」は講義資料の目安です 解説 。



約30 nmの酸化シリコンの膜を付け、灰色に見える部分だけ酸化膜をエッチングで取り除いたシリコンウェハ（Commonsの説明による）。黄色い照明の部屋で撮影されています。
画像：90lbNose / Wikimedia Commons / CC0（掲載用に縮小・WebP化）

界面は下へ進み、膜は元の表面より上にも育つ

ここで大事なのは、酸化膜がどちら向きに育つかです。シリコンの原子が表面へ出てくるのではありません。**酸素や水の分子が、表面の酸化膜の中を拡散してシリコンまで届き、Si/SiO_2の界面がシリコンの中へ移動していく**のです[6] 事実 。

そのため、酸化膜の一部は、もとのシリコンを食べて作られます。厚さdの酸化膜を育てると、厚さ**0.44d**のシリコンが消費されます[6] 事実 。酸化膜は、消費したシリコンの約2.2倍の体積になります[7] 事実 。100 nmの酸化膜なら、その下の約44 nmがもとはシリコンだった計算です 本稿の計算 。100 nmの酸化膜のうち約44 nm分は元のSi表面より下に入り、残りの約56 nm分は上に張り出します。良好な界面を作りやすいことは熱酸化の強みですが、界面が移動するだけで汚れが自動的に消えるわけではありません。前回の洗浄と酸化雰囲気の管理も必要です 解説 。

物理のツボ①：膜が育つ速さを決める「3つの流れ」（Deal-Groveモデル）

1965年、ディールとグローブは、熱酸化の膜厚と時間の関係を、一つの式で表しました [8] 事実 。考え方は、2-2で見たエピタキシャル成長のGroveモデルとよく似ています。酸素が膜になるまでには、次の3つの流れがあります [6] 事実 。

1. F_1：ガスの中から、酸化膜の表面へ届く流れ
2. F_2：酸化膜の中を、拡散してくぐり抜ける流れ
3. F_3：Si/SiO_2の界面で、シリコンと反応する流れ

落ち着いた状態では、3つの流れは等しくなります（$F_1 = F_2 = F_3$） [1] 事実 。ここから、膜厚xと時間tの関係が導かれます [8] 事実 。

$$x^2 + A x = B\ (t + \tau)$$

- **膜が薄いうち**：くぐり抜ける距離が短いので、界面での反応の速さで決まります。膜は時間に比例して厚くなります（**線形則**、速さはB/A）。
- **膜が厚くなると**：くぐり抜けるのに時間がかかり、拡散の速さで決まります。膜厚は時間の平方根に比例してしか増えません（**放物線則**、定数B）。

Bは拡散係数と酸化剤の溶解濃度などを含む放物線速度定数、B/Aは主に界面反応を表す線形速度定数です [7] 事実 。膜が2倍の厚さになると、拡散の道のりが2倍になるので、同じ厚さを足すのに時間がどんどんかかります。壁が厚くなるほど、壁の向こうへ物を届けにくくなるのと同じです 解説 。

実際に計算してみる

香港城市大学の講義資料には、Deal-Groveモデルの定数の表が載っています。1,000 ℃では、ドライ酸化でA = 0.165 μm、B = 0.0117 μm²/時、τ = 0.37時間、ウェット酸化でA = 0.226 μm、B = 0.287 μm²/時、τ = 0です [6] 事実 。

この値を t = （x^2 + Ax）／B − τ に入れて、厚さ100 nm（0.1 μm）の酸化膜を育てる時間を計算します 本稿の計算 。

条件（1,000 ℃）	計算	時間
ドライ酸化	（0.01 + 0.0165）÷ 0.0117 − 0.37	約1.9時間
ウェット酸化	（0.01 + 0.0226）÷ 0.287	約0.11時間（約7分）

この定数と初期膜厚補正τを使う条件例では、同じ100 nmまで育てる時間が**約17分の1**になります 本稿の計算 。



フランスの研究所LAAS-CNRSのエリプソメーター（Commonsの説明による）。左右の光学ユニットが斜めに向き合い、試料に当てて反射した光の偏り方の変化から、膜の厚さを測ります。酸化膜の厚さが計算どおりかは、このような装置で確かめます。
画像：Guillaume Paumier (user:guillom) / Wikimedia Commons / CC BY-SA 3.0（掲載用に縮小・WebP化）

物理のツボ②：水蒸気が速いのは、ガラスに「よく溶ける」から

なぜ水蒸気のほうが速いのでしょうか。表面での反応が速いからだと思うかもしれません。スウェーデン王立工科大学の講義資料は、まさにこの考えをクイズにして「**違う**」と答えています。資料では、水（H_2O）は酸素より酸化膜の中に**約1,000倍多く溶け込む例**が示され、、膜の中の酸化剤の濃さ（C^*）が高いことが、速い成長の重要な理由とされています [7] 事実 。

放物線則の定数Bは、膜の中の酸化剤の濃さに比例します（$B = 2DC^*/N_1$） [7] 事実 。濃い水溶液ほど物がたくさん運ばれるように、ガラスにたくさん溶け込める水に由来する酸化剤は、シリコンまで多く供給されるのです 解説 。

ただし、Deal-Groveモデルにも弱点があります。ドライ酸化で**約20〜30 nmより薄い膜**は、モデルの予測より速く育つことが知られており、その理由については多くの説が出されています [1][6] 事実 。先端ゲートの界面層のようなごく薄い酸化膜では、この単純モデルをそのまま当てはめられません。実際の速度には拡散係数や反応定数も関わるため、溶解度1,000倍を成長速度1,000倍と読むこともできません 解説 。

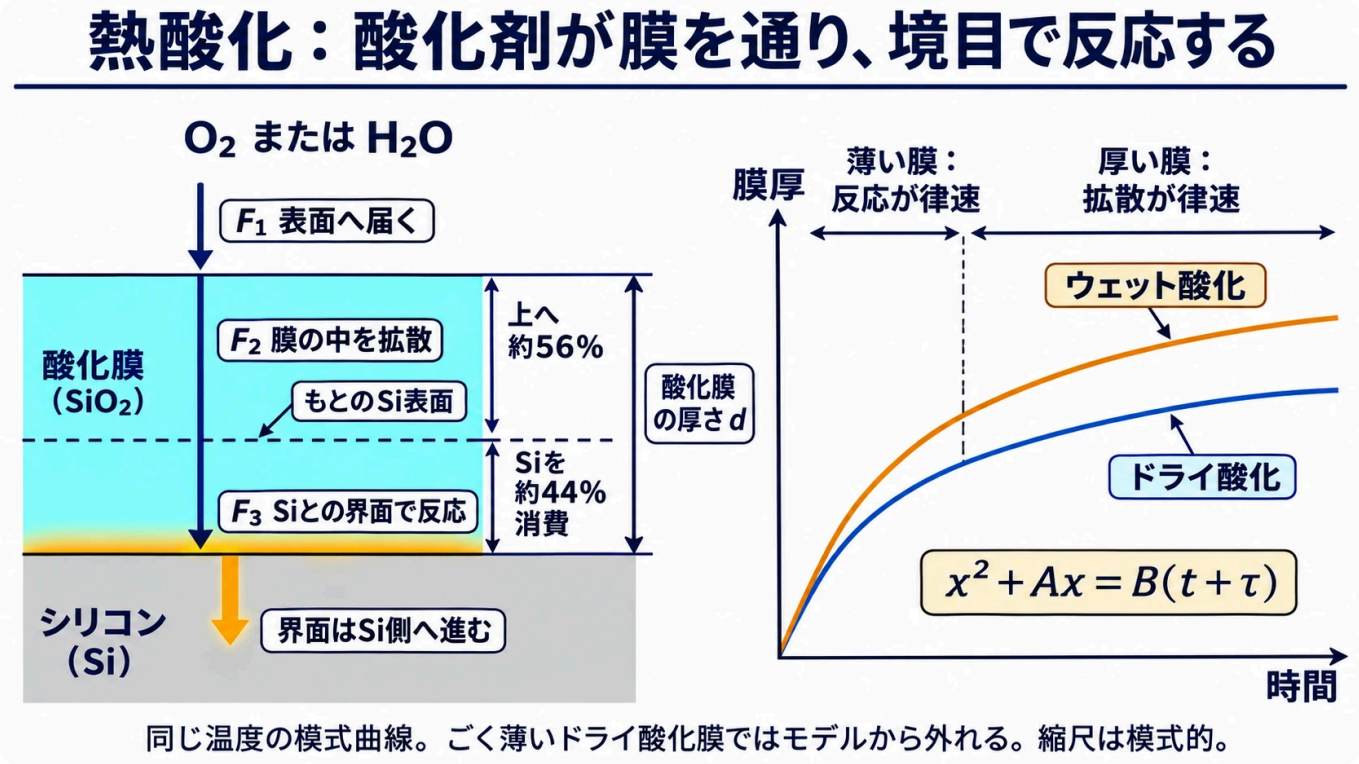


図2　酸化剤の拡散と反応、そして膜厚の増え方（概念図）

図の読み方

元のSi表面を基準に見てください。厚さdの膜の約44%ぶんのSiが消費され、約56%ぶんは上へ出ます。右の曲線は同じ温度での模式図で、ごく薄い膜の補正や個別の条件は表していません。

4. 技術編③ — 薄くなりすぎた酸化膜と、その後

- **半導体業界がめざしてきたこと：トランジスタを小さく、速く**

半導体業界は数十年にわたって、トランジスタを小さくすることで、チップの性能を上げてきました。ケンブリッジ大学のロバートソンは2004年の総説で、CMOSトランジスタの性能はムーアの法則に沿って40年にわたり向上し続けてきたこと、一つの集積回路にのせる素子の数は2〜3年ごとに倍になり、トランジスタの最小寸法は年とともに指数関数的に小さくなってきたことを述べています [39] 事実 。トランジスタが小さくなれば、同じ面積にたくさんのせられ、一つひとつも速く動くようになります 解説 。

トランジスタを縮めるときの基本は、各部の寸法を**そろって比例的に**小さくすることです。同じ総説は、ゲートの長さとともに、ゲートの酸化膜の厚さ（SiO_2に換算した値）も世代ごとに小さくしていく業界の計画表（ロードマップ）を示しています [39] 事実 。つまり、ゲートの酸化膜を薄くしてきたのは、**トランジスタを小さく、速くする**という業界全体の目標を実現するための手段の一つだったのです 解説 。

ゲートの酸化膜を薄くすると、なぜ性能が上がるのか

トランジスタは、**ゲート**（電極）に電圧をかけて、その下のシリコンの表面に電子を呼び寄せ、電流の通り道を作ったり消したりするスイッチです。ゲートとシリコンの間にはさまっている薄い絶縁膜が、**ゲートの酸化膜（ゲート絶縁膜）**です 解説 。

ロバートソンの総説は、トランジスタ（電界効果トランジスタ、FET）は「容量で動く素子」であり、ソースとドレインの間を流れる電流はゲートの容量で決まると説明しています [39] 事実 。容量とは、同じ電圧をかけたときに、どれだけ多くの電荷（ここではシリコン側に集まる電子）を集められるかを表す量で、ゲートがシリコンの表面に電子を呼び寄せる力（以下、**ゲートの効き**）の強さだと考えてください。酸化膜が薄いほど容量は大きくなり（物理のツボ③）、同じ電圧でより多くの電子が集まって電流が増え、トランジスタは速く切り替わります 解説 。Intelも、SiO_2は薄くすることでトランジスタの性能向上を続けてこられたと説明しています [9] 事実 。さらに、ゲートを短くしても、ゲートがシリコンの表面をしっかり制御し続けるためにも、膜を薄くする必要がありました 解説 。

ここで注意したいのは、「薄くする」のは、トランジスター一つひとつの中にある**ナノメートル単位の絶縁膜**のことだという点です。半導体のチップやウェハそのものを薄くすることが目的ではありません。この膜はチップ全体の厚さにはほとんど関係せず、薄くするのはあくまで、ゲートの効きを強くするためです 解説 。

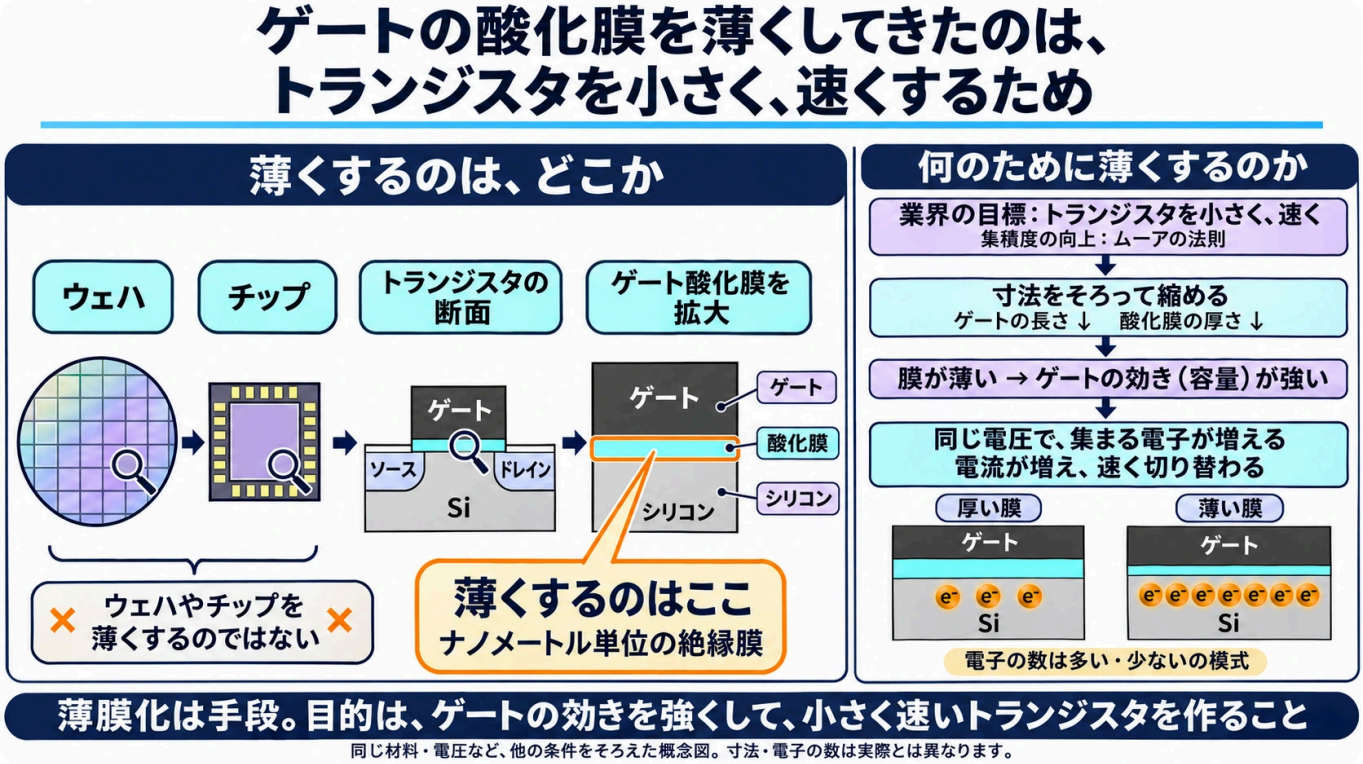


図3　ゲートの酸化膜を薄くしてきたのは、トランジスタを小さく、速くするため（概念図）

図の読み方

左は、どこが薄くなるのかを、ウェハからトランジスタまで拡大して示しています。薄くするのは、トランジスタ1個ずつの中にある、ゲートとシリコンの間のごく薄い絶縁膜だけです。右は、業界の目標から、膜を薄くすると電流が増えるまでの流れです。集まる電子の数は、多い・少ないを比べるための模式で、実際の数ではありません。寸法は実寸ではありません。電子を集めるn型チャネルの例で、同じ材料・電圧など、他の条件をそろえた比較です。

● 薄くする方法の限界と、high-kへの切り替え

こうして世代ごとに薄くされてきたSiO_2の膜も、やがて限界に近づきました。Intelは2007年1月、65 nm世代でゲートのSiO_2を**1.2 nm、同社の表現で原子約5層相当**まで薄くしたが、それ以上薄くすると漏れ電流が増えてしまうと説明しています [9] 事実 。電子が、薄い壁をすり抜けてしまう（トンネル効果）ためです 解説 。

そこでIntelは、ゲートの絶縁膜を、SiO_2から**より厚いハフニウム系の高誘電率（high-k）材料**に置き換え、同社の従来技術に比べてゲートの漏れ電流を10分の1以下に減らしたと発表しました。同社の共同創業者ゴードン・ムーアは、これを「1960年代後半にポリシリコンゲートのMOSトランジスタが登場して以来の、トランジスタ技術の最大の変化」と述べています [9] 事実 。

薄くしたかったはずの膜を、なぜ**厚く**したのでしょうか。それは、業界の目的があくまでトランジスタを小さく、速くすることで、膜を薄くするのは「ゲートの効き」を強くするための手段にすぎなかったからです。high-k材料を使うと、膜を厚くしてもゲートの効きを保てます。そのしくみを、次の囲みで見てみましょう 解説 。

物理のツボ③：膜を厚くしても、ゲートの効きを保てるわけ

ゲートと絶縁膜とシリコンは、2枚の電極で絶縁体をはさんだ**コンデンサ**と同じ形をしています。その容量Cは、次の式で表されます [39] 事実 。

$$C = \varepsilon_0 \times K \times A \div t$$

ε_0は真空の誘電率（定数）、Kは絶縁膜の**比誘電率**、Aは面積、tは膜の厚さです [39] 事実 。比誘電率は、絶縁膜が電気の力をどれだけ「よく伝えるか」の目安だと考えてください。容量を大きくする（ゲートの効きを強くする）方法は、**tを小さくする**か、**Kを大きくする**かの2つです。SiO_2の時代は、ずっとtを小さくする方法をとってきました 解説 。

ところが、電子が膜をすり抜けるトンネル電流は、膜が厚くなるほど**指数関数的に**減ります [39] 事実 。逆に言えば、薄くするほど急激に増えます。そこで、Kの大きい材料に替えて、**物理的には厚い膜のまま、同じ容量を保つ**。こうすると、ゲートの効きは変えずにトンネル電流を減らせます。これがhigh-kの考え方です [39] 事実 。

同じ総説の表では、比誘電率はSiO_2が**3.9**、HfO_2（酸化ハフニウム）が**25**です [39] 事実 。式から、同じ容量を保つ膜の厚さはKに比例します。1.2 nmのSiO_2と同じ容量を、HfO_2だけで出すとすると、次のようになります 本稿の計算 。

$$t = 1.2\ \text{nm} \times 25 \div 3.9 \fallingdotseq 7.7\ \text{nm}\ （約6.4倍の厚さ）$$

業界では、high-kなどの膜の効きを「SiO_2に換算すると何nm分か」で表し、これを**等価酸化膜厚（EOT）**と呼びます。EOT ＝（3.9 ÷ K）× t です [39] 事実 。上の7.7 nmのHfO_2膜はEOTが1.2 nmです。つまり、**電気的には1.2 nmのSiO_2と同じ効きで、物理的には6倍以上厚い壁**になります 本稿の計算 。

ただし、これは考え方を示すための単純な計算です。実際には、HfO_2の下にSiO_2の層ができるとEOTが増え、high-kを使う効果が目減りすると、同じ総説は指摘しています [39] 事実 。また、Intelの発表には、high-k膜の厚さの数値は書かれていません [9] 事実 。

それでも、酸化シリコンが不要になったわけではありません。スウェーデン王立工科大学の講義資料は、従来のSiO_2ゲート絶縁膜からhigh-kへの移行を、45 nm世代との関係で説明しています [7] 事実 。ただし、high-k材料の下には、いまも**ごく薄いSiO_2の層**が残されています。imecは2026年の発表で、次世代のトランジスタ（CFET）の作り方を説明する中で、HfO_2の層がその下の「SiO_2の中間層」を守ると書いています [10] 事実 。高い誘電率を担う層と、シリコンに接する良好な界面を担う層を組み合わせる考え方です 解説 。

この薄い酸化膜を作るために、新しい酸化の方法も使われています。Applied Materialsの技術者が2000年に紹介した**ISSG（その場水蒸気生成）酸化**は、低い圧力の容器の中で水素と酸素を熱いウェハの表面の近くで反応させ、生まれた**酸素ラジカル**でシリコンを酸化します。厚さ1 nmほどの膜まで作れ、炉で作った膜に比べて絶縁破壊までの耐久性が3倍以上になったとしています [11] 事実 。

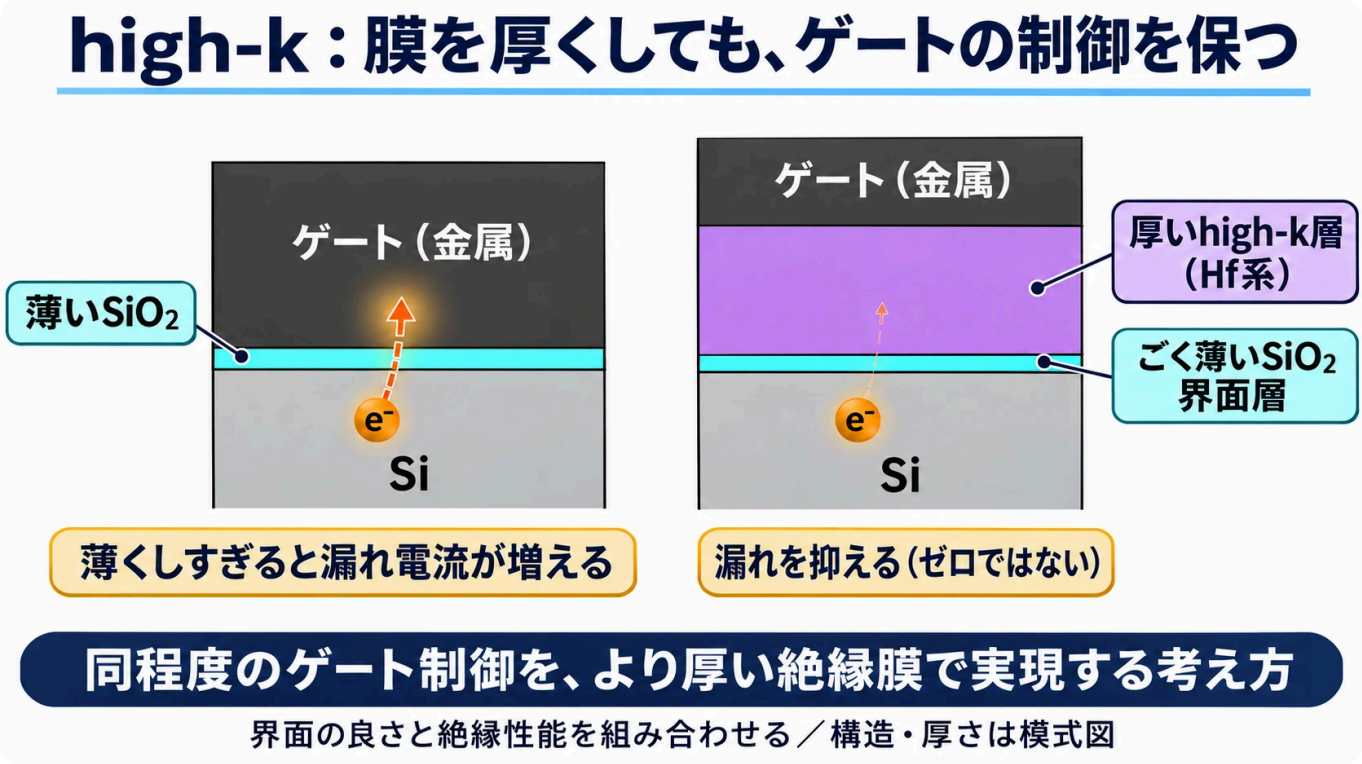


図4　high-kは、厚さとゲート制御を両立させる（概念図）

図の読み方

左は薄いSiO₂だけの絶縁膜、右はhigh-k層と薄いSiO₂界面層を組み合わせた例です。high-kは同程度のゲート制御を、より大きな物理的厚さで得るために使います。目的は膜を薄くすることではなく、ゲートの効き（容量）を保つことです。右の膜は物理的には厚くても、SiO₂に換算した厚さ（EOT）は左と同程度にできます（物理のツボ③）。厚さを実寸で比べた図ではありません。

5. 技術編④ — 熱処理：目覚めさせ、治し、しかし崩さない

アニールの目的

熱処理（**アニール**）は、酸化だけでなく、前工程のあらゆる場面で使われます。代表的な目的は次のとおりです 解説 。

- **不純物を働かせる（活性化）**：イオン注入（3-10）で打ち込んだホウ素やリンの原子を、シリコンの結晶の正しい位置に収め、電子や正孔を供給する不純物として働ける状態にする。
- **傷を治す**：イオン注入で乱れた結晶を元に戻す。
- **界面を整える**：水素を含むガスの中で350〜500 ℃ほどで熱すると、Si/SiO_2の界面の電子を捕まえる準位（界面準位）を、約10^{11}から約10^{10}（1 cm²・1 eVあたり）に減らせます [7] 事実 。

- **熱は、不純物を広げてしまう**

ところが、熱には困った面もあります。熱をかけている間、不純物の原子は結晶の中を少しずつ動いて**広がっていく（拡散）**のです。

物理のツボ④：熱をかけた時間で、不純物はどれだけ広がるか

インクを水に1滴落とすと、時間とともに色が広がります。結晶の中の不純物も同じで、広がる距離（拡散長）は、およそ次の式で表されます [12] 事実 。

$$拡散長 \fallingdotseq 2\sqrt{(D\,t)}$$

Dは拡散係数（温度が高いほど急激に大きくなる）、tは熱をかけた時間です。この式は、Dを一定とみなしたときの広がりの尺度で、境界条件によって使う定義や係数は変わります。Dを一定とした広がりの尺度は時間の**平方根**に比例するので、**同じ温度・同じD**の条件で時間を100分の1にすれば、広がりの目安は10分の1になります 本稿の計算 。

温度が変わる工程では、拡散への影響はD(T)を時間にわたって積み上げて考えます。高温の短い時間が大きく効くため、温度×時間や投入した熱量を単純に足すだけでは表せません 解説 。

トランジスタが小さくなるほど、不純物を入れる領域も浅く、狭くしなければなりません。スタンフォード大学の講義資料は、素子をK分の1に縮めたら、接合の深さもK分の1にすべきだと書いています [13] 事実 。そのため、最先端では温度と時間の履歴が拡散や反応に与える累積的な影響（**サーマルバジェット**、熱の予算）が、厳しく制限されます 解説 。

しかも、イオン注入で乱れた結晶を熱すると、結晶の中の余分な原子が放出され、それが不純物の拡散を一時的に大きく速めてしまいます（**過渡増速拡散、TED**） [14] 事実 。熱をかけなければ不純物が働かず、傷も治らない。かければ広がってしまう。このせめぎ合いが、熱処理の難しさです 解説 。

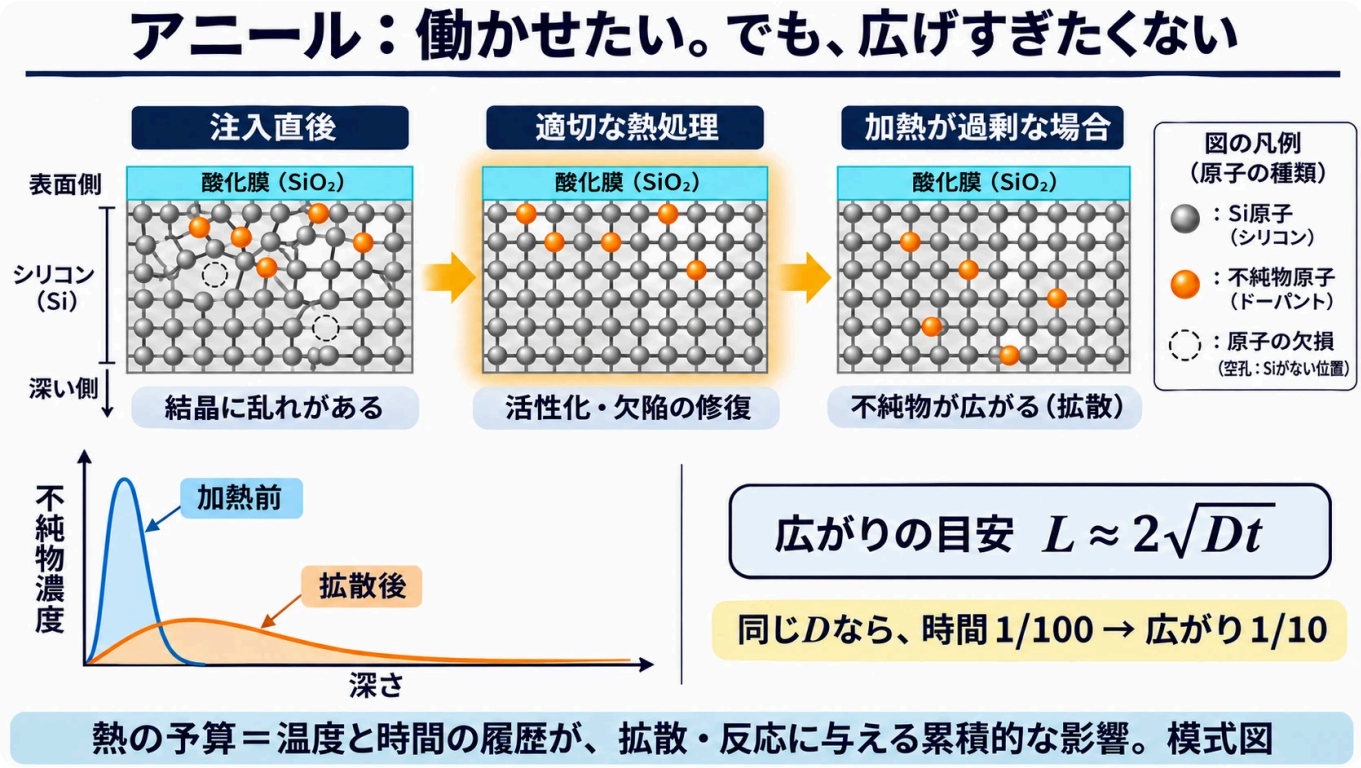


図5　活性化と修復を進め、拡散を抑える（概念図）

図の読み方

オレンジは不純物原子です。所定の結晶位置に入る活性化と、位置が広がる拡散を分けて見てください。時間と広がりの比はDを一定とした場合で、温度が違う工程をそのまま比べる式ではありません。

● 熱を「短く」かける技術

そこで、熱を短くかける技術が発達しました。

方式	加熱の時間	しくみ
炉（バッチ式）	数十分〜数時間	石英の管の中で、多数のウェハをまとめて熱する
RTP（急速熱処理）	数秒	ランプの光で、1枚ずつ急速に熱する
フラッシュランプアニール	数ミリ秒	ウェハ全体を予熱したうえで、強い閃光で表面だけを瞬間的に熱する
レーザーアニール	マイクロ秒〜ナノ秒	レーザーで、表面のごく浅い部分だけを熱する

（加熱時間の区分は一般的な目安です 解説 ）

- **フラッシュランプ**：Mattsonの技術者は、同資料で扱う0.5秒未満の短時間アニールでは、表面に集中して熱を与える考え方が重要になり、1 cm²あたり10 kWを超えるパルス状のエネルギー源（フラッシュランプかレーザー）が必要だと説明しています。ウェハを毎秒150 ℃の速さで予熱したうえで、ランプの閃光で表面を熱します [15] 事実 。SCREENのフラッシュランプアニール装置LA-3100は、キセノンのフラッシュランプの**数ミリ秒**の光で、表面の温度を上げ下げし、少ない熱の予算で不純物を高く活性化できるとしています [16] 事実 。
- **レーザー**：SCREENグループの資料は、**160ナノ秒**の紫外線のパルスレーザーで、表面のごく浅い部分を溶かすほど熱し、不純物を「超活性化」する技術を紹介しています [17] 事実 。

ただし、短ければよいわけではありません。Mattsonの技術者は、浅い接合を作るには「**拡散・活性化・欠陥の修復のバランスを慎重に取る**」必要があり、ミリ秒の加熱は短すぎて欠陥を治しきれないこともあると指摘しています [15] 事実 。

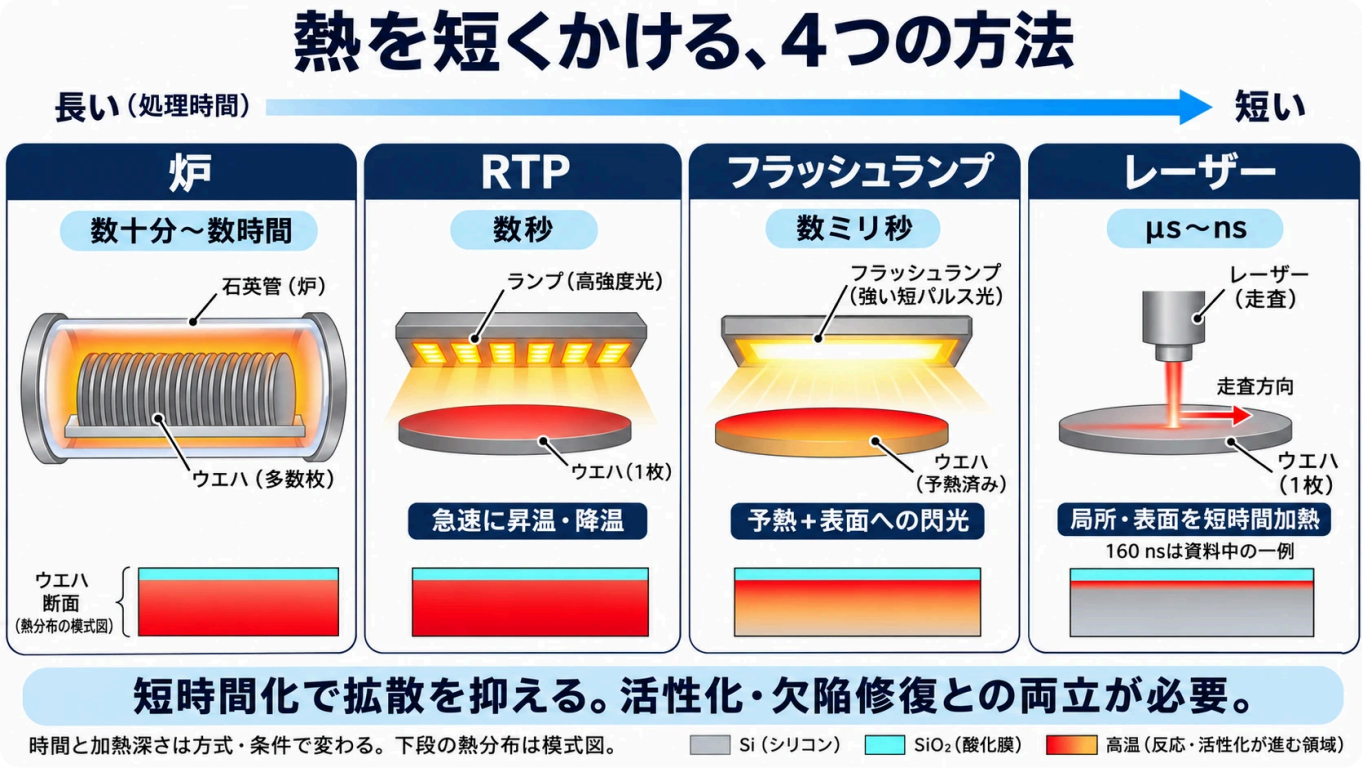


図6　熱を短くかける4つの方法（概念図）

図の読み方

左の炉は横型炉の例です。図7では縦型炉の内部を示します。左から短い時間の加熱へ並べていますが、装置を置き換えれば必ず同じ結果になるわけではありません。活性化・修復・拡散を考えて選びます。時間、温度、熱が及ぶ深さは条件によって変わります。

6. 技術編⑤ — 炉の中をのぞく

横型炉から縦型炉へ

日本半導体歴史館によると、かつての**横型炉**は、横に寝かせた石英のボートに**100〜150枚**のウェハを立てて並べ、円筒形の石英の反応管に差し込んで熱する炉でした。しかし、出し入れのときにボートと管がこすれ、**粒子が出るのは避けられません**でした。そこで日立製作所と国際電気（現在のKOKUSAI ELECTRIC）が1980年代半ばに**縦型炉**を共同開発し、国際電気が1986年にVERTEXシリーズとして製品化しました。縦型炉では**ウェハを回転させる仕組み**で面内の均一性が大きく改善し、ウェハの自動搬送もしやすくなりました [18] 事実 。



フランスの研究所LAAS-CNRSで、拡散と熱酸化に使われているcentrotherm社の炉（Commonsの説明による）。横向きの反応管を縦に複数配置した装置です。後の模式図に示す「縦型炉」の内部を撮った写真ではありません。
画像：Guillaume Paumier (user:guillom) / Wikimedia Commons / CC BY-SA 3.0（掲載用に縮小・WebP化）



同じ炉の前で、治具に立てて並べられたウェハ（Commonsの説明による）。ウェハは、このように多数をまとめて炉に入れます。
画像：Guillaume Paumier (user:guillom) / Wikimedia Commons / CC BY-SA 3.0（掲載用に縮小・WebP化）

いまも、縦型炉は大量のウェハを一度に処理できる装置として使われています。KOKUSAI ELECTRICの200 mm用の縦型炉には、一度に**175枚**を処理できる機種があります [19] 事実 。スタンフォード大学の講義資料も、実際には縦型炉、RTO（急速熱酸化）装置、高速昇温炉のいずれもが使われているとしています [1] 事実 。

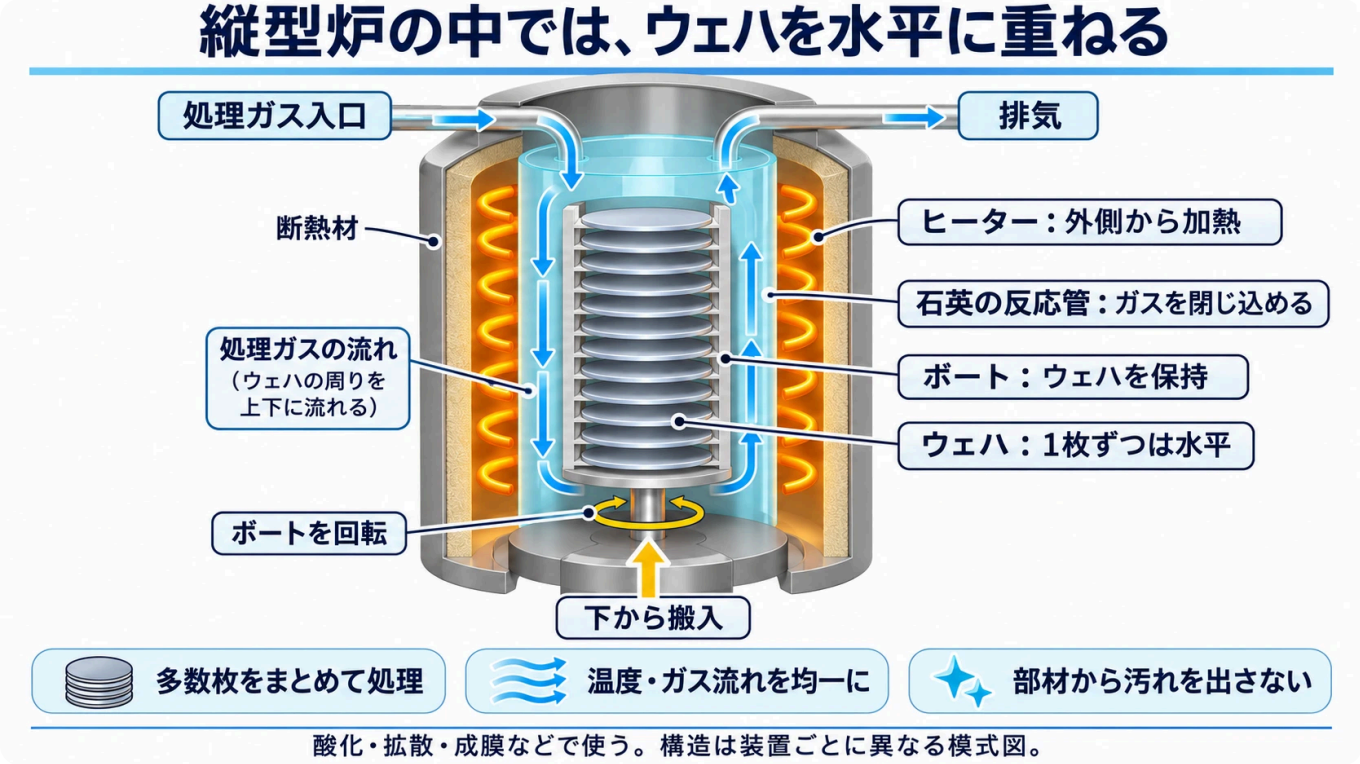


図7　縦型炉の断面：ウェハは水平に重なる（概念図）

図の読み方

「縦型」は反応管とボートが縦方向という意味です。ウェハ1枚ずつは水平で、ボートに積み重ねます。外側のヒーター、内側の反応管、処理ガス、搬入機構を分けて見てください。

● 温度を正しく測るのも、難しい

RTPのように1枚を数秒で熱する装置では、温度を正しく測るのも難しい問題です。米国国立標準技術研究所（NIST）の研究者は、ウェハに触れずに光で温度を測る方法では、正確でたどれる温度測定を実現するのが課題であり続けてきたとしています。2006年の同論文で扱った校正の例では、熱電対を埋め込んだウェハを使った測定の不確かさが約2.3 ℃と示されています。これは現在の全装置に共通する誤差ではありません [20] 事実 。

7. 産業編① — 炉と熱処理装置で勝っているのは誰か

主なメーカー

会社	国	主な装置	各社の公表している位置づけ
東京エレクトロン	日本	縦型炉（TELINDY PLUS）	拡散炉で1位（同社推定） [21]
KOKUSAI ELECTRIC	日本	縦型炉（バッチ成膜・酸化・拡散・アニール）	バッチ成膜装置で1位（49.2%、Gartnerの2025年の数字を同社が引用） [22]
ASM International	オランダ	縦型炉（SONORA、A400）	— [23]
Applied Materials	米国	RTP（Vantage、Radiance）、酸化・窒化	— [24]
NAURA（北方華創）	中国	縦型炉、RTP	熱処理装置の売上が2025年上半期に10億元超 [25]
SCREEN	日本	フラッシュランプアニール（LA-3100）	— [16]
Mattson Technology	米国（親会社は中国の投資ファンド）	RTP、ミリ秒アニール	— [26]

事実

東京エレクトロンとKOKUSAI — 縦型炉の日本の2強

東京エレクトロンは、統合報告書で、拡散炉（熱処理成膜を含む）で**1位**としています（同社の推定） [21] 事実 。同社の半導体装置の歴史は、拡散炉から始まりました。1964年に米国サームコ社の拡散炉の輸入販売の代理権を得て販売を始め、1968年には拡散炉の国内生産を始めています [21] 事実 。

KOKUSAI ELECTRICは、日立製作所の子会社だった日立国際電気の成膜プロセスの事業を前身とする会社で、2023年に東京証券取引所のプライム市場に上場しました [22] 事実 。同社の統合報告書は、調査会社Gartnerの数字を引いて、2025年の**バッチ成膜装置の市場で49.2%**（前年から8ポイント上昇）、そのうちの**バッチALD対応装置では80%超**（同社推定）としています。2026年3月期の売上収益は**2,351億円**で、地域別では中国39%、韓国24%、台湾18%、日本10%です [22] 事実 。

両社の「1位」は、市場の区切り方が違います。東京エレクトロンの「拡散炉」は熱処理成膜を含む同社の分類、KOKUSAIの「バッチ成膜」はGartnerの「Tube CVD」をもとにした分類です。どちらが上かを単純に比べることはできません 解説 。なお、KOKUSAIが引用したGartnerの数字では、RTPと酸化・拡散を合わせた「トリートメント」の市場（2025年に28億ドル）で、KOKUSAIは11.8%でした [22] 事実 。

買えなかった会社 — KOKUSAIとApplied Materials

KOKUSAIには、大型買収が破談になった歴史があります。2019年7月、米国のApplied Materialsは、投資会社KKRからKOKUSAIを**22億ドル**で買収すると発表しました。Applied Materialsは、KOKUSAIを「生産性の高いバッチ処理装置の大手」と紹介しています [27] 事実 。しかし2021年3月、**中国の規制当局の承認が期限までに得られなかった**ため契約は終了し、Applied MaterialsはKKRに**1億5,400万ドルの解約金**を支払いました [28] 事実 。2-3で見たウェハメーカーの買収の失敗と同じく、装置メーカーもまた、国の判断で行方が左右される戦略的な存在になっています 推測 。

- **中国 — 縦型炉の累計1,000台**

中国のNAURA（北方華創）は、縦型炉とRTPの全製品をそろえ、2025年上半期の熱処理装置の売上が**10億元**を超えたとしています。同じ期間に、縦型炉の累計出荷が**1,000台**に達しました [25] 事実 。同社は、2024年の熱処理装置の世界市場を約230億元と見積もっています [25] 事実 。

- **秒以下の熱処理 — 米国と日本**

1枚ずつ数秒で熱するRTPでは、米国のApplied Materialsが、主にアニールに使い、高品質の酸化膜や酸窒化膜も作れるRTP装置を手がけています [24] 事実 。ミリ秒のフラッシュランプでは、日本のSCREEN [16] と、米国のMattsonが製品を持っています。Mattsonは2016年に、北京の投資ファンドが率いる企業連合に買収されました [26] 事実 。

8. 産業編② — 熱に耐える「石英」の部材

1,000 ℃を超える炉の中で、ウェハに直接触れるのが、**石英ガラス**の反応管やボートです。不純物を出さず、熱に耐え、温度の変化で割れないことが求められます。信越石英は、石英ガラスは**これらすべての条件を満たすほとんど唯一の材料**だとしています [29] 事実 。

会社	国	主な製品
信越石英	日本（信越化学工業とドイツのヘレウスが株主）	石英ガラス加工品、シリコン単結晶用の石英るつぼ [30]
東ソー・クォーツ	日本	酸化・拡散工程用のチューブ、ボート。直径1,000 mmを超えるチューブ [31]
フェローテック	日本	石英製品、SiCのボートやチューブ、シリコン部品 [32] [38]
Heraeus Covantics	ドイツ	半導体用の石英ガラス [33]
CoorStek	米国	SiCのチューブ、ボート [34]

事実

東ソー・クォーツは、1936年に設立された日本初の石英ガラスメーカー（日本石英硝子）を前身とし、酸化・拡散工程に欠かせないチューブやボートを作っています [31] 事実 。フェローテックの2026年3月期の石英製品の売上は**約344億円**で、同社は**生成AIに関連する半導体製造装置向け**に、セラミックスや石英の需要が増えているとしています [32] 事実 。

大きな炉では、石英より強い材料も使われます。米国CoorStekは、小さな従来型の反応管には石英が使われるが、**大型で高性能な反応管には、強度と剛性に優れたSiC（炭化ケイ素）**がよく使われると説明しています [34] 事実 。

そして、石英ガラスの原料をたどると、2-1で見た米国ノースカロライナ州スプルースパインの**高純度石英**にたどり着きます。採掘するSibelcoは、2023年に約2億ドルを投じて高純度石英の生産能力を倍にする計画を発表しています [35] 事実 。天然石英の原料から加工部材までの経路の一例で、すべての石英ガラスがこの鉱山の原料を使うわけではありません。合成石英という別の製造経路もあります。

9. これから求められること

熱処理の大きなテーマは、**必要な場所に必要な熱を与え、ほかの部分への影響を抑える**ことです。

- **積み重ねる時代の低温化**：トランジスタを何層にも積み重ねる「逐次3D集積」について、imecは、最も重要な課題は**製造の熱の予算の管理**であり、2018年に紹介した実証では上の層の工程を**525 ℃未満**に抑えたとしています [36] 事実 。IRDSも、DRAMでは周辺の回路を作った後の工程を低温にする必要があるとしています [37] 事実 。
- **新しいトランジスタ構造**：imecは、次世代のCFETでは、高温のアニールの熱の予算が、低温で作るゲートの工程にとって課題になるとしています [10] 事実 。
- **表面だけを熱する**：SCREENグループの資料は、下に埋まった構造に影響を与えずに、表面だけを局所的に熱する技術の必要性を挙げ、ナノ秒の局所加熱で下層配線への熱影響を抑える考え方を示しています。許容できる温度は材料や構造、照射条件で変わります [17] 事実 。
- **低温での膜質改善と省エネ**：KOKUSAIは、低温環境での成膜の需要が高まっているとしています [22] 事実 。東京エレクトロンは、新しい縦型炉EVAROSで、従来機に比べてウェハ1枚あたりのCO_2排出量を約25%減らしたとしています [21] 事実 。

素材の技術者の出番

熱処理の課題も、材料の開発と深く結びついています 解説 。

- 1,000 ℃を超えても不純物を出さず、割れず、反らない石英ガラスやSiCの部材
- 炉を熱するヒーターの材料（高温で長く使えて、粒子を出さない）
- 低温でも質のよい酸化膜を作るための、新しい原料ガスやプロセス
- 低温工程でも必要な特性を得られるゲート絶縁膜や界面の材料

「焼く」工程の裏側では、ガラス・セラミックス・金属・化学の技術者が活躍しています。

10. まとめと次回予告

視点	ポイント
なぜ酸化膜か	SiO_2とSi/SiO_2界面の質が、シリコンを主役にした
育ち方	酸化剤が膜をくぐり抜けて界面で反応、界面がSi側へ進み、膜は上にも育つ（Siを0.44d消費）
Deal-Grove	$x^2+Ax=B(t+\tau)$。薄いと線形則、厚いと放物線則。水蒸気は膜に約1,000倍溶けて速い
薄膜化	Intelの65 nm世代はSiO_2 1.2 nm、45 nm世代でhigh-k導入（2007年）。下にはいまも薄いSiO_2
アニール	活性化・修復・界面の改善。ただし拡散長$2\sqrt{(Dt)}$で不純物が広がる
短い加熱	炉 → RTP（秒）→ フラッシュランプ（ミリ秒）→ レーザー（ナノ秒）
産業	縦型炉は東京エレクトロン（拡散炉1位、同社推定）とKOKUSAI（バッチ成膜49.2%）。石英部材は日本が強い
これから	積層に合わせた低温化（imecの2018年実証では525 ℃未満）、表面だけ熱する、省エネ

次回は**3-3「成膜（CVD・ALD）」**です。酸化はシリコンそのものを変えて膜を作りましたが、次は、ガスの化学反応で、さまざまな材料の膜を表面に積んでいく技術です。原子1層ずつ積み上げるALDは、KOKUSAIが80%超を握るとしたバッチALDとも深く関わります。

11. 確認クイズ

1. シリコンが半導体の主役になった理由として、酸化膜に関してどんなことが挙げられていますか。

> **▼ 答えを見る**
> SiO_2とSi/SiO_2の界面の質のよさです。SiO_2は不純物を遮り、絶縁破壊電界が高く、シリコンとの界面が安定で再現性がよいとされます。一方、ゲルマニウムの酸化物は水に溶けてしまいます。

2. 熱酸化で、酸化膜はどちらの向きに育ちますか。厚さ100 nmの酸化膜を作ると、シリコンはどれくらい消費されますか。

> **▼ 答えを見る**
> 酸素や水が酸化膜の中を拡散して界面に届き、界面がシリコンの中へ移動するので、Si/SiO_2界面は下へ進みますが、酸化膜の上面は元のSi表面より上にも出ます。厚さdの膜でシリコンは0.44dが消費されるので、約44 nmです。

3. Deal-Groveモデルで、膜が薄いうちと厚くなってからで、成長を決めるものはどう変わりますか。

> **▼ 答えを見る**
> 薄いうちは界面での反応の速さで決まり、膜は時間に比例して育ちます（線形則）。厚くなると酸化膜の中の拡散で決まり、膜厚は時間の平方根に比例してしか増えません（放物線則）。

4. ウェット酸化がドライ酸化より速いのはなぜですか。

> **▼ 答えを見る**
> 水（H_2O）が酸化膜の中に約1,000倍も多く溶け込めるので、膜の中の酸化剤の濃さが高くなり、シリコンまで大量に届くからです。

5. ゲートの酸化膜を世代ごとに薄くしてきたのは、何のためですか。

> **▼ 答えを見る**
> 半導体業界の目標である「トランジスタを小さく、速くする」ためです。ゲートの酸化膜を薄くするとゲートの容量が大きくなり、同じ電圧でシリコンの表面により多くの電子が集まって電流が増えます（ゲートの効きが強くなる）。また、小さくしたトランジスタでも、ゲートがシリコンの表面をしっかり制御できるようにするためです。チップや半導体そのものを薄くするのが目的ではありません。

6. Intelが2007年にhigh-k材料を導入した理由は何ですか。また、膜を厚くしてもよいのはなぜですか。

> **▼ 答えを見る**
> SiO_2のゲート絶縁膜を1.2 nm（同社の表現で原子約5層相当）まで薄くしたところで、それ以上薄くすると漏れ電流が増えてしまったからです。容量は$C = \varepsilon_0 KA/t$で決まるので、比誘電率Kの大きいハフニウム系のhigh-k材料なら、膜を物理的に厚くしても同じ容量（ゲートの効き）を保てます。厚い膜は電子がトンネル効果ですり抜けにくく、Intelは漏れ電流を10分の1以下にしました。

7. 同じ温度・同じ拡散係数で、熱処理の時間を100分の1にすると、不純物の広がる距離はどうなりますか。

> **▼ 答えを見る**
> 同じD（温度などが同じ）の条件なら、$2\sqrt{(Dt)}$は時間の平方根に比例するため、10分の1になります。

8. フラッシュランプアニールやレーザーアニールのような短い加熱が使われるのはなぜですか。また、その弱点は何ですか。

▼ 答えを見る

不純物をあまり広げずに活性化できるからです。ただし、加熱が短すぎると、結晶の傷を治しきれないことがあり、拡散・活性化・欠陥の修復のバランスを取る必要があります。

9. 縦型炉が横型炉に代わって使われるようになった理由を挙げてください。

▼ 答えを見る

横型炉では、ボートと反応管がこすれて粒子が出るのが避けられませんでした。縦型炉では、ウェハを回転させることで均一性が大きく改善し、自動搬送もしやすくなりました。

12. 用語集

熱酸化
シリコンを酸素や水蒸気の中で熱し、表面に酸化シリコンを育てること。

ドライ酸化
乾いた酸素を使う熱酸化。ゆっくりで質のよい薄い膜ができる。

ウェット酸化
水蒸気を使う熱酸化。厚い膜を速く作れる。

Si/SiO_2界面
シリコンと酸化シリコンの境目。

界面準位
界面にある、電子を捕まえてしまうエネルギーの準位。

パッシベーション
表面を膜で覆って、電気的・化学的に安定させること。

プレーナ技術
酸化膜を残したまま素子を作る、平面的な製造方法。

Deal-Groveモデル
熱酸化の膜厚と時間の関係を、酸化剤の拡散と界面の反応で表すモデル。

線形則
膜厚が時間に比例して増える成長。界面での反応が速さを決める。

放物線則
膜厚が時間の平方根に比例して増える成長。酸化膜の中の拡散が速さを決める。

拡散係数
原子や分子がどれだけ速く広がるかを表す値。温度が高いほど大きい。

溶解度
物質がどれだけ溶け込めるかの限度。

トンネル効果
電子が、薄い壁をすり抜けてしまう量子力学の現象。

ゲート絶縁膜（ゲート酸化膜）
ゲート電極とシリコンの間にはさまる薄い絶縁膜。この膜をはさんで、ゲートの電圧がシリコンの表面に電子を呼び寄せる。

比誘電率
絶縁膜が電気の力をどれだけよく伝えるかの目安。SiO_2は3.9、HfO_2は25（ロバートソンの総説の表）。

high-k材料
比誘電率の高い絶縁材料。膜を物理的に厚くしても、薄いSiO_2と同じゲートの効き（容量）を得られる。

等価酸化膜厚（EOT）
high-kなどの膜の効きを、同じ容量になるSiO_2の厚さに換算した値。EOT ＝（3.9 ÷ K）× 厚さ。

ISSG酸化
熱いウェハの近くで水素と酸素を反応させ、酸素ラジカルで酸化する方法。

アニール
熱処理。不純物の活性化や結晶の修復などのために熱すること。

活性化
注入した不純物を結晶の正しい位置に収め、電気を運べるようにすること。

拡散長
熱をかけている間に不純物が広がる距離の目安。$2\sqrt{(Dt)}$。

サーマルバジェット
温度と時間の履歴が拡散・反応に与える累積的な影響。熱量や温度×時間の単純な合計とは異なる。

過渡増速拡散（TED）
イオン注入で乱れた結晶を熱したとき、一時的に不純物の拡散が速まる現象。

RTP
急速熱処理。ランプなどでウェハを1枚ずつ数秒で熱する方法。

フラッシュランプアニール
強い閃光で、ウェハの表面だけをミリ秒単位で熱する方法。

レーザーアニール
レーザーで、表面のごく浅い部分だけを短時間で熱する方法。

縦型炉
ウェハを縦に積み重ねたボートを、縦に立てた反応管に入れて熱する炉。

バッチALD
多数のウェハをまとめて、原子層堆積（ALD）で成膜する方式。

石英ガラス
高純度の非晶質SiO_2を主成分とするガラス。熱工程では不純物や粒子の管理が重要。

逐次3D集積
トランジスタの層を、一つ作っては次の層を上に作る形で積み重ねる方法。

13. 参考資料（一次情報）

1. **Stanford EE212（Plummer, Deal, Griffin）講義資料（ワシントン大学 EE528 の講義ページに掲載）**「Chapter 6: Thermal Oxidation（1999年度 Handout #10）」 — 資料を開く
2. **F. J. Feigl**「VLSI Technology and Dielectric Film Science, Physics Today 39(10), 47（1986年）」 — 資料を開く
3. **コンピュータ歴史博物館**「1960: Metal Oxide Semiconductor (MOS) Transistor Demonstrated」 — 資料を開く
4. **M. M. Atalla, E. Tannenbaum, E. J. Scheibner**「Stabilization of Silicon Surfaces by Thermally Grown Oxides, Bell System Technical Journal 38(3), 749（1959年）」 — 資料を開く
5. **コンピュータ歴史博物館**「1959: Invention of the "Planar" Manufacturing Process」 — 資料を開く
6. **P. K. Chu（香港城市大学）**「AP6120 Chapter 4: Oxidation（講義資料）」 — 資料を開く
7. **C. Henkel, M. Östling（スウェーデン王立工科大学）**「IH2655 Lecture 5: Oxidation（2012年、講義資料）」 — 資料を開く
8. **B. E. Deal, A. S. Grove**「General Relationship for the Thermal Oxidation of Silicon, J. Appl. Phys. 36, 3770（1965年）」 — 資料を開く
9. **Intel（2007年1月27日）**「Intel's Transistor Technology Breakthrough Represents Biggest Change to Computer Chips In 40 Years」 — 資料を開く
10. **imec（2026年9月7日）**「Advancing the CFET-based device roadmap」 — 資料を開く
11. **S. Kuppurao, J. Joo, G. Miner（Applied Materials）**「In situ steam generation（Solid State Technology、2000年7月）」 — 資料を開く
12. **MIT OpenCourseWare 6.152J（2005年）**「Lecture 4: Diffusion（講義資料）」 — 資料を開く
13. **Stanford EE212 講義資料**「Chapter 7: Dopant Diffusion」 — 資料を開く
14. **Stanford EE212 講義資料**「Chapter 8: Ion Implantation」 — 資料を開く
15. **P. Timans ほか（Mattson Technology）**「Flat-Top Flash Annealing（AVS JTG、2012年7月18日）」 — 資料を開く
16. **SCREENセミコンダクターソリューションズ**「フラッシュランプアニール装置 LA-3100」 — 資料を開く
17. **SCREEN（LASSE）**「CEA-Leti Workshop @ SEMICON West 2018 発表資料（レーザーアニール）」 — 資料を開く
18. **半導体産業人協会 日本半導体歴史館**「1986 Vertical furnaces」 — 資料を開く
19. **KOKUSAI ELECTRIC**「Products」 — 資料を開く
20. **B. K. Tsai（NIST）**「A Summary of Lightpipe Radiation Thermometry Research at NIST, J. Res. NIST 111, 9（2006年）」 — 資料を開く
21. **東京エレクトロン**「統合報告書2026（p.9 沿革、p.14 当社の強み、p.54 EVAROS）」 — 資料を開く
22. **KOKUSAI ELECTRIC**「統合報告書2026（p.11、p.15ほか）」 — 資料を開く
23. **ASM International**「Vertical Furnace」 — 資料を開く
24. **Applied Materials（米国SEC提出 Form 10-K、2022年度）**「RTP・酸化窒化の製品説明」 — 資料を開く
25. **北方華創（NAURA）**「2025年半年度報告（p.11、p.14）」 — 資料を開く
26. **Mattson Technology（米国SEC提出 8-K 添付資料、2016年5月11日）**「E-Town Dragonによる買収の完了」 — 資料を開く
27. **Applied Materials（米国SEC提出 8-K 添付資料、2019年7月1日）**「Kokusai Electricの買収の合意」 — 資料を開く
28. **Applied Materials（米国SEC提出 8-K 添付資料、2021年3月29日）**「Kokusai Electricの買収契約の終了」 — 資料を開く
29. **信越石英**「用途：半導体」 — 資料を開く
30. **信越石英**「会社概要」 — 資料を開く
31. **東ソー・クォーツ**「製品（沿革は https://www.tqgj.co.jp/company/history/ ）」 — 資料を開く
32. **フェローテックホールディングス**「決算説明資料（2026年8月14日、p.2、p.7）」 — 資料を開く
33. **Heraeus Covantics**「Fused silica for semiconductor」 — 資料を開く
34. **CoorStek**「Diffusion & LPCVD Processing」 — 資料を開く
35. **Sibelco（2023年4月21日）**「Sibelco announces a major expansion of its Spruce Pine high purity quartz operations」 — 資料を開く
36. **imec（2018年7月9日）**「imec and Soitec demonstrate sequential 3D planar device achieving high reliability at low temperature」 — 資料を開く
37. **IRDS**「2023 Edition, More Moore」 — 資料を開く
38. **フェローテックホールディングス**「会社案内2025（石英・SiC部材）」 — 資料を開く
39. **J. Robertson（ケンブリッジ大学）**「High dielectric constant oxides, Eur. Phys. J. Appl. Phys. 28, 265（2004年）」 — 資料を開く

14. 主張と出典の対応表（監査）

本文の主張	根拠	区分
SiO_2とSi/SiO_2界面がシリコン優位の主因、SiO_2の利点（エッチング、不純物のマスク、10^7 V/cm、安定な界面）、F1＝F2＝F3、薄いドライ酸化膜はモデルより速い、縦型炉・RTO・高速昇温炉が使われる	Stanford EE212 ch6 [1]	事実
シリコン優位の重要な理由は自然酸化物の質、GeO_2は水溶性	Feigl [2]（Crossref・本文）	事実
1959年アタラとカーンが絶縁ゲートの開発に成功、熱酸化膜で表面準位を大きく減らす	コンピュータ歴史博物館 [3]	事実
熱酸化膜による表面の安定化（1959年の論文）	Atalla ほか [4]（Crossref）	事実
ヘルニのプレーナ技術、酸化膜が接合を守る	コンピュータ歴史博物館 [5]	事実
SiO_2の用途、熱酸化は最もきれいで界面欠陥が少ない、反応式、酸化剤が膜を拡散し界面がSi側へ移動、0.44dのSiを消費、3つの流れ、Deal-Groveの定数（1,000 ℃）、約300 Åより薄いドライ膜は異常に速い	香港城市大学 [6]	事実
700〜1,200 ℃、水蒸気は約10倍速い、体積約2.2倍、B＝2DC*/N1・B/Aは界面反応、H_2Oは約1,000倍溶けやすい、SiO_2は45 nm世代までゲート酸化膜、FGA 350〜500 ℃で界面準位$10^{11}\rightarrow10^{10}$	KTH [7]	事実
$x^2+Ax=B(t+\tau)$	Deal & Grove [8]（Crossref・要旨）	事実
SiO_2は薄くすることで性能向上を続けた、65 nmでSiO_2を1.2 nm・原子5層、漏れ電流の増加、SiO_2をより厚いハフニウム系high-kに置き換えて漏れ10分の1以下、ムーアの言葉、high-k膜の厚さの数値は記載なし	Intel [9]	事実
CMOSの性能はムーアの法則に沿って40年向上・素子数は2〜3年で倍・最小寸法は指数関数的に縮小、FETは容量で動く素子で電流はゲート容量で決まる、$C=\varepsilon_0 KA/t$、トンネル電流は厚さとともに指数関数的に減る、物理的に厚いhigh-kで同じ容量を保つ、寸法の比例縮小と酸化膜厚（SiO_2換算）の計画表、EOT＝(3.9/K)t、比誘電率 SiO_2 3.9・HfO_2 25、SiO_2の層ができるとEOTが増える	Robertson [39]	事実
HfO_2がSiO_2中間層を守る、CFETでの高温アニールの熱の予算の課題	imec [10]	事実
ISSG：低圧、熱いウェハ近くでH_2とO_2が反応、Oラジカル、約1 nm、Qbd 3倍以上	Applied Materials [11]	事実
拡散長 ≈ $2\sqrt{(Dt)}$	MIT OCW [12]	事実
素子をK分の1にすると接合深さもK分の1	Stanford EE212 ch7 [13]	事実
注入の傷のアニールで一時的に拡散が増速（TED）	Stanford EE212 ch8 [14]	事実
0.5秒未満は表面加熱が必須、10 kW/cm²超のパルス源、150 K/sで予熱、拡散・活性化・欠陥修復のバランス	Mattson [15]	事実
キセノンフラッシュランプの数ミリ秒の光、低サーマルバジェット	SCREEN [16]	事実
160 nsのUVパルスレーザー、溶融アニールで超活性化、埋もれた構造に影響せず表面を局所加熱、ナノ秒の局所加熱で下層への影響を抑える考え方	SCREEN（LASSE） [17]	事実
横型炉は100〜150枚・粒子発生、日立と国際電気が共同開発、1986年にVERTEX、回転機構で均一性改善・自動搬送	日本半導体歴史館 [18]	事実
200 mm機で175枚	KOKUSAI [19]	事実
非接触の温度測定は課題、不確かさ約2.3 ℃	NIST [20]	事実
拡散炉1位（同社推定、熱処理成膜を含む）、1964年に拡散炉の販売代理権、1968年に国内生産、EVAROSでCO_2を約25%削減	東京エレクトロン [21]	事実

本文の主張	根拠	区分
日立国際電気の事業が前身、2023年プライム上場、バッチ成膜49.2%（Gartner）・8ポイント上昇、バッチALD 80%超（同社推定）、売上2,351億円、地域別、トリートメント市場28億ドルで11.8%、低温成膜の需要	KOKUSAI [22]	事実
SONORA・A400の縦型炉	ASM [23]	事実
RTPは主にアニール、高品質の酸化膜・酸窒化膜	Applied Materials [24]	事実
熱処理の売上10億元超、縦型炉の累計1,000台、熱処理装置の世界市場約230億元	NAURA [25]	事実
2016年にE-Town Dragonが買収	Mattson [26]	事実
2019年にKKRから22億ドルで買収合意、バッチ処理装置の大手	Applied Materials [27]	事実
2021年3月19日に中国当局の承認が得られず終了、解約金1億5,400万ドル	Applied Materials [28]	事実
石英ガラスはほとんど唯一の材料	信越石英 [29]	事実
株主は信越化学とヘレウス、主要製品	信越石英 [30]	事実
1936年に日本初の石英ガラスメーカー、チューブ・ボート、直径1,000 mm超	東ソー・クォーツ [31]	事実
石英製品の売上約344億円、生成AI関連で需要増、SiCのボート・チューブ	フェローテック [32] [38]	事実
半導体用の石英ガラス	Heraeus [33]	事実
小型は石英、大型・高性能はSiC	CoorStek [34]	事実
約2億ドルで高純度石英の生産能力を倍増	Sibelco [35]	事実
逐次3Dの最重要課題は熱の予算、2018年実証で上層工程は525 ℃未満	imec [36]	事実
DRAMの周辺回路形成後は低温の工程が必要	IRDS [37]	事実
100 nmで約44 nmのSiを消費、ドライ約1.9時間・ウェット約7分・約17分の1、SiO_2 1.2 nm相当のHfO_2は約7.7 nm（約6.4倍、EOT 1.2 nm）、時間100分の1で拡散長10分の1	上記の出典値と、本文に明記した前提・式による計算	本稿の計算
買収の破談は装置メーカーが戦略的存在であることの表れ	本稿の推測	推測
酸化膜・界面、成長則、ゲート酸化膜を薄くする目的（業界の微細化の目標と、ゲートの効き）、high-k、活性化と拡散、温度履歴、短時間加熱、装置分類、部材の役割についての直感的な説明	本文中で明記した一般原理の説明。図は実寸や定量シミュレーションではない	解説

最終更新：2026年11月8日／技術は原論文・大学の講義資料・IRDS（国際デバイス・システム・ロードマップ）・各社の技術資料、企業の情報は各社の統合報告書・決算資料・製品ページ・米国SEC提出書類を出典としています。「1位」などの表現は各社自身の発表や、各社が引用した調査会社の数字で、本文中にそのことを明記しています。物理の一般原理の説明と、本稿の計算・推測は、本文中のタグで区別しています。図7点はImage Genで作成した模式図です。図ごとに前提と読み方を示しています。

© 2026 Troy Technical
当サイトの文章・図版・動画のうち、著作権法で保護される部分の無断転載・再配布・再アップロードを禁じます。ただし、法令上認められる引用等を除きます。
引用資料・商標等の権利は各権利者に帰属します。記事へのリンクによるご紹介は歓迎します。転載・二次利用についてはお問い合わせください。