この記事の構成

1. この回を3行でつかむ
2. 技術編① — なぜ「積む」必要があるのか
3. 技術編② — CVD：ガスが膜になるまでの7つの段階
4. 技術編③ — 圧力を下げると、膜がそろう（LPCVD）
5. 技術編④ — プラズマで、低い温度でも積める（PECVD）
6. 技術編⑤ — 深い穴の奥まで、同じ厚さで覆う
7. 技術編⑥ — ALD：自己制限する反応で、少しずつ積み上げる
8. 技術編⑦ — 最先端のチップの、どこで積んでいるか
9. 産業編① — 成膜装置で勝っているのは誰か
10. 産業編② — 膜の「もと」を作る化学の会社
11. これから求められること
12. まとめと次回予告
13. 確認クイズ
14. 用語集
15. 参考資料（一次情報）
16. 主張と出典の対応表（監査）

本記事の表記ルール

事実 ＝公的機関・学術資料・企業の公式発表に記載のある内容（出典番号つき）
本稿の計算 ＝明示した前提から本記事が計算した値
推測 ＝出典から読み取れる範囲を超えた、本記事の見立て
未確定／将来 ＝計画・ロードマップであり、実績が確認できていない事項
物理の一般原理（教科書で確立している内容）の説明は、とくにタグを付けずに書いています。

この回の学習目標

- CVDで膜が育つしくみと、「反応で決まる」領域と「ガスの運び込みで決まる」領域の違いを説明できる
- 圧力を下げる（LPCVD）、プラズマを使う（PECVD）、自己制限反応を繰り返す（ALD）という3つの工夫が、それぞれ何を解決したのかを説明できる
- 成膜装置と、成膜の原料（プリカーサ）の分野で、どの国のどの会社が強いのかを挙げられる

1. この回を3行でつかむ

- **CVD**は、原料のガスをウェハの上で化学反応させ、固体の膜を積む技術です。膜の育つ速さは、**表面での反応**と、**ガスの運び込み**のうち、遅いほうで決まります。圧力を下げたり、プラズマを使ったりする工夫で、そろった膜を低い温度で積めるようになりました。
- **ALD**は、2種類の原料を**交互に**流し、表面が埋まると反応が自然に止まる性質を使って、多くのプロセスで1回あたり原子1層より薄い成長量を制御します。十分な原料供給とパージを行えば、深い構造にもよく沿った膜を作れます。
- 成膜装置では、CVDの約7割を米国の2社と日本の東京エレクトロンが占め（調査会社Gartnerの数字の引用）、ALDではオランダのASMが55%超（同社推定）を掲げます。成膜の原料では、日本のADEKAとトリケミカル研究所が先端メモリ向けのhigh-k材料を支えています。

2. 技術編① — なぜ「積む」必要があるのか

酸化だけでは、チップは作れない

3-2で見た熱酸化は、シリコンを酸素と反応させて、酸化シリコンを「育てる」方法でした。けれども、この方法で作れるのは、下地がシリコンの場所の、酸化シリコンだけです 解説 。

実際のチップには、さまざまな材料の膜が何十層も重なっています。米国の装置メーカーLam Researchは、成膜の役割を次のように説明しています。小さな**タングステン**の接続部や薄いバリア膜は、**一度に原子数層ずつ**積むCVDとALDの精度で作られ、プラズマCVD、高密度プラズマCVD、ALDは、重要な**絶縁層**を作るのに使われる[5] 事実 。

膜の材料	主な役割（例）	主な作り方
多結晶シリコン（ポリシリコン）	電極、配線	減圧CVD（575〜650 ℃） [1]
窒化シリコン（Si_3N_4）	酸化を防ぐマスク、表面の保護膜	減圧CVD（650〜800 ℃）、プラズマCVD（200〜400 ℃） [1]
酸化シリコン（SiO_2）	配線の間の絶縁、溝の埋め込み	CVD（200〜800 ℃）、TEOSを使うプラズマCVDなど（25〜400 ℃） [1]
タングステン（W）	穴を埋める電極（コンタクト、ビア）	減圧CVD（250〜500 ℃） [1]
ハフニウムの酸化物など（high-k）	トランジスタのゲート絶縁膜	ALD [12]

事実 （温度は1999年度のスタンフォード大学の講義資料に記された例です。実際の範囲は原料・装置・膜質の要求で変わります。用途も代表例です）

- **原料を外から供給し、さまざまな下地に積む**

熱酸化はシリコンを消費して界面をSi側へ進め、膜の上面は元の表面より上にも育ちます。CVD・ALDは膜の主な原料を**外部からガスとして供給**するので、SiO_2以外の膜や、金属・絶縁膜などの上への成膜にも使えます。ただし、どんな材料をどんな下地にも積めるわけではありません。原料の反応性、核生成、下地との反応、許容温度によって組み合わせが限られ、界面の質も重要です 解説 。

3. 技術編② — CVD：ガスが膜になるまでの7つの段階

- **膜ができるまでの道のり**

スタンフォード大学の講義資料は、CVDを次の7つの段階に分けています [1] 事実 。

1. 原料のガスが、膜を積む場所まで運ばれる
2. ガスの主な流れから、ウェハ表面のすぐ上にある**境界層**（表面近くで流速や濃度が変化し、拡散による輸送が重要になる領域）を通って、表面まで届く
3. 原料がウェハの表面にくっつく（吸着）
4. 表面で化学反応が起き、膜になる
5. いらなくなった副生成物が、表面から離れる（脱離）
6. 副生成物が、境界層を通って出ていく
7. 副生成物が、装置の外へ運び出される

たとえば、多結晶シリコンは、シラン（SiH_4）が熱で分解してできます [2] 事実 。

$$SiH_4 \rightarrow Si（膜） + 2H_2$$

窒化シリコンは、ジクロロシラン（SiH_2Cl_2）とアンモニアを750 ℃ほどで反応させて作れます [2] 事実 。

$$3SiH_2Cl_2 + 4NH_3$$

$$\rightarrow Si_3N_4 + 6H_2 + 6HCl$$

物理のツボ①：遅いほうが全体を決める（反応律速と輸送律速）

スタンフォード大学の講義資料は、2つの流れを置いて、膜の育つ速さを考えます [1] 事実 。

- **F_1**：ガスの中から、境界層を通って表面へ届く流れ。$F_1 = h_G (C_G - C_S)$
- **F_2**：表面で反応して膜になる流れ。$F_2 = k_S C_S$

C_Gはガスの中の原料の濃さ、C_Sは表面での濃さ、h_Gはガスの運ばれやすさ、k_Sは表面での反応の速さです。落ち着いた状態では、$F_1 = F_2$になります。同じ資料は、**3-2で見たDeal-Groveモデルとよく似ている**と書いています [1] 事実 。

MITの講義資料は、これを**電気の直列抵抗**にたとえ、「2つの過程が直列につながっていて、遅いほうが膜の成長を決める」と説明しています [2] 事実 。

- **$k_S \ll h_G$（表面反応律速）**：ガスは十分届いているのに、反応が追いつかない。反応の速さはアレニウスの式 $k_S = k_0 \exp(-E_A/kT)$ に従い、**温度にとても敏感**です。
- **$h_G \ll k_S$（物質輸送律速）**：反応は速いのに、ガスの運び込みが追いつかない。h_Gの温度依存性は反応速度の指数関数的な変化に比べて弱く、**装置の形やガスの流れ方にとても敏感**です。

事実 （[1]による）

計算してみる：単結晶シリコンを積む反応の活性化エネルギーは、資料によると1.6 eVです [1] 事実 。この値で、温度を600 ℃（873 K）から650 ℃（923 K）に上げると、反応の速さは$\exp[(1.6/8.617\times10^{-5})\times(1/873 - 1/923)] \fallingdotseq$ **約3.2倍**になります 本稿の計算 。たった50 ℃で3倍以上です。表面反応律速で膜をそろえるには、ウェハのどこでも温度をそろえることが決定的に大事だとわかります 解説 。

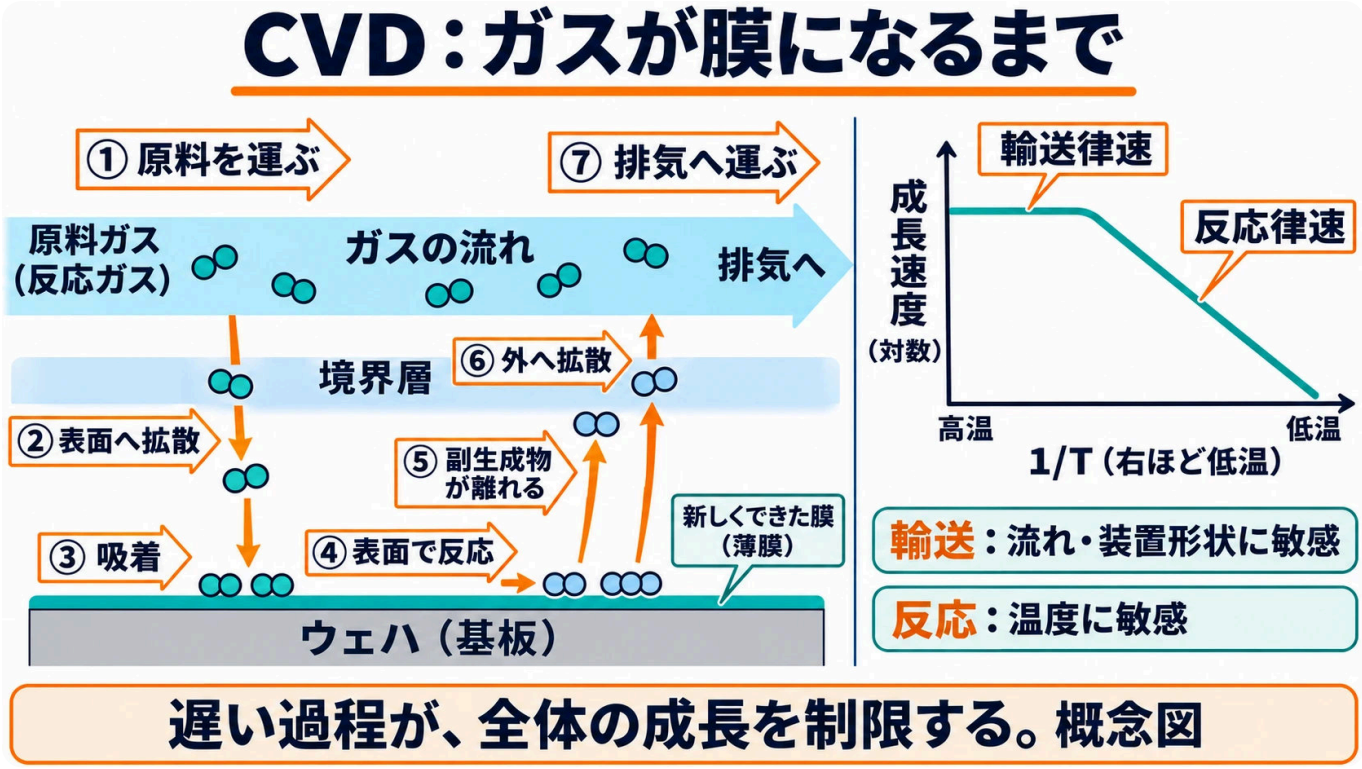


図1　CVDの7段階と、成長を制限する過程（概念図）

図の読み方

原料が表面へ届き、反応し、副生成物が排出される流れを追ってください。右の横軸は1/Tなので、左が高温、右が低温です。反応と輸送のどちらが遅いかで、工程の調整点が変わります。

4. 技術編③ — 圧力を下げると、膜がそろう（LPCVD）

- **ガスの分子は、どれだけ進むとぶつかるか**

物質輸送律速では、ウェハの場所によってガスの届き方が違うと、膜の厚さがばらつきます。これを解決したのが、**圧力を下げる**という工夫です。

物理のツボ②：圧力を下げると、分子は遠くまで飛ぶ（平均自由行程）

気体の分子が、ほかの分子にぶつかるまでに進む平均の距離を**平均自由行程**といいます。MITの講義資料は、次の式と目安を示しています [3] 事実 。

$$\lambda = k_B T \,/\, (\sqrt{2}\,\pi\, d^2\, p)$$

圧力	平均自由行程の目安
1気圧	10^{-5} cm（0.1 μm）
1 Torr（約1/760気圧）	10^{-2} cm（0.1 mm）
1 mTorr（1 Torrの1,000分の1）	10 cm

事実 （[3]による）

計算してみる：窒素分子（直径を約0.37 nmとする）で、室温（300 K）、1気圧なら、$\lambda \fallingdotseq$ **約68 nm**。1 Torrでは、その760倍の**約52 μm**です 本稿の計算 。

気体の拡散係数は、圧力に反比例します（$D_{gas} \propto T^{3/2}/p$） [3] 事実 。スタンフォード大学の資料によると、圧力を1 Torrまで下げると、拡散係数は**760倍**になり、境界層は約7倍厚くなるので、ガスの運ばれやすさh_Gは**約100倍**になります。これは同資料の境界層モデルによる見積もりで、物質輸送の制約を減らし、表面反応律速に近づけられることを示しています [1] 事実 。

温度と供給を管理して、まとめて成膜する

圧力を下げて物質輸送の制約が小さくなると、表面反応が成長を支配する条件を選びやすくなります。その領域では温度の均一性が重要ですが、原料の濃度・流れ・消費による減少も管理する必要があります。スタンフォード大学の資料は、減圧すると**温度には敏感になるが、炉の壁ごと電気で熱する「ホットウォール」方式で温度をよく制御でき、ウェハを積み重ねて並べられる**と書いています [1] 事実 。

MITの資料は、減圧CVD（LPCVD）の長所として、ガスを運ぶためのキャリアガスがいらないこと、ガスの中での反応が少なく粒子が出にくいこと、境界層を通る輸送の制約が小さくなること、そして**スパッタなどの物理的な方法と違って、段差によく沿った膜ができる**ことを挙げ、当時の代表的な多結晶シリコン成膜をホットウォールLPCVDとして説明しています [2] 事実 。

3-2で見た縦型炉は、熱酸化だけでなく、このLPCVDにも使われます。KOKUSAI ELECTRICや東京エレクトロンの「バッチ成膜」は、この流れの上にある技術です 解説 。

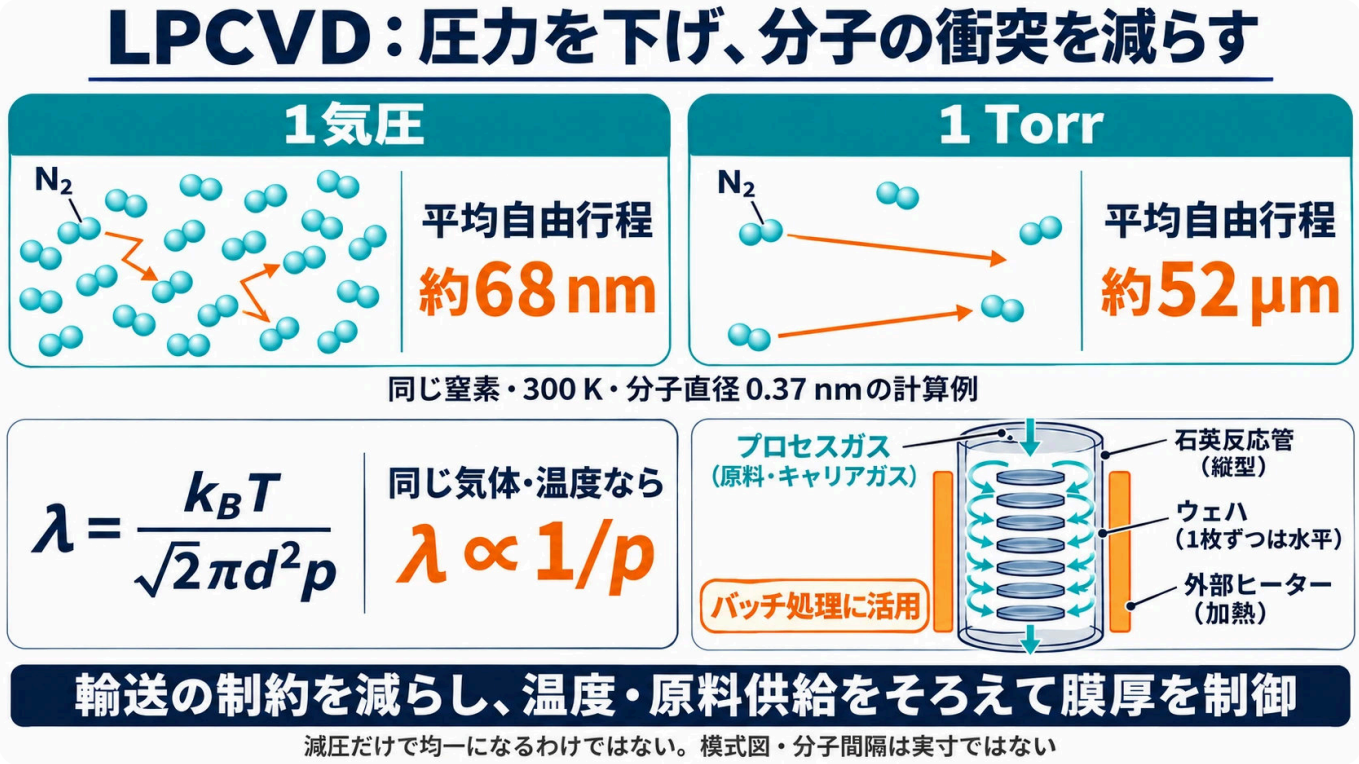


図2　減圧で分子の衝突を減らし、輸送を助ける（概念図）

図の読み方

数値は窒素・300 K・分子直径約0.37 nmの計算例で、本文の講義資料の概数とは区別しています。減圧は輸送の制約を小さくする手段で、均一性には温度・供給・原料の消費の管理も必要です。

5. 技術編④ — プラズマで、低い温度でも積める（PECVD）

- **アルミの配線の上には、熱をかけられない**

配線をアルミで作った後は、アルミとシリコンが反応しないように、温度を**450 ℃より低く**しなければなりません。MITの資料は、そのような場面で、熱のかわりに**プラズマがエネルギーを与える**と説明しています [2] 事実 。これが**プラズマCVD（PECVD）**です。

スタンフォード大学の資料によると、プラズマの中では、原料が分解してできた断片やラジカル（反応しやすい原子や分子のかけら）、イオンの衝突によって、表面での反応や膜の成長が、**プラズマを使わない場合よりずっと低い温度で**起こります [1] 事実 。窒化シリコンなら、減圧CVDの650〜800 ℃に対して、プラズマCVDでは200〜400 ℃で、表面の保護膜として積めます [1] 事実 。

物理のツボ③：ガスは冷たいのに、電子だけが「熱い」

ドイツのジーゲン大学の講義資料は、低い圧力（0.1〜10 Torr）で作る「低温プラズマ」の中では、**電子の代表的なエネルギーが0.5〜10 eV**の範囲にあり、**基板の温度は、熱CVDよりずっと低い**と書いています。そして、低温プラズマは**熱平衡の状態にない**としています [4] 事実 。

1 eVのエネルギーを温度に直すと、約11,600 Kです（ボルツマン定数 $k_B = 8.617\times10^{-5}$ eV/K から）。0.5〜10 eVの電子は、E/k_Bという換算の尺度では**約5,800〜116,000 K**に相当します。これはウェハや気体全体の温度ではなく、電子温度の定義や分布によっても対応は変わります 本稿の計算 。

電子は軽いため電場からエネルギーを得やすく、重い粒子との弾性衝突ではエネルギーを渡しにくい一方、分子の励起・解離にはエネルギーを使います。この非平衡な状態を利用すると、ガス全体やウェハを熱CVDほど高温にしなくても反応を助けられます。ただし、ガスやウェハが全く温まらないという意味ではなく、加熱やプラズマ損傷の管理は必要です。熱の代わりに、電子の力で反応を起こすのが、プラズマCVDの考え方です 解説 。

低温化できても、同じ組成・同じ膜質が自動的に得られるわけではありません。膜の密度、水素などの残留、応力、プラズマによる損傷も、用途に合わせて管理します 解説 。

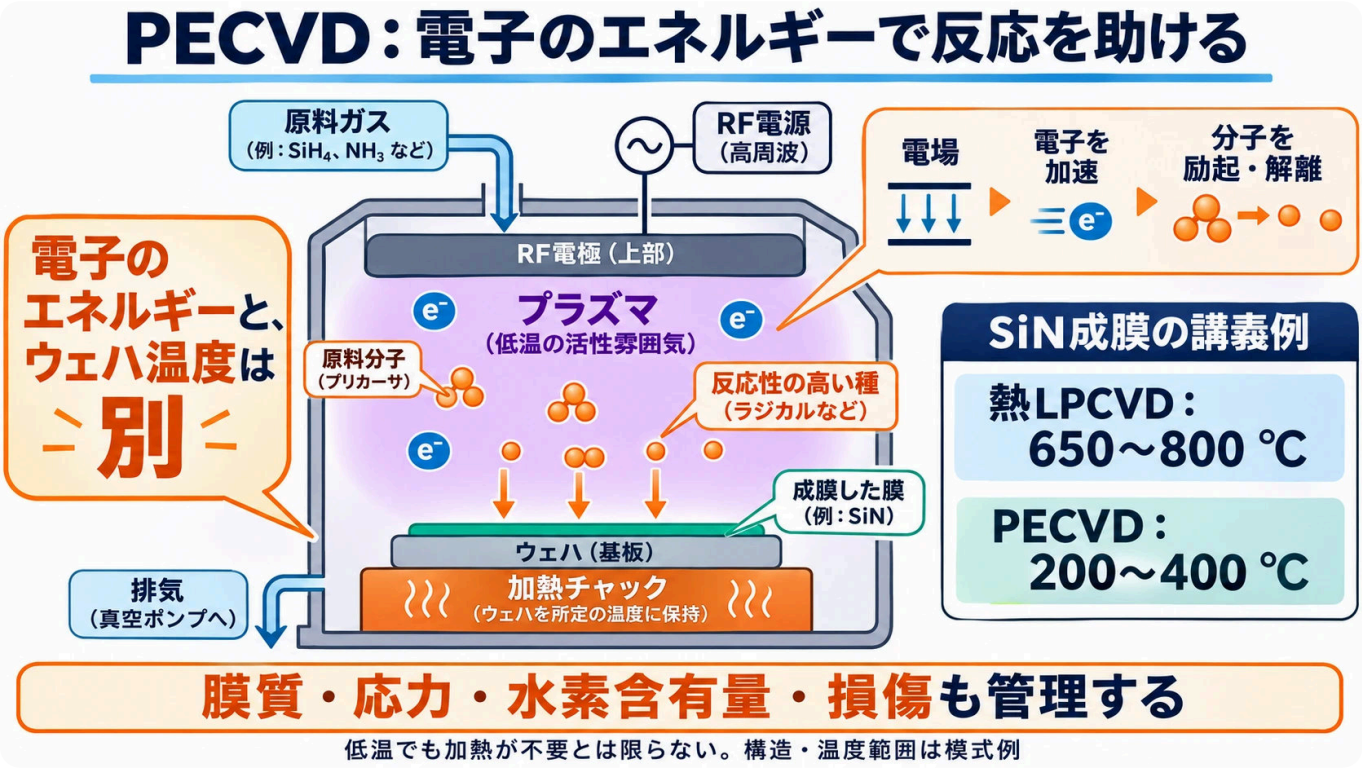


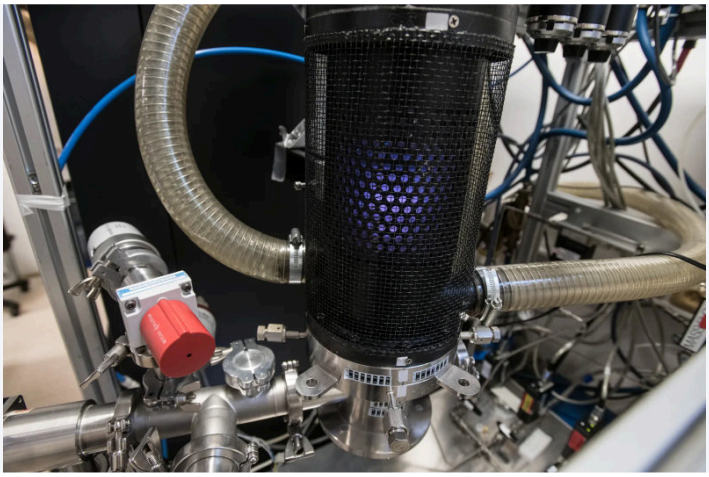
図3　プラズマの電子が、低温での反応を助ける（概念図）

図の読み方

電子のエネルギーとウェハの温度は別です。原料分子の励起・解離で反応を助けられるため低温化できますが、加熱が不要とは限りません。右の温度はSiN成膜の講義例です。

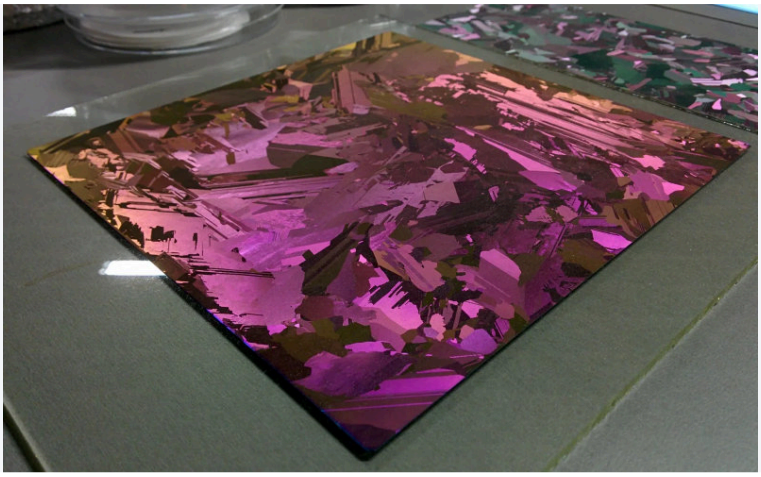


フランス・トゥールーズの研究所LAASの技術施設にあるプラズマCVD（PECVD）装置（Commonsの説明による）。前面に「PECVD」のラベルが貼られています。
画像：Guillaume Paumier (user:guillom) / Wikimedia Commons / CC BY-SA 3.0（掲載用に縮小・WebP化）



チェコ科学アカデミー物理学研究所の、低温プラズマを使う研究用のPECVD装置の細部（Commonsの説明による）。金網の内側に、青紫色の光が見えます。
画像：René Volfík（Institute of Physics of the Czech Academy of Sciences） / Wikimedia Commons / CC BY-SA 4.0（掲載用に縮小・WebP化）

色のむらは、膜厚むらの手がかりになる



太陽電池の研究所（オーストラリアのニューサウスウェールズ大学）で、プラズマCVDで窒化シリコン膜（100 nm程度以下）を付けた多結晶シリコンのウェハ。膜の厚さがそろわなかった失敗品で、色の違いは、膜の厚さによる光の干渉で生じています（Commonsの説明による）。半導体のチップに使う丸い単結晶のウェハではありません。
画像：Radiotrefoil / Wikimedia Commons / CC BY-SA 4.0（掲載用に縮小・WebP化）

膜の表面で反射した光と、膜の下で反射した光が重なると、膜の厚さによって、強め合う色が変わります。シャボン玉が色づいて見えるのと同じしくみです 解説 。色は屈折率や観察角度にも依存するので、色だけで膜厚を一意に測れるわけではありません。写真のウェハは、成膜がうまくいかず、場所ごとに厚さが違ったために、色がまだらになりました（Commonsの説明による）。膜の厚さを**ウェハ全面でそろえる**ことが、どれほど大事で難しいかがわかります 解説 。

高密度プラズマCVD ― 積みながら削る

配線の間の狭い溝を絶縁膜で埋めるときには、**高密度プラズマCVD（HDP-CVD）**が使われてきました。スタンフォード大学の資料によると、HDP-CVDは、**膜を積むのと同時に、イオンで削る（スパッタ）**ことで、平らで、すき間（ボイド）のない膜を作れ、主に配線工程の酸化シリコンに使われます。イオンが強く一方向から飛んでくるので、溝の入り口にできた出っ張りは削り取られます [1] 事実 。

6. 技術編⑤ ― 深い穴の奥まで、同じ厚さで覆う

段差被覆と、入り口がふさがる問題

チップの中には、細くて深い溝や穴がたくさんあります。穴の深さを幅で割った値を**アスペクト比**といいます [1] 事実 。このような穴の壁や底に、上面と同じ厚さで膜を付けられるかどうかを、**段差被覆（ステップカバレッジ）**といいます 解説 。

膜が入り口の近くにばかり付くと、入り口が先にふさがり、中に空洞（ボイド）が残ってしまいます。Lam Researchは、微細な構造では、従来のCVDでタングステンを埋めると、入り口の出っ張りのせいで**埋め終わる前に入り口が閉じ、ボイド、抵抗の上昇、接続の不良**につながると説明しています [6] 事実 。

- **カギは「くっつきにくさ」**

ここで効いてくるのが、**付着係数**です。表面に到達した原料が付着・反応して取り込まれる確率を表す指標です [1] 事実 。

方法	付着係数
スパッタ・蒸着などの物理的な方法（PVD）	1とする講義モデルの例
減圧CVDの酸化シリコン（シラン）	0.2〜0.4
減圧CVDの酸化シリコン（TEOS）	0.05〜0.1
減圧CVDのタングステン	0.01以下
減圧CVDの多結晶シリコン	0.001以下

事実 （スタンフォード大学の講義資料 [1] のモデル例。付着確率は表面状態、温度、原料で変わり、すべてのPVDで1になるわけではありません）

同じ資料は、CVDでは表面の化学反応がかかわるので付着係数が1よりずっと小さく、**分子は反応する前に、何度も跳ね返る**と説明しています。そして、**付着係数を1より小さくすると、段差にずっとよく沿った膜になる**としています [1] 事実 。

一度でくっついてしまう分子は、穴の入り口で捕まります。何度も跳ね返ってからくっつく分子は、穴の奥まで入り込んでから膜になります。十分な供給がある条件では、「くっつきにくい」ことが、原料を奥まで到達させる助けになります 解説 。そして、この考えを突き詰めたのが、次のALDです。

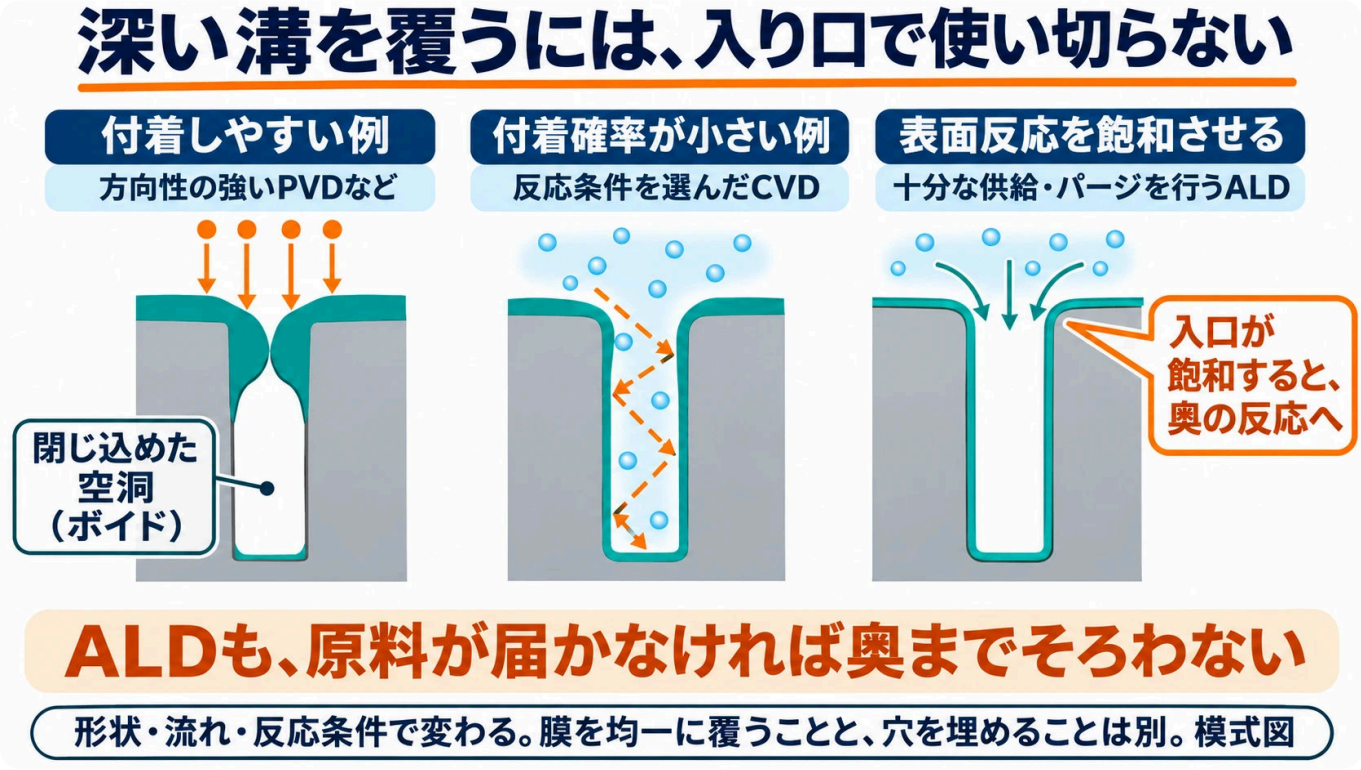


図4　付着と飽和で変わる、深い構造への膜の付き方（概念図）

図の読み方

3つは同じ形の溝です。左は入口が閉じて空洞を残す例、中央は原料が奥まで届きやすい例、右は十分な供給で表面反応を飽和させる例です。薄く均一に覆うことと穴を完全に埋めることは別で、ALDも供給不足なら奥までそろいません。

7. 技術編⑥ — ALD：自己制限する反応で、少しずつ積み上げる

ALDでも、深い構造では原料の到達量と排出時間が足りないと奥の膜が薄くなります。表面反応の飽和、供給時間、パージを組み合わせて設計します 解説 。

「交互に流す」と「自然に止まる」

ALD（原子層堆積）について、フィンランドの研究者プールネンの総説は、気体と固体の自己制限反応を順番に用いる成膜として説明し、複雑な形にもよく沿う膜を作れる能力を特徴として挙げています [7] 事実 。

ALDの装置メーカーであるオランダのASMは、**原料と反応相手を交互にパルスで流し、そのたびに不活性ガスで追い出す（パージ）**ことを繰り返して、層を作ると説明しています。反応が自分で止まるので、厚さを正確に制御でき、段差によく沿った膜になります [8] 事実 。

総説の著者版PDFでも反応の詳細を確認できます。

代表的な例は、トリメチルアルミニウム（TMA、$Al(CH_3)_3$）と水で、酸化アルミニウム（Al_2O_3）を積むALDです [7] 事実 。1サイクルは、次の4つの手順です 解説 。

1. **TMAを流す**：TMAが表面の反応基と反応する。利用できる反応点が埋まるなどして、その半反応が飽和する
2. **パージ**：残ったTMAと副生成物を、不活性ガスで追い出す
3. **水を流す**：水が表面に残ったメチル基などと反応し、Al–Oの結合を作って次の反応に使う表面基を再生する。この半反応も飽和する
4. **パージ**：残った水と副生成物を追い出す

物理のツボ④：1サイクルで、原子1層より薄い

プールネンの総説によると、TMAと水のALDで、300 ℃のときに1サイクルで育つ厚さは**約0.09 nm**で、これは**酸化アルミニウムの1層分の約30%**にあたります [7] 事実 。

計算してみる：10 nmの膜を積むには、10 ÷ 0.09 ≒ **約110サイクル**が必要です 本稿の計算 。1サイクルは、供給・パージ・供給・パージの4段階なので、ALDは時間がかかります。このサイクル数は成長が安定した場合の概算で、成長開始の遅れや下地の違いも実際には考慮します。

原料に付いた配位子による立体的な混み合いや、表面の反応基の密度などが、1サイクルの成長量に関わります。「原子1層ずつ」というのは、たとえとしての言い方で、実際には1層をもっと細かく刻んで積んでいます 解説 。

ALDウィンドウ — ちょうどよい温度の幅

原料と表面反応に適した温度範囲を選ぶ必要があります。プールネンの総説は、1サイクルの成長量が比較的一定になる代表的な温度範囲を「**ALDウィンドウ**」として説明しています [7] 事実 。温度が低すぎると原料が表面に結露したり反応しきれなかったりし、高すぎると原料の分解でCVD的な成長が起きたり、吸着種の脱離で成長量が減ったりすることがあります。成長量が温度とともに変わるALDもあり、すべてのプロセスに平らなウィンドウが現れるわけではありません 解説 。

また、同じ総説は、**パージが短すぎると**、TMAと水が同時にガスの中に存在してしまい、**CVDのような連続的な成膜**が起こって、1サイクルの厚さが増えてしまうと書いています [7] 事実 。ALDの精度は、「気相で原料どうしが混ざるのを避け、表面で順番に反応させる」ことで保たれているのです 解説 。

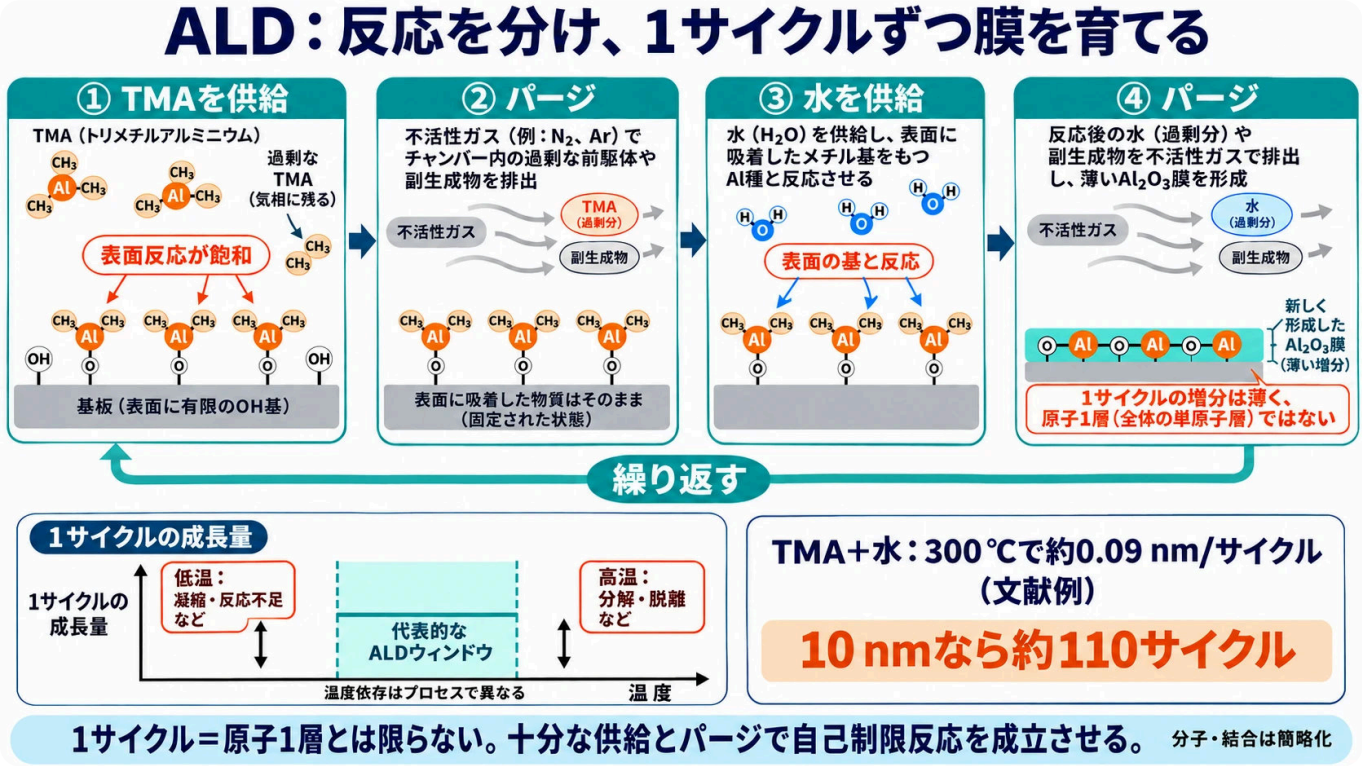


図5　ALDの1サイクルと、成長量の制御（概念図）

図の読み方

TMAの供給・パージ・水の供給・パージで1サイクルです。気相で混ぜず、表面で順番に反応させます。0.09 nmは300 ℃での文献例で、原子1層を毎回丸ごと積むという意味ではありません。成長量やウィンドウはプロセスによって変わります。

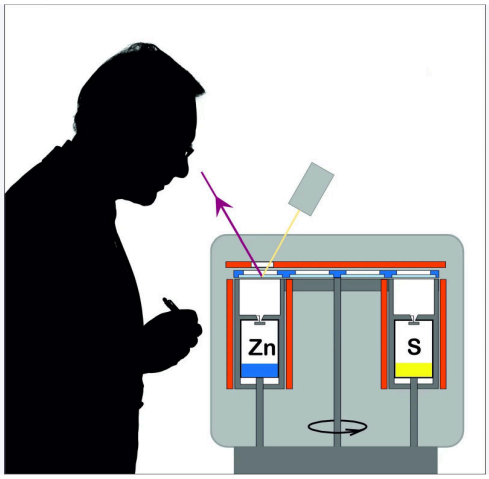


チェコ科学アカデミー物理学研究所の原子層堆積（ALD）装置（Commonsの説明による）。中央の、のぞき窓が付いた円筒形のステンレスの部分が反応室です。左にはガスの配管、右には空気に触れさせずに試料を扱うグローブボックスが見えます。
画像：René Volfík（Institute of Physics of the Czech Academy of Sciences） / Wikimedia Commons / CC BY-SA 4.0（掲載用に縮小・WebP化）

ALDは、2度発見された

ALDの原理は、**2度発見された**とされます。プールネンの2014年の論文は、1960年代のソ連で「**分子積層法**」の名前で、1970年代のフィンランドで「**原子層エピタキシー（ALE）**」の名前で見つかったと書いています [10] 事実 。ソ連では、アレスコフスキー教授のグループが、1965年の学会の論文集（1967年刊行）で、四塩化チタンと水で酸化チタンを積む方法を報告していました [7] 事実 。

フィンランドでは、トゥオモ・スントラが**1974年**に最初の実験を行いました [7] 事実 。スントラとアントソンの米国特許「化合物の薄膜を作る方法」は、1974年11月29日のフィンランドの出願をもとに、1977年に登録されています [9] 事実 。



1974年の最初の原子層エピタキシー（ALE）の実験を再現した図。左は、2014年に撮影したスントラのシルエット写真、右は、スントラの元の図をもとにプールネンがスントラと描き直した反応装置の模式図です。育つ膜に紫色の干渉の色が現れるのを観察している場面を表しています（Commonsの説明による）。
画像：Riikka Puurunen and Tuomo Suntola / Wikimedia Commons / CC BY-SA 4.0（掲載用に縮小・WebP化）

2018年、スントラは、**賞金100万ユーロのミレニアム技術賞**を受けました。賞を出すフィンランドの財団は、マイクロプロセッサやメモリに必要な極薄膜の製造でALDが重要な役割を果たすと紹介しています。スントラ自身は、「**2000年代の初めに半導体の業界がALDの重要さに気づくと、その利用は爆発的に広がった**」と語っています [11] 事実 。



2014年5月、フィンランドのヘルシンキで開かれたALDの国際会議で、「アイデアから世界の産業へ ― フィンランドのALDの40年」と題して講演するトゥオモ・スントラ（Commonsの説明による）。
画像：Riikka Puurunen / Wikimedia Commons / CC BY-SA 4.0（掲載用に縮小・WebP化）

CMOSロジックでの大きな採用例：2007年のhigh-k

3-2で見たように、Intelは2007年、ゲート絶縁膜を酸化シリコンからハフニウム系のhigh-k材料に切り替えました。Intelの技術者たちは、IEEE Spectrumへの寄稿で、high-kの膜を作るためにスパッタ、CVD、ALDを試し、**最終的にALDに決めた**こと、そしてALDは**とても新しい技術で、CMOSのチップの量産に使われるのは、このhigh-kのチップが初めて**であることを書いています [12] 事実 。1974年の実験から、このCMOS量産への採用例までは30年以上あります。これはALDのあらゆる産業用途が2007年に始まったという意味ではありません 本稿の計算 。

遅さを補う工夫

ALDの弱点は、遅いことです。米国真空学会の論文誌の論文は、「**ALDの大きな欠点は、成膜の速さが遅いこと**」とし、その解決策として、パージの手順のかわりに、2つの反応を**場所で分ける**「空間分離型ALD」を挙げています [13] 事実 。

日本のKOKUSAI ELECTRICは、ALDは複数のガスを繰り返し流すので処理に時間がかかり、生産性に課題があったが、**一度に数十枚以上のウェハに成膜できるバッチ成膜**が有効な解決策だと説明しています [14] 事実 。

もう一つの工夫は、プラズマを使うALD（PEALD）です。ASMは、PEALDでは**プラズマが反応のエネルギーを与えるので、低い温度で**成膜でき、熱をかけられない用途に使えると説明しています [8] 事実 。

8. 技術編⑦ — 最先端のチップの、どこで積んでいるか

微細なトランジスタの中で

ASMは、ALDの用途として、**high-kメタルゲート**、パターン形成のための**スペーサー**、MIMキャパシタ、ゲートのスペーサー、高アスペクト比の溝の埋め込みを挙げています [8] 事実 。

Lam ResearchのALD装置の説明によると、ALDの膜は、**スペーサーを使うマルチパターニング**で特に重要です。スペーサーが、回路の寸法を決めるからです [15] 事実 。リソグラフィで描ける線より細い線を作るために、描いた線の側壁にALDで薄い膜を付け、その膜の厚さを線の幅として使うのです。この方法は3-6のフォトリソグラフィで詳しく見ます 解説 。

3D NAND — 膜を何百層も重ねる

データを保存するNANDフラッシュは、メモリのセルを縦に積み重ねる**3D NAND**になりました。IRDSの2023年版は、**200層（1層あたり約50 nm）でも、積み重ねた高さは約10 μmになるとし、250層を超えるものが量産されており、500層以上、さらには1,000層も可能だと期待されている**と書いています [17] 事実 。韓国のSK hynixは、2024年11月に、**321層**のNANDの量産を始めたと発表しています [18] 事実 。

この積み重ねを作るのも、成膜です。Lam Researchは、3D NANDでは、**100組を大きく超える、交互の膜**をプラズマCVDで積むと説明しています。1層ずつの膜の応力（ひずみ）と欠陥を、細かく制御する必要があります [16] 事実 。1枚の膜のわずかな反りでも、何百層も重ねれば、ウェハ全体を大きくゆがめてしまうからです 解説 。

積み重ねた層の中には、電気を通すワード線を作る必要があります。Lam Researchは、3D NANDのワード線を**タングステンで埋める**装置を挙げています [6] 事実 。同社の年次報告書は、小さな**モリブデン**やタングステンの接続部を、CVDとALDの精度で作るとしています [25] 事実 。東京エレクトロンも、NANDでは**次世代の遷移金属材料をワード線に使う**ことに対応するとしています [27] 事実 。

DRAM — 深い穴の中のコンデンサ

DRAMは、小さなコンデンサ（キャパシタ）に電荷をためて記憶します。コンデンサの容量を確保するために、穴を深くして面積を稼ぎ、その壁に誘電率の高い膜を付けます。2025年の論文の序論は、DRAMのキャパシタには、**酸化ジルコニウムと酸化アルミニウムを重ねた膜（ZAZ）**が広く使われ、**アスペクト比が100：1を超える**溝が作られると書いています [19] 事実 （他の文献をまとめた記述）。東京エレクトロンも、DRAMでは「**高難度なキャパシタ成膜**」へのニーズに対応するとしています [27] 事実 。

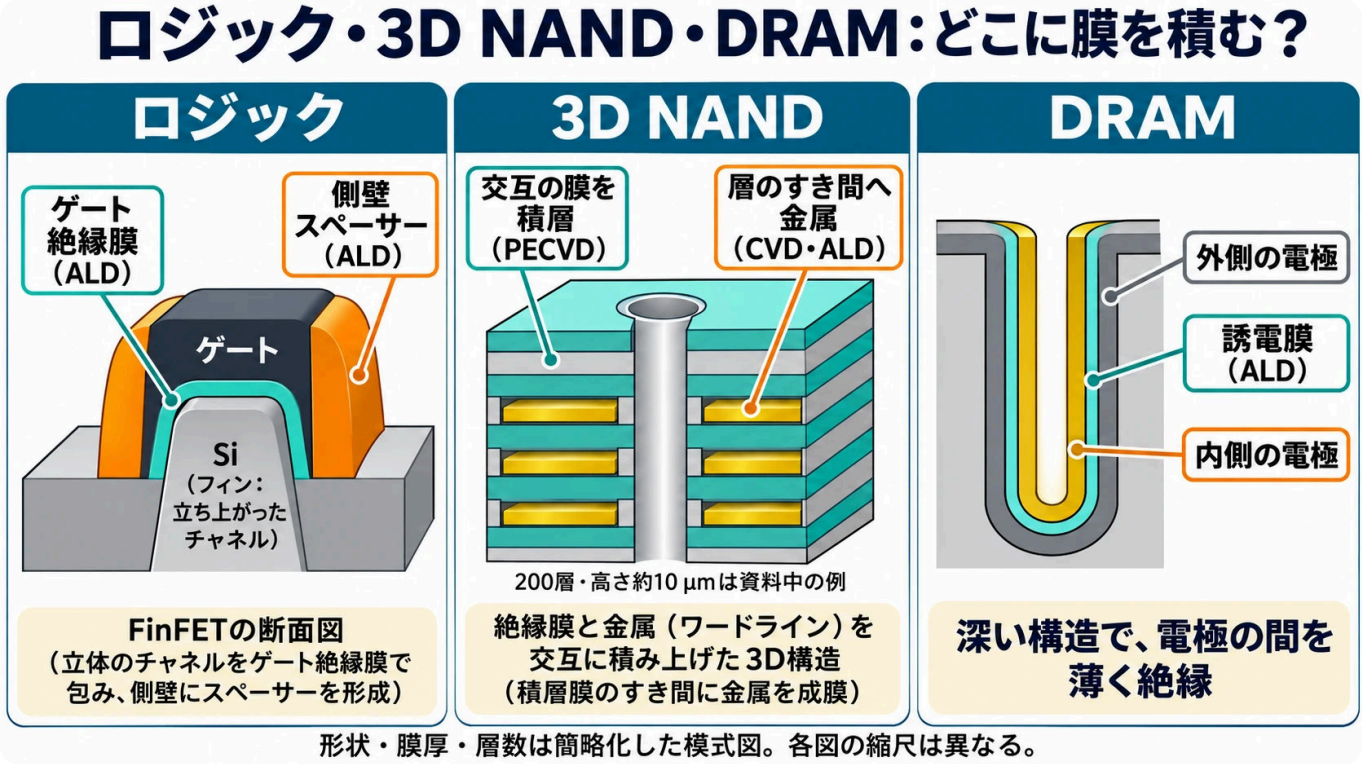


図6　ロジック・3D NAND・DRAMでの成膜（概念図）

図の読み方

中央の3D NANDでは、縦の穴と、横方向に延びる金属ワード線を区別してください。右のDRAMは、2つの電極の間に薄い誘電膜を入れたキャパシタの例です。各構造の寸法比や層数は実寸ではありません。

9. 産業編① — 成膜装置で勝っているのは誰か

- **市場の大きさ**

中国の成膜装置メーカー拓荊科技（Piotech）の年次報告書は、SEMIの統計をもとに、成膜装置は歴史的に**前工程の装置市場の約22%**を占めるとし、2025年の世界の成膜装置の市場を**約255億ドル**と推計しています。また、成膜装置の中では**プラズマCVDが約33%で最大、ALDは約11%**としています [23] 事実 。

概論1-4で見た「成膜・露光・エッチング」の中でも、成膜は大きな市場です。前工程の装置への投資の5分の1以上が、膜を積む装置に向かっている計算です 解説 。

主なメーカー

会社	国	成膜での主な製品・強み
Applied Materials	米国	成膜を含む「材料工学」の装置で、自らを業界のリーダーと位置づける [26]
Lam Research	米国	プラズマCVD（VECTOR）、ALD（Striker）、タングステン・モリブデンのCVD/ALD（ALTUS） [25]
東京エレクトロン	日本	バッチ成膜1位・メタル成膜1位（同社推定） [27]
ASM International	オランダ	枚葉式ALDで55%超（同社推定） [28]
KOKUSAI ELECTRIC	日本	バッチ成膜49%、バッチALD対応装置で約8割（同社による） [14]
北方華創（NAURA）	中国	成膜装置の売上100億元超 [29]
拓荊科技（Piotech）	中国	プラズマCVD・ALDの専業 [23]

事実

拓荊科技の年次報告書は、調査会社Gartnerの過去の統計として、**CVDの市場では、Applied Materials、Lam Research、東京エレクトロンの3社が、世界の約70%を占める**と書いています [23] 事実 。

Lam Researchは、年次報告書（2026年6月期）で、**絶縁膜と金属の成膜の市場での主な競合はApplied Materials**であり、**ALDとプラズマCVDでは、ASMと韓国のWonik IPSとも競合する**としています。また、成膜・エッチング・洗浄の市場で強い立場にあるとしています [25] 事実 。

東京エレクトロン — 3つの「1位」

東京エレクトロンは、統合報告書2026で、拡散炉、**バッチ成膜**、**メタル成膜**の3つで世界1位（いずれも同社推定）としています。同社の定義では、バッチ成膜はALDとCVD、メタル成膜は枚葉式の成膜を含みます [27] 事実 。同社の新規装置の売上に占める成膜装置の割合は、2026年3月期で**約20%**です [27] 事実 。新規装置の売上は1兆7,754億円なので、成膜装置は約3,550億円にあたります 本稿の計算 。

なお、KOKUSAI ELECTRICは、2025年の**バッチ成膜装置の市場で49%**のシェアとしており [14]、東京エレクトロンの「バッチ成膜1位」（同社推定）とは、数え方や対象の範囲が違うと考えられます 推測 。どちらも、縦型炉で日本の2社が強いことを示しています 解説 。

ASM — フィンランドの技術を受け継いだオランダの会社

ASMは、1968年にオランダで創業した会社です。同社は、**1999年にフィンランドのMicrochemistry社を、2004年に韓国のGenitech社を買収し、ALDの市場のリーダーになる基礎を築いた**としています [28] 事実 。スントラのALDの流れは、この買収を通じてASMに受け継がれました 推測 。

ASMは、**急成長する枚葉式ALDの市場のリーダーで、シェアは55%超**（同社推定）としています [28] 事実 。同社の2025年の売上は**31.73億ユーロ**で、地域別ではアジアが80%を占めます [28] 事実 。そして、枚葉式ALDの市場は、2024年の**約30億ドルから、2030年には51〜61億ドル**に伸びると予想しています（同社の推計） [28] 事実 。成長を引っ張るのは、ロジックの**GAA（ゲート・オール・アラウンド）**トランジスタと、2028年以降の先端DRAMだとしています [28] 事実 。

中国 — 自国の装置を育てる

中国の北方華創（NAURA）は、2025年の売上が**393.5億元**（前年比31%増）で、そのうち**成膜装置の売上が100億元を超えた**としています。同社は、PVD・CVD・エピタキシャル・ALD・めっきなど、成膜装置の全系列をそろえています [29] 事実 。

プラズマCVDとALDを専門とする拓荊科技は、2025年の売上が**65.2億元**（前年比59%増）で、**累計3,400を超える反応室**を出荷し、約100の生産ラインに入っているとしています [23] 事実 。

地域で見ると

成膜装置の分野の国・地域別のシェアを、公的機関がまとめた数字は見つかりませんでした。そこで、各社が示す数字を並べると、次のようになります。

分野	強い会社（国）	数字	誰の数字か
CVD全体	Applied Materials・Lam Research（米国）、東京エレクトロン（日本）	3社で約70%	Gartnerの統計（拓荊科技の引用） [23]
枚葉式ALD	ASM（オランダ）	55%超	同社推定 [28]
バッチ成膜	KOKUSAI ELECTRIC（日本）	49%	同社による [14]
バッチALD	KOKUSAI ELECTRIC（日本）	約8割	同社による [14]
先端メモリ向けhigh-k原料	ADEKA（日本）	50%超	同社による [31]

事実

装置全体で見ると、経済産業省の2025年の資料では、日本に本社がある会社が、半導体製造装置の世界市場の**約28%**を占めています（2023年） [30] 事実 。

一方、**買う側**を見ると、SEAJ（日本半導体製造装置協会）とSEMIの集計で、2025年の半導体製造装置の世界の販売額1,351億ドルのうち、**中国が493億ドル**で最大の市場でした。台湾が315億ドル、韓国が258億ドル、日本が95億ドルと続きます [24] 事実 。ASMは、2025年の売上の**30%超**が中国向けの装置だったとしています [28] 事実 。

成膜の装置は、米国・日本・オランダの会社が作り、その最大の買い手は中国で、中国では自国の装置メーカーも急成長している — という構図です 解説 。

10. 産業編② — 膜の「もと」を作る化学の会社

プリカーサ — 膜になる前の分子

CVDやALDで使う原料のことを、**プリカーサ（前駆体）**といいます。膜にしたい元素（ハフニウム、ジルコニウム、アルミニウム、タングステンなど）を含み、ガスにしやすく、表面でだけ反応し、不純物を残さない — そうした分子を設計し、とても高い純度で作るのは、化学の会社の仕事です 解説 。

IRDSは、**最近の世代ではALDの工程が積極的に採用されており、その広がりは今後さらに加速する**と書いています。原料は5〜100 Torrほどの圧力で、ふつう1 Torr未満で動く反応室へ送られ、原料の容器は90 ℃を超える温度に保たれることがあるとしています [20] 事実 。液体や固体の原料を、いつも同じ量だけ気体にして送り届けることも、原料の会社と装置の会社が一緒に取り組む課題です 解説 。

ADEKA — 先端メモリのhigh-k材料で50%超

ADEKAは、統合報告書2026で、**先端の半導体メモリ向けの高誘電材料で、業界シェア50%超**としています [31] 事実 。同社は、**1988年にTEOS**（酸化シリコンのCVDの原料）で半導体材料の市場に参入し、2004年に鹿島化学品工場で、2006年に韓国で、**DRAM向けの高誘電材料**の生産を始めました。2024年には、台湾にロジック半導体向けのプラントを新設しています [31] 事実 。

同社の2025年度の売上高は4,165億円で、そのうち半導体材料は8.6%です [31] 事実 。金額にすると約358億円です 本稿の計算 。同社は、韓国では**新設したALD材料のプラントから、最先端DRAM向けの新製品の出荷が拡大**しているとしています [31] 事実 。2025年2月の事業説明会では、半導体材料の売上を、2030年度に**1,100億円超**にする目標を示しました [32] 事実 。

トリケミカル研究所 — 売上の半分がhigh-k材料

トリケミカル研究所は、1978年設立の、半導体向けの高純度化学材料の会社です。2026年1月期の売上高は**238.8億円**で、創業以来の最高でした。売上の内訳は、**High-k材料が47.9%**、金属の膜の材料が22.5%、エッチング用が14.7%などで、用途ではメモリが58.8%です [33] 事実 。

地域別の売上は、**中国34.0%、台湾33.8%**、日本18.8%、韓国9.2%です [33] 事実 。同社の社長は、**ここ10年はDRAM向けの絶縁膜である「High-k材料」が成長を牽引してきた**と語っています [33] 事実 。

海外の大手

ドイツのMerckは、2019年10月に、米国の半導体材料の会社Versum Materialsの買収を完了しました [34] 事実 。ADEKAやトリケミカル研究所のような日本の専門の会社と、欧米の大手の化学会社が、同じ分子の市場で競い合っています 解説 。

「1位」の数字の読み方

この回に出てきたシェアは、ほとんどが**各社自身の推定**か、各社が引用した調査会社の数字です。同じ「バッチ成膜」でも、会社によって数える範囲が違うことがあります。数字を比べるときは、**誰が、いつの、どの範囲を数えたのか**を確かめることが大切です 解説 。

11. これから求められること

- **必要な場所にだけ積む（選択成膜）**：ベルギーの研究機関imecとルーヴェン・カトリック大学の研究者は、**選択成膜（エリア選択成膜）は、必要な場所にだけ下から構造を作れる可能性**があり、パターンの位置を正確に合わせることや、溝や穴を下から埋めることを可能にするとしています。そのカギは**表面の化学**で、2018年の同発表時点では工業的な例が限られるとしています [21] 事実 。オランダの研究者らの総説は、選択成膜で、従来のパターン形成で生じる**位置合わせ誤差を減らせる可能性**を論じています。実用化では、狙わない面での核生成や選択性の維持も課題になります [22] 事実 。
- **配線の新しい材料**：IRDSは、配線が細くなるにつれて、**新しいバリア材料、ALDによるバリア膜、銅以外の金属**が必要になるとしています [17] 事実 。3D NANDのワード線にモリブデンなどを使う動きも、その一つです（[25][27]） 事実 。
- **もっと深く、もっと多く**：3D NANDは、500層、1,000層をめざしています [17] 事実 。重ねる膜の数が増えるほど、1枚1枚の膜の厚さ・応力・欠陥をそろえる力が問われます 解説 。
- **低い温度で、よい膜を**：KOKUSAI ELECTRICは、デバイスの多層化・微細化・三次元化にともない、**低い温度での成膜の需要が高まっている**としています [14] 事実 。3-2で見たように、熱の予算は、どの工程でも厳しくなっています 解説 。

素材の技術者の出番

成膜は、半導体の工程の中でも、**化学の技術者の活躍の場が特に広い**分野です 解説 。

- 狙った元素を含み、気体にしやすく、表面でだけ反応する**新しいプリカーサの分子設計**
- 不純物を極限まで減らす**精製と分析**、原料を安定して送り届ける**容器と供給の技術**
- 選択成膜のための、**表面を守る分子（阻害剤）**や表面処理の化学
- 反応室の内側で、膜の付着や腐食に耐える**部材やコーティング**

ADEKAやトリケミカル研究所のように、分子を設計して作る日本の化学の会社が、世界の最先端のメモリを支えています。有機合成や無機化学の経験は、そのまま半導体の最前線につながります。

12. まとめと次回予告

視点	ポイント
なぜ積むか	Siの熱酸化だけでは必要な膜を網羅できない。CVD・ALDは外部原料を使い、多様な膜を適した下地に積める
CVDのしくみ	7つの段階。表面反応律速（温度に敏感）と物質輸送律速（装置の形に敏感）
LPCVD	講義モデルでは1 Torrで輸送が改善。温度と原料供給を管理して多数枚を処理
PECVD	非平衡な電子が反応を助ける。SiNを200〜400 ℃で成膜する講義例。HDP-CVDは積みながら削る
段差被覆	小さい付着確率が奥への到達を助ける場合がある。形状・供給・反応の条件も重要
ALD	交互に流して自分で止まる。TMA＋水で1サイクル約0.09 nm。遅さはバッチ・空間分離で補い、低温化にはPEALDを使う
使われる場所	high-k、マルチパターニングのスペーサー、3D NAND（250層超）、DRAMのキャパシタ
産業	CVDは米2社＋東京エレクトロンで約70%（Gartner）、枚葉ALDはASM 55%超、バッチは日本勢。原料はADEKA・トリケミカル
これから	選択成膜、新しい配線金属、さらに深く多く、低温化

次回は**3-4「成膜（スパッタ・めっき）」**です。今回は、ガスの化学反応で膜を積みました。次は、原子を物理的にたたき出して飛ばすスパッタと、液体の中で金属を育てるめっきです。チップの銅配線は、この2つの組み合わせで作られています。

13. 確認クイズ

1. 熱酸化ではなく、CVDやALDで膜を積む必要があるのはなぜですか。

▼ 答えを見る

Siの熱酸化だけでは、必要な窒化膜・金属膜・high-k膜などを作れないからです。CVDやALDは原料を外から供給し、材料と下地に適した反応・温度条件を選んで成膜します。

2. 表面反応律速と物質輸送律速では、膜の育つ速さが何に敏感になりますか。

▼ 答えを見る

表面反応律速では、反応の速さがアレニウスの式に従うので温度にとても敏感です。物質輸送律速では、ガスの運び込みで決まるので、装置の形やガスの流れ方にとても敏感です。

3. 減圧CVD（LPCVD）で、ウェハを何十枚も並べて一度に膜を積めるのはなぜですか。

▼ 答えを見る

減圧で物質輸送の制約を小さくし、表面反応が支配する条件を選びやすくなるからです。温度だけでなく原料の供給と消費もそろえれば、多数枚をまとめて均一に成膜できます。

4. プラズマCVDで、熱CVDより低いウェハ温度でも反応を助けられるのはなぜですか。

▼ 答えを見る

電場からエネルギーを得た電子が原料を励起・解離し、反応性の高い種を作れるからです。電子と気体全体は熱平衡ではなく、ウェハを熱CVDほど高温にせずに反応を助けられます。ただし加熱・損傷・膜質の管理は必要です。

5. 深い穴の奥まで膜を付けるには、付着係数が大きいほうがよいですか、小さいほうがよいですか。

▼ 答えを見る

原料が入口で消費されすぎないよう、付着確率を小さくすることが有利な場合があります。十分な供給も必要です。付着係数が大きいと、分子は穴の入り口でくっついてしまい、入り口がふさがって空洞が残ります。付着係数が小さいと、分子は何度も跳ね返って穴の奥まで入り込んでから膜になります。

6. ALDで、厚さを正確に制御できるのはなぜですか。また、パージが短すぎるとどうなりますか。

▼ 答えを見る

原料を順番に供給し、各半反応を飽和させる条件を選ぶことで、成長が安定した後の1サイクルの成長量を再現よく制御できるからです。パージが短すぎると、2つの原料がガスの中で同時に存在してしまい、CVDのように連続して膜が積もって、1サイクルの厚さが増えてしまいます。

7. TMAと水のALDで、10 nmの膜を積むには約何サイクル必要ですか。

▼ 答えを見る

300 ℃で1サイクルあたり約0.09 nmなので、10 ÷ 0.09 ≒ 約110サイクルです。

8. Intelが2007年の45 nm世代でALDを採用した目的は何ですか。

▼ 答えを見る

Intelが2007年に導入した、45 nm世代のhigh-kゲート絶縁膜を作るためです。Intelの技術者は、スパッタ、CVD、ALDを試し、最終的にALDに決めたと書いています。

9. 3D NANDで、成膜はどんな役割を担っていますか。

▼ 答えを見る

交互の膜を100組以上プラズマCVDで積み重ねて、セルを縦に並べる土台を作ります。また、ワード線になる金属（タングステンやモリブデンなど）を、CVDやALDで層の間に埋め込みます。

14. 用語集

成膜
ウェハの上に薄い膜を作ること。

CVD（化学気相成長）
原料のガスを、ウェハの上で化学反応させて、固体の膜を積む方法。

境界層
表面付近で流速や濃度が変化する領域。原料の表面への輸送では拡散が重要になる。

表面反応律速
表面での化学反応の速さで、膜の育つ速さが決まる状態。温度に敏感。

物質輸送律速
ガスの運び込みの速さで、膜の育つ速さが決まる状態。装置の形に敏感。

アレニウスの式
反応の速さが、温度とともに指数関数的に大きくなることを表す式。

活性化エネルギー
反応が起こるために越えなければならない、エネルギーの山の高さ。

LPCVD（減圧CVD）
圧力を下げて行うCVD。膜がそろいやすく、ウェハを並べて一度に処理できる。

平均自由行程
気体の分子が、ほかの分子にぶつかるまでに進む平均の距離。圧力に反比例する。

ホットウォール
反応管の壁ごと熱する方式。温度をそろえやすい。

PECVD（プラズマCVD）
プラズマのエネルギーを使って、低い温度で膜を積むCVD。

プラズマ
気体の分子の一部が、電子とイオンに分かれた状態。

ラジカル
不対電子を持ち、とても反応しやすい原子や分子のかけら。

HDP-CVD（高密度プラズマCVD）
膜を積みながら、イオンで同時に削って、溝を埋めるCVD。

アスペクト比
溝や穴の、深さを幅で割った値。

段差被覆（ステップカバレッジ）
溝や穴の壁や底に、上面と比べてどれだけの厚さで膜が付くか。

ボイド
溝や穴を埋めた膜の中に残ってしまう空洞。

付着係数
到達した原料が表面に付着・反応して取り込まれる確率の指標。条件により変わる。

ALD（原子層堆積）
自己制限する表面反応を順番に繰り返す成膜。原料の供給と分離が重要。

自己制限反応（自己停止反応）
表面の反応点や吸着状態によって、各半反応が飽和すること。全原子サイトを埋めることとは限らない。

パージ
原料を流した後に、不活性ガスで残りを追い出すこと。

ALDウィンドウ
1サイクルの成長量が比較的一定となる代表的な温度範囲。すべてのALDに平坦な範囲があるわけではない。

TMA（トリメチルアルミニウム）
ALDで酸化アルミニウムを作るときに使う、代表的な原料。

原子層エピタキシー（ALE）
フィンランドのスントラが1974年に始めた、ALDの元になった方法。

分子積層法
1960年代のソ連で研究された、ALDと同じ原理の方法。

空間分離型ALD
パージのかわりに、2つの反応を場所で分けて行う、速いALD。

PEALD（プラズマALD）
プラズマで反応のエネルギーを与え、低い温度で行うALD。

スペーサー
線の側壁に付けた薄い膜。マルチパターニングでは、その厚さで線の幅を決める。

3D NAND
メモリのセルを縦に何百層も積み重ねたNANDフラッシュ。

ワード線
メモリのセルを選ぶための配線。

プリカーサ（前駆体）
CVDやALDで、膜になる前の原料の分子。

選択成膜
下地の種類によって、必要な場所にだけ膜を積む技術。

15. 参考資料（一次情報）

1. **Stanford EE212（Plummer, Deal, Griffin）講義資料（ワシントン大学 EE528 の講義ページに掲載）**「Chapter 9: Thin Film Deposition（p.3、p.5〜13、p.23、p.27、p.34〜38）」 — 資料を開く
2. **MIT OpenCourseWare 6.152J（2005年）**「Chemical Vapor Deposition（講義資料、p.9、p.18、p.23〜26）」 — 資料を開く
3. **MIT OpenCourseWare 6.152J（2005年）**「Vacuum Science（講義資料、p.4、p.7）」 — 資料を開く
4. **X. Jiang（ジーゲン大学）**「Introduction to Thin Film Technology: Chemical Vapor Deposition（2008年、講義資料、p.3、p.16）」 — 資料を開く
5. **Lam Research**「Deposition」 — 資料を開く
6. **Lam Research**「ALTUS Product Family」 — 資料を開く
7. **R. L. Puurunen**「Surface chemistry of atomic layer deposition: A case study for the trimethylaluminum/water process, J. Appl. Phys. 97, 121301（2005年）」 — 資料を開く
8. **ASM International**「Atomic Layer Deposition」 — 資料を開く
9. **T. Suntola, J. Antson**「Method for producing compound thin films（米国特許 US4058430、1977年11月15日登録）」 — 資料を開く
10. **R. L. Puurunen**「A Short History of Atomic Layer Deposition: Tuomo Suntola's Atomic Layer Epitaxy, Chem. Vap. Deposition 20, 332（2014年）」 — 資料を開く
11. **Technology Academy Finland（2018年5月22日）**「2018 Millennium Technology Prize for Tuomo Suntola for enabling smart technology」 — 資料を開く
12. **M. T. Bohr, R. S. Chau, T. Ghani, K. Mistry（Intel）**「The High-k Solution（IEEE Spectrum、2007年10月1日）」 — 資料を開く
13. **P. Poodt ほか**「Spatial atomic layer deposition: A route towards further industrialization of atomic layer deposition, J. Vac. Sci. Technol. A 30, 010802（2012年）」 — 資料を開く
14. **KOKUSAI ELECTRIC**「統合報告書2026（p.16〜18）」 — 資料を開く
15. **Lam Research**「Striker Product Family」 — 資料を開く
16. **Lam Research**「VECTOR Product Family」 — 資料を開く
17. **IRDS**「2023 Edition, More Moore（p.9、p.29〜30）」 — 資料を開く
18. **SK hynix（2024年11月21日）**「SK hynix Starts Mass Production of World's First 321-High NAND」 — 資料を開く
19. **Nanomaterials 15, 783（2025年）**「Deposition of HfO2 by Remote Plasma ALD for High-Aspect-Ratio Trench Capacitors in DRAM（序論に既往研究のまとめ）」 — 資料を開く
20. **IRDS**「2024 Edition, Yield Enhancement（p.22）」 — 資料を開く
21. **A. Delabie（imec・ルーヴェン・カトリック大学）**「AVS 65th International Symposium（2018年）発表要旨 TF+AM+EM+PS-TuM10」 — 資料を開く
22. **A. J. M. Mackus, M. J. M. Merkx, W. M. M. Kessels**「From the Bottom-Up: Toward Area-Selective Atomic Layer Deposition with High Selectivity, Chem. Mater. 31, 2（2019年）」 — 資料を開く
23. **拓荊科技（Piotech）**「2025年年度報告（p.12、p.29、p.33、p.36）」 — 資料を開く
24. **SEAJ（日本半導体製造装置協会）**「2025年の世界の半導体製造装置販売額（地域別、SEAJ・SEMIの共同集計、2026年4月8日）」 — 資料を開く
25. **Lam Research（米国SEC提出 Form 10-K、2026年6月期）**「製品・競合の説明」 — 資料を開く
26. **Applied Materials（米国SEC提出 Form 10-K、2025年10月期）**「事業の説明」 — 資料を開く
27. **東京エレクトロン**「統合報告書2026（p.11、p.15、p.20、p.83）」 — 資料を開く
28. **ASM International**「Annual Report 2025（p.6、p.7、p.10、p.12、p.15、p.20）」 — 資料を開く
29. **北方華創（NAURA）**「2025年年度報告（p.10、p.21）」 — 資料を開く
30. **経済産業省**「半導体・デジタル産業戦略の今後の方向性（Executive Summary、2025年12月23日）p.3」 — 資料を開く
31. **ADEKA**「統合報告書2026（p.3、p.36、p.37）」 — 資料を開く
32. **ADEKA**「半導体事業説明会資料（2025年2月27日、p.4）」 — 資料を開く
33. **トリケミカル研究所**「統合報告書2026（p.5、p.7）」 — 資料を開く
34. **Versum Materials（米国SEC提出 Form 8-K、2019年10月）**「Merck KGaAによる買収の完了」 — 資料を開く

16. 主張と出典の対応表（監査）

本文の主張	根拠	区分
膜材料ごとの作り方と温度（ポリSi 575〜650 ℃、Si_3N_4 650〜800 ℃・PECVD 200〜400 ℃、SiO_2 200〜800 ℃・TEOS 25〜400 ℃、W 250〜500 ℃）、CVDの7段階、F1・F2とDeal-Groveとの類似、律速の2領域と感度、活性化エネルギー1.6 eV、1 Torrで拡散係数760倍・境界層7倍・hG約100倍、ホットウォールでウェハを積める、プラズマで低温成膜、HDP-CVDは積みながら削る、アスペクト比、付着係数の表と段差被覆	Stanford EE212 ch9 [1]	事実
シランの熱分解、DCSとNH_3で750 ℃、直列抵抗のたとえ、LPCVDの長所、2005年講義で代表的なポリSi成膜をホットウォールLPCVDとして説明、450 ℃未満でプラズマがエネルギーを与える	MIT OCW cvd [2]	事実
平均自由行程の式と目安、D∝T^3/2/p	MIT OCW vacsci [3]	事実
低温プラズマ0.1〜10 Torr、電子0.5〜10 eV、基板は低温、熱平衡でない	ジーゲン大学 [4]	事実
W・バリアはCVD/ALDで原子数層ずつ、絶縁層はPECVD・HDP・ALD	Lam [5]	事実
従来CVDのWでは入り口が閉じボイド・抵抗上昇・不良、3D NANDワード線	Lam ALTUS [6]	事実
ALDの定義、複雑な形への被覆が特徴、TMA/水で300 ℃・約0.09 nm・1層の約30%、ALDウィンドウ、パージが短いとCVD的に、1974年の最初の実験、ソ連1965年の$TiCl_4$/水	Puurunen 2005 [7]	事実
交互パルスとパージ、自己停止で厚さ・段差被覆、PEALDは低温、ALDの用途	ASM [8]	事実
米国特許、1974年11月29日のフィンランド出願、1977年登録	US4058430 [9]	事実
ALDは2度発見された（ソ連の分子積層法、フィンランドのALE）	Puurunen 2014 [10]（Crossref要旨）	事実
2018年ミレニアム技術賞・100万ユーロ、ALDでしか作れない、2000年代初めに利用が爆発	Technology Academy Finland [11]	事実
Intelがスパッタ&CVDも試しALDに決定、Intelの45 nm high-kにおけるCMOS量産採用例	IEEE Spectrum [12]	事実
ALDの欠点は遅さ、空間分離型ALD	Poodt ほか [13]（Crossref要旨）	事実
ALDは時間がかかり生産性に課題、バッチ成膜が解決策、バッチ成膜49%、バッチALD約8割、低温成膜の需要	KOKUSAI [14]	事実
スペーサーを使うマルチパターニングでALDが重要	Lam Striker [15]	事実
3D NANDで100組を大きく超える交互の膜をPECVD、応力・欠陥の制御	Lam VECTOR [16]	事実

本文の主張	根拠	区分
200層で約10 μm、250層超が量産、500層・1,000層も、新バリア・ALDバリア・銅以外の金属	IRDS 2023 [17]	事実
321層NANDの量産開始（2024年11月）	SK hynix [18]	事実
DRAMキャパシタにZAZ膜、アスペクト比100：1超（序論の他文献まとめ）	Nanomaterials 2025 [19]	事実
ALDの採用は加速、原料5〜100 Torr、反応室1 Torr未満、容器90 ℃超	IRDS 2024 YE [20]	事実
選択成膜の可能性・カギは表面化学・工業的な例は少ない	Delabie [21]	事実
選択成膜で位置合わせ誤差を減らせる可能性	Mackus ほか [22]（Crossref要旨）	事実
成膜装置は前工程装置の約22%・2025年約255億ドル、PECVD約33%・ALD約11%、CVDは3社で約70%（Gartner）、売上65.2億元・59%増、反応室3,400超・約100ライン	拓荊科技 [23]	事実
2025年の装置販売額1,351億ドル、中国493億・台湾315億・韓国258億・日本95億ドル	SEAJ [24]	事実
製品（VECTOR・Striker・ALTUS）、主な競合はAMAT、ALD・PECVDでASM・Wonik IPS、成膜・エッチング・洗浄で強い立場、Mo・Wの接続部	Lam 10-K [25]（SEC原文で確認）	事実
材料工学のリーダー、成膜を含む装置	AMAT 10-K [26]（SEC原文で確認）	事実
拡散炉・バッチ成膜・メタル成膜で1位（同社推定）と定義、成膜装置の比率約20%・新規装置売上1兆7,754億円、DRAMの高難度なキャパシタ成膜、NANDのワード線に次世代遷移金属	東京エレクトロン [27]	事実
1968年創業、1999年Microchemistry・2004年Genitech買収、枚葉ALD 55%超（同社推定）、売上31.73億ユーロ・アジア80%、枚葉ALD市場30億→51〜61億ドル、GAAと先端DRAM、中国向け30%超	ASM [28]	事実
売上393.5億元・31%増、成膜装置の売上100億元超、成膜の全系列	NAURA [29]	事実
半導体製造装置で日本企業約28%（2023年）	経済産業省 [30]	事実
先端メモリ向け高誘電材料で業界シェア50%超、1988年TEOSで参入、2004年鹿島・2006年韓国でDRAM向け高誘電材料、2024年台湾、売上4,165億円・半導体材料8.6%、韓国のALD材料プラント	ADEKA [31]	事実
2030年度に半導体材料1,100億円超の目標	ADEKA [32]	事実
1978年設立、売上238.8億円・過去最高、High-k 47.9%・Metal 22.5%・Etching 14.7%、メモリ58.8%、地域別、High-k材料が成長を牽引	トリケミカル研究所 [33]	事実
MerckによるVersumの買収完了（2019年10月）	Versum 8-K [34]	事実

本文の主張	根拠	区分
600→650 ℃で約3.2倍、N_2の平均自由行程約68 nm・約52 μm、0.5〜10 eVは約5,800〜116,000 K、10 nmで約110サイクル、1974年から量産まで30年以上、TELの成膜装置売上約3,550億円、ADEKAの半導体材料約358億円	上記の出典値と、本文に明記した前提・式による計算	本稿の計算
TELとKOKUSAIの「バッチ成膜」の数え方の違い、スントラのALDの流れがASMに受け継がれた	本稿の推測	推測
原料・下地の制約、CVDの反応と輸送、減圧・プラズマ、段差被覆、ALDの自己制限と供給条件、デバイスでの役割、プリカーサ供給の直感的説明	本文中で区別した一般原理の説明。図は実寸や定量シミュレーションではない	解説

最終更新：2026年11月7日／技術は原論文・大学の講義資料・IRDS（国際デバイス・システム・ロードマップ）・各社の技術資料、企業の情報は各社の統合報告書・年次報告書・決算資料・製品ページ・米国SEC提出書類、地域別の数字はSEAJ・経済産業省を出典としています。「1位」「シェア」などの表現は各社自身の発表や、各社が引用した調査会社の数字で、本文中にそのことを明記しています。物理の一般原理の説明と、本稿の計算・推測は、本文中のタグで区別しています。図6点はImage Genによる模式図です。条件や縮尺、読み方を各図に示しています。

© 2026 Troy Technical
当サイトの文章・図版・動画のうち、著作権法で保護される部分の無断転載・再配布・再アップロードを禁じます。ただし、法令上認められる引用等を除きます。
引用資料・商標等の権利は各権利者に帰属します。記事へのリンクによるご紹介は歓迎します。転載・二次利用についてはお問い合わせください。