SEMICONDUCTOR FRONT-END · PART 3-12

配線（ダマシン、銅配線、裏面電源）
何十億のトランジスタを、15層を超える配線でつなぐ

トランジスタを作っただけでは、チップは動きません。何十億個のトランジスタを、細い線から太い線まで、15層を超える**配線**でつなぐ必要があります。トランジスタは縮めるほど速くなるのに、配線は縮めるほど遅くなります。この回では、配線の遅れを決める抵抗と容量のしくみ、溝に銅を埋めて削る**デュアルダマシン**、絶縁膜を「すかすか」にする低誘電率膜、細すぎる銅が抵抗を増やす理由と新しい金属、電流で配線がやせていく故障、そして電源の配線をウェハの裏側に回す**裏面電源**までを見ていきます。

半導体前工程シリーズ 第3部 3-12／難易度 ★★★
事前学習：3-4、3-11／最終更新：2026年11月19日

この記事の構成

1. この回を3行でつかむ
2. 技術編① — 配線は「階層」でできている
3. 技術編② — 縮めるほど、配線は遅くなる
4. 技術編③ — デュアルダマシン：溝と穴に、まとめて銅を埋める
5. 技術編④ — 絶縁膜を「すかすか」にする：低誘電率膜
6. 技術編⑤ — 細すぎる銅と、流されていく原子
7. 技術編⑥ — 裏面電源：電源の配線を、ウェハの裏へ
8. 産業編① — 配線をつくる装置
9. 産業編② — 材料：日本の出番
10. これから求められること
11. まとめと次回予告
12. 確認クイズ
13. 用語集
14. 参考資料（一次情報）
15. 主張と出典の対応表

本記事の表記ルール

事実 ＝公的機関・学術資料・企業の公式発表に記載のある内容（出典番号つき）
本稿の計算 ＝明示した前提から本記事が計算した値
推測 ＝出典から読み取れる範囲を超えた、本記事の見立て
未確定／将来 ＝計画・ロードマップであり、実績が確認できていない事項
物理の一般原理（教科書で確立している内容）の説明は、とくにタグを付けずに書いています。

この回の学習目標

- 配線の階層（局所・中間・広域）と、それぞれの役割を説明できる
- 配線の遅れを決める抵抗と容量の式を使って、縮めるほど配線が遅くなる理由を説明できる
- デュアルダマシンで銅の配線を作る流れと、バリア・エッチストップの膜の役割を説明できる
- 低誘電率膜が必要な理由と、その難しさを説明できる
- 細い銅の配線で抵抗が増える理由と、エレクトロマイグレーションを説明できる
- 裏面電源のしくみと利点、各社の取り組みを説明できる

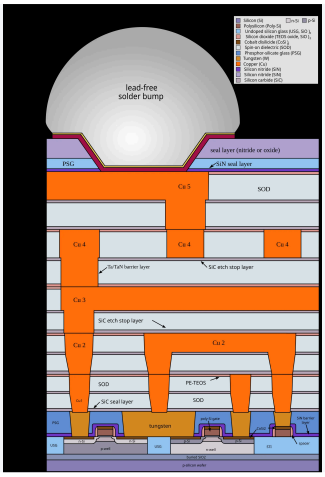
1. この回を3行でつかむ

- チップの配線は、トランジスタのすぐ上の**細い局所配線**から、チップの端から端まで走る**太い広域配線**まで、15〜20層の**階層**になっています（imecの説明）。配線の遅れは**抵抗 × 容量（RC）**で決まり、断面を縮めると抵抗が増えるので、トランジスタが縮んで速くなるのとは逆に、配線は相対的に遅くなります。
- 遅れを減らすために、電気をよく通す**銅**と、電気を蓄えにくい**低誘電率膜**が使われます。銅はプラズマでエッチングしにくいため、絶縁膜に溝と穴を掘り、まとめて銅を埋めて削る**デュアルダマシン**で作ります。ただし銅も、線幅が電子の平均自由行程（約39 nm）に近づくと抵抗が増え、電流で原子が流される**エレクトロマイグレーション**にも弱くなっていきます。
- 新しい流れは**裏面電源**です。電源の配線をウェハの裏側に移し、表側で信号配線に使える空間を増やします。Intelは「PowerVia」を使うIntel 18Aを米国で量産しているとし、TSMCは「A16」で2024年発表時に2026年の生産を計画しています。

2. 技術編① — 配線は「階層」でできている

トランジスタの上の、何層もの配線

3-3〜3-11で見てきた工程のうち、トランジスタを作るまでを**FEOL**（前工程の前半）、その上に配線を積み上げる部分を**BEOL**（前工程の後半）と呼びます。IBMの技術者の解説は、配線を「論理回路やメモリのトランジスタの上にある、細かい配線の多層構造」と説明しています [1] 事実 。



2000年代前半ごろのCMOSチップの断面の模式図。下のSOI基板の上にトランジスタがあり、その上にタングステンのプラグ、5層の銅配線（Cu1〜Cu5）、いちばん上にフリップチップ用のはんだバンプがあります。銅の周りの「Ta/TaN barrier layer」がバリア、各層の間の「SiC etch stop layer」がエッチングの止めの膜です（Commonsの説明による）。
画像：Cepheiden / Wikimedia Commons / CC BY 2.5（掲載用にPNGに描画・WebP化）

配線の層の数は増え続けています。imecは、表側から電源を送ると、電子は**15〜20層**の配線を通ってトランジスタに届くと説明しています [7] 事実 。IRDS（国際デバイス・システム・ロードマップ）の2024年版の表では、配線の層の数は**15層から19層へ**増えていく見通しです [5] 事実 。

- **細い線は近距離、太い線は遠距離**

Stanford大学の講義資料は、配線を長さで**局所・中間（準広域）・広域**の3つに、働きで**信号・クロック・電源とグラウンド**の3つに分けています [2] 事実 。

IBMの技術者の解説によると、銅配線では「**階層的な配線**」が考えられました。下の層は、容量を小さくし、たくさん詰め込むために、できるだけ細く薄くします。上の層は、横にも縦にも太くして抵抗を下げます。1999年の例では、下の層の幅は約0.25 μmで、上の層はその1桁太いとしています [1] 事実 。下の細い道でトランジスタ同士を近くでつなぎ、上の太い道でチップの遠くへ信号や電力を運ぶ、という分担です 解説 。

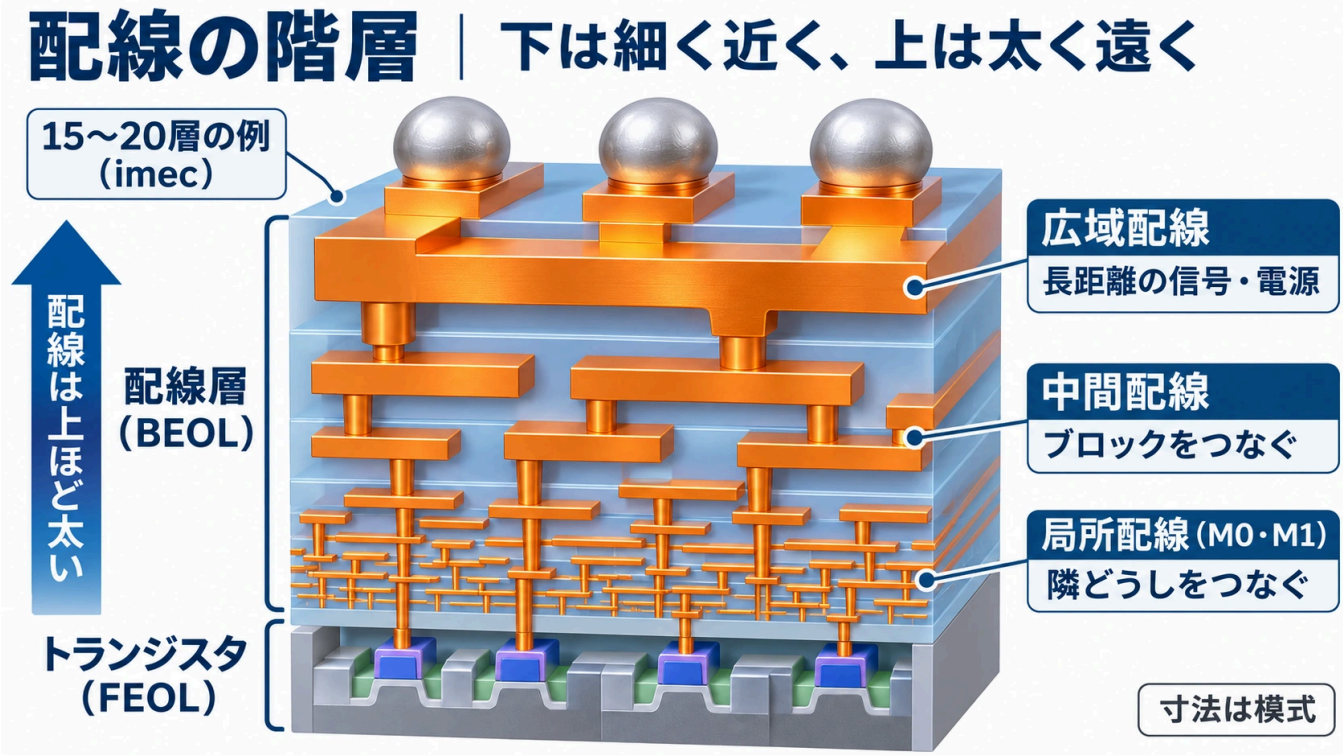
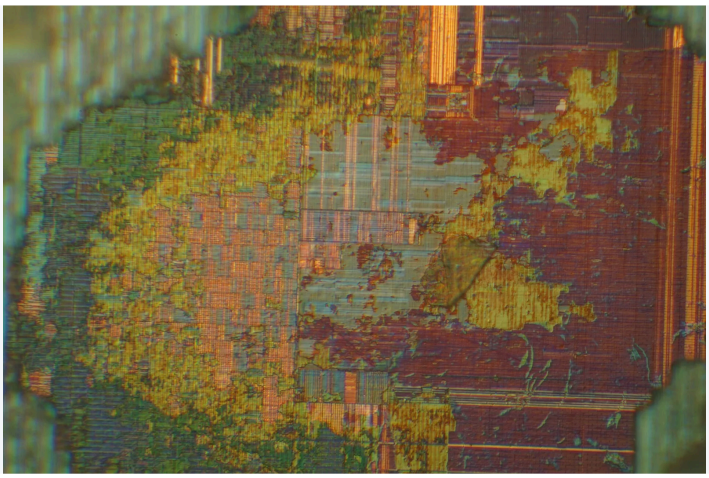


図1　配線の階層：下は細く近く、上は太く遠く（概念図）

図の読み方

3つの区分はStanford大学の講義資料、上下で太さを変える考え方はIBMの技術者の解説によります [1] [2]。層の数はimecの説明とIRDSの表の範囲です [5] [7]。



塩化鉄（III）の液で、プロセッサ（Core i5-6600K）の上の配線層の一部を溶かした写真。ピントを変えると、どの層が上でどの層が下かが分かり、何層もの配線が重なっていることが見て取れます（Commonsの説明による）。

画像：cole8888 / Wikimedia Commons / CC BY-SA 2.0（掲載用に縮小・WebP化）

3. 技術編② — 縮めるほど、配線は遅くなる

抵抗と容量

配線の遅れは、配線の**抵抗（R）**と**容量（C）**で決まります。容量は、電気を蓄える「コンデンサ」としての大きさで、配線を通る信号は、この容量を電気で満たしたり抜いたりしながら進みます 解説 。Stanford大学の講義資料は、次の式を示しています [2] 事実 。

- 抵抗：$R = \rho L / (WH)$（ρは金属の抵抗率、Lは長さ、Wは幅、Hは厚さ）
- 隣の配線との容量：$C = \kappa \varepsilon_0 \times HL / S$（Sは隣との間隔、$\kappa$は絶縁膜の比誘電率）
- 上下の配線との容量：$C = \kappa \varepsilon_0 \times WL / X$（Xは上下の絶縁膜の厚さ）

同じ資料は、隣どうしの配線の間の容量が、全体の**約70%**を占めるとしています [2] 事実 。密に詰め込むほど間隔Sが縮み、**RC遅延・消費電力・クロストーク**（隣の信号が乗り移る雑音）が増えるので、容量を減らすことが性能のために大切だとしています [2] 事実 。

トランジスタは速くなり、配線は遅くなる

Stanford大学の講義資料は、世代が進むとトランジスタは縮んで速くなる一方、チップの面積は大きくなり、**広域の配線は長く、細く**なるので、配線の遅れは悪くなると説明しています [2] 事実 。局所の配線は長さも縮むので、抵抗と容量の変化が打ち消し合い、RC遅延はあまり変わりませんが、速くなるトランジスタと比べると相対的に悪くなります。広域の配線は長さが縮まないので、ずっと悪くなります [2] 事実 。

物理のツボ①：断面を半分にすると、遅れは4倍

長さLの広域配線で、幅Wと厚さHをどちらも半分にし、間隔Sと上下の距離Xも半分にしたとします（長さはそのまま）。 本稿の計算

- 抵抗 $R = \rho L / (WH)$：分母が4分の1になるので、**4倍**
- 容量 $C = \kappa \varepsilon_0 (HL/S + WL/X)$：$H/S$ と W/X の比は変わらないので、**ほぼ同じ**

したがって RC は**約4倍**になります。トランジスタは縮めると速くなるのに、長い配線は縮めるほど遅くなる。これが配線の問題の核心です 解説 。

式から、遅れを減らす手は2つあることも分かります。抵抗率ρの小さい金属を使うこと（アルミニウムから銅へ）と、比誘電率κの小さい絶縁膜を使うこと（低誘電率膜）です 解説 。Stanford大学の講義資料も、材料による対策として、抵抗の低い金属と誘電率の低い絶縁膜を挙げています [2] 事実 。

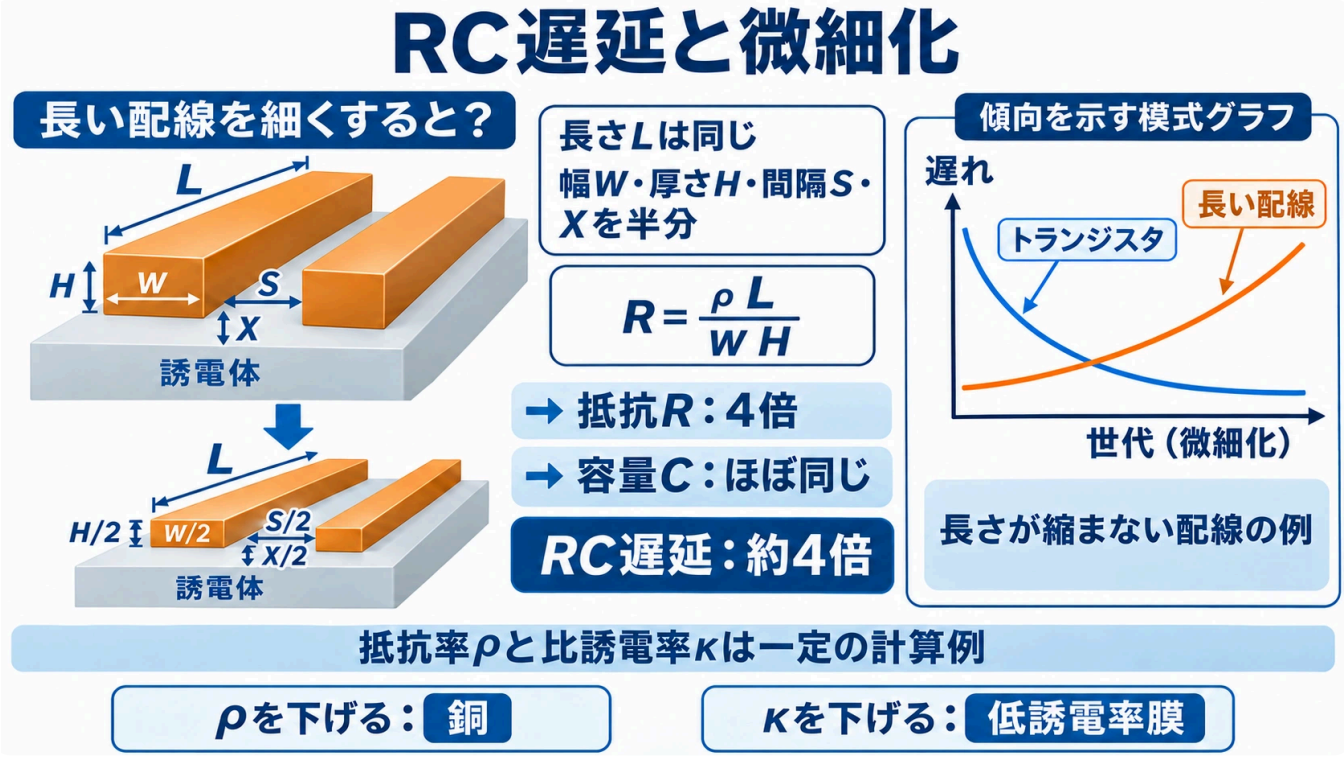


図2　RC遅延：縮めるほど、配線は遅くなる（概念図）

図の読み方

式と傾向はStanford大学の講義資料によります [2]。「4倍」は、本文の物理のツボ①で仮定した寸法での本稿の計算です。実際の遅れはドライバ（信号を送り出すトランジスタ）の強さにもよります [2]。

4. 技術編③ — デュアルダマシン：溝と穴に、まとめて銅を埋める

● 銅は通常のドライエッチングで形を作りにくい

アルミニウムの配線は、全面にスパッタで付けた膜を、反応性イオンエッチング（3-8）で配線の形に削って作っていました。IBMの技術者の解説は、銅の実用化の3つの課題として、**①銅の付け方、②形の作り方、③絶縁膜への銅の拡散を防ぐバリア**を挙げ、アルミニウムのような「全面に付けて、削る」組み合わせが銅にはなかったと書いています [1] 事実 。そこで、絶縁膜に先に溝を掘り、銅を**電気めっき**で埋めて、余分を**CMP**（3-11）で削る**ダマシン**が使われました [1] 事実 。

● デュアルダマシンの流れ

デュアルダマシンは、上下の配線をつなぐ縦の穴（**ビア**）と、横に走る**配線の溝**を、1回の埋め込みとCMPでまとめて作る方法です。IBMの技術者の解説は、ビアの層と溝の層を同時に金属で埋めて平らにできるので、工程を節約できると説明しています [1] 事実 。代表的な流れは次のとおりです 解説 。

1. 下の配線の上に、**キャップ（エッチストップ）の膜**と絶縁膜を積む
2. リソグラフィとエッチングで、**ビア**（下の配線へ届く穴）と**溝**（配線の形）を掘る
3. 溝と穴の内側に、薄い**バリア**（TaN／Taなど）と**銅のシード**を付ける（3-4）

4. **電気めっき**で、溝と穴を底から銅で埋める（3-4のスーパーフィル）
5. **CMP**で、溝の外の銅とバリアを削り、絶縁膜の高さにそろえる（3-11）
6. 上に次のキャップの膜を付けて、銅を閉じ込める

IBMは、1989年末から1990年初めに最初のダマシンの銅めっきのウェハを作り、1994年に計画を立て直した際、コスト・作りやすさ・発展性のために**デュアルダマシン**を採用しました [1] 事実 。

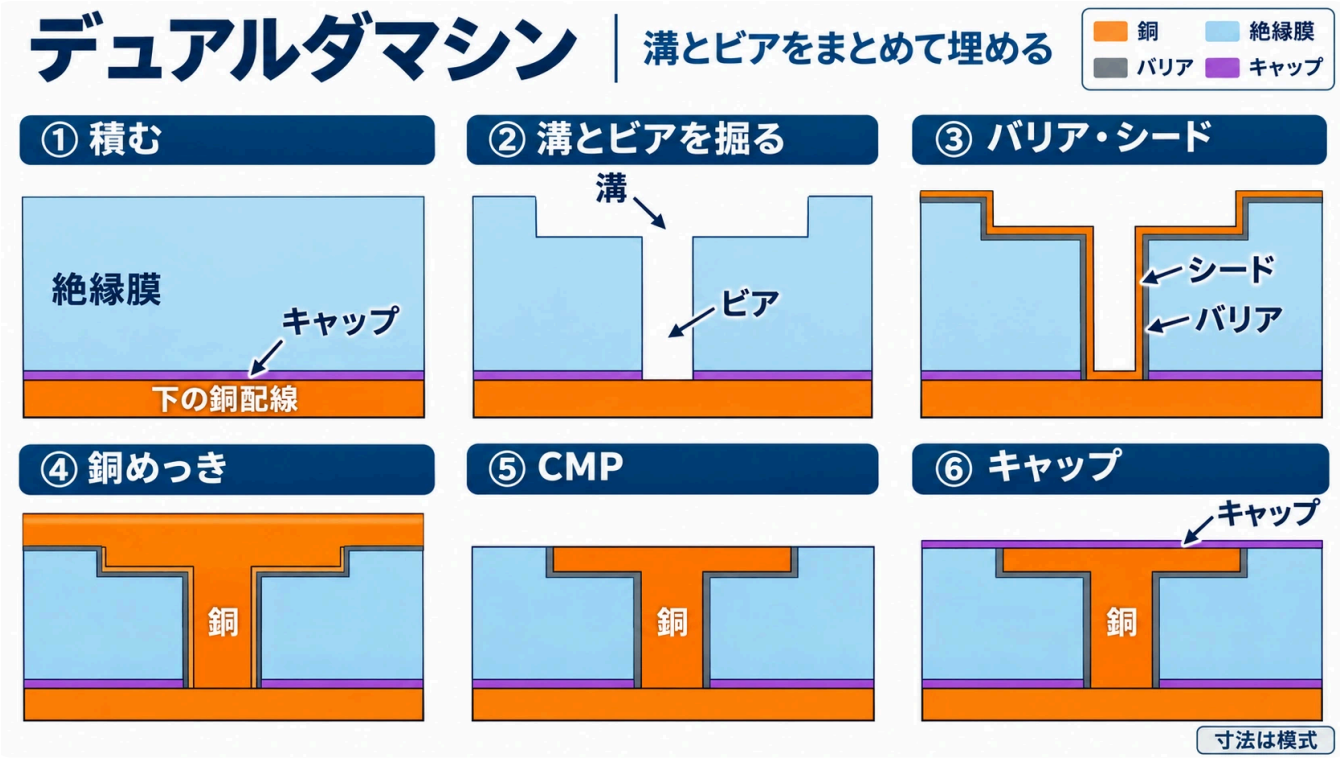


図3　デュアルダマシン：溝と穴を掘り、まとめて埋め、削る（概念図）

図の読み方

ビアの層と溝の層を同時に埋めて平らにするという要点は、IBMの技術者の解説によります [1]。掘る順番（ビアが先か溝が先か）や膜の構成は、会社や世代で違います。バリアとシードの付け方は3-4、CMPは3-11で扱いました。

銅を閉じ込める膜

銅は周りの絶縁膜やシリコンに拡散しやすいので、溝の側面と底は**バリア**で、上は**キャップ**の膜で囲みます [1][5] 事実 。IRDSは、バリアの材料には、銅が絶縁膜に拡散するのを防ぐだけでなく、銅との界面の質を高くして、次の6章で見るエレクトロマイグレーションの寿命を確保する役割があり、TaNが業界でよく知られた解決策だとしています [5] 事実 。冒頭の断面図の「SiC etch stop layer」のように、層の間には、エッチングを止めるための膜も入ります [8] 事実 。

5. 技術編④ — 絶縁膜を「すかすか」にする：低誘電率膜

比誘電率κを下げるには

容量Cは、絶縁膜の比誘電率κに比例します。Stanford大学の講義資料は、κは材料が**電気的にどれだけ分極しやすいか**を表す量で、κを下げるには、①分極の弱い材料を選ぶ、②原子どうしの間隔を広げる、③**穴（空気、κ＝1）**を入れる、④水（κ約80）を吸わないようにする、という方法があると説明しています [3] 事実 。

同じ資料は、代表的な材料を次のように並べています [3] 事実 。

材料	比誘電率κ
酸化シリコン（SiO_2）	約4
フッ素を入れた酸化膜（SiOF）	約3.7（3.3〜3.9）
炭素を入れた酸化膜（SiOC(H)）	2.8〜3.5
多孔質の酸化膜	1.8〜2.5
空気	1

弱くなる膜

κを下げる代わりに、膜は弱くなります。Stanford大学の講義資料は、低誘電率膜は熱と機械の性質のほぼすべてで**SiO_2の約10分の1**の弱さだと引用しています [3] 事実 。IRDSは、低誘電率膜のκを下げるペースは、**作りやすさの問題で鈍っている**とし、機械的な強さと密着性の弱さ、開発の初期段階でのCMPでの**はがれと損傷**、組み立てやパッケージの応力に耐える必要を挙げています。そのうえで、穴をたくさん開けた膜（κ≦2）の難しさがはっきりしてきたため、**エアギャップ**（配線の間を空気にする）が別の道だとしています [5] 事実 。

IRDS 2024年版の表では、細い配線の層の絶縁膜は、SiCOH（κ＝2.70〜3.20）から、SiCOH（2.20〜2.55）とエアギャップ（κ＝1.0）の組み合わせへと進む見通しです [5] 事実 。

Applied Materialsは、低誘電率膜「Black Diamond」の製品ページで、κを下げると信号が速くなり電力が減る一方、**機械的な強さが下がる**と説明しています。初代のBlack Diamondはκ約3.0の緻密な膜で、Black Diamond IIはκ約2.55のナノサイズの穴を持つ膜です。後者は、有機物を混ぜた膜を付けてから紫外線で有機物を抜き、穴を作ります。同社は、量産されている唯一のナノ多孔質の低誘電率膜だとしています [10] 事実 。

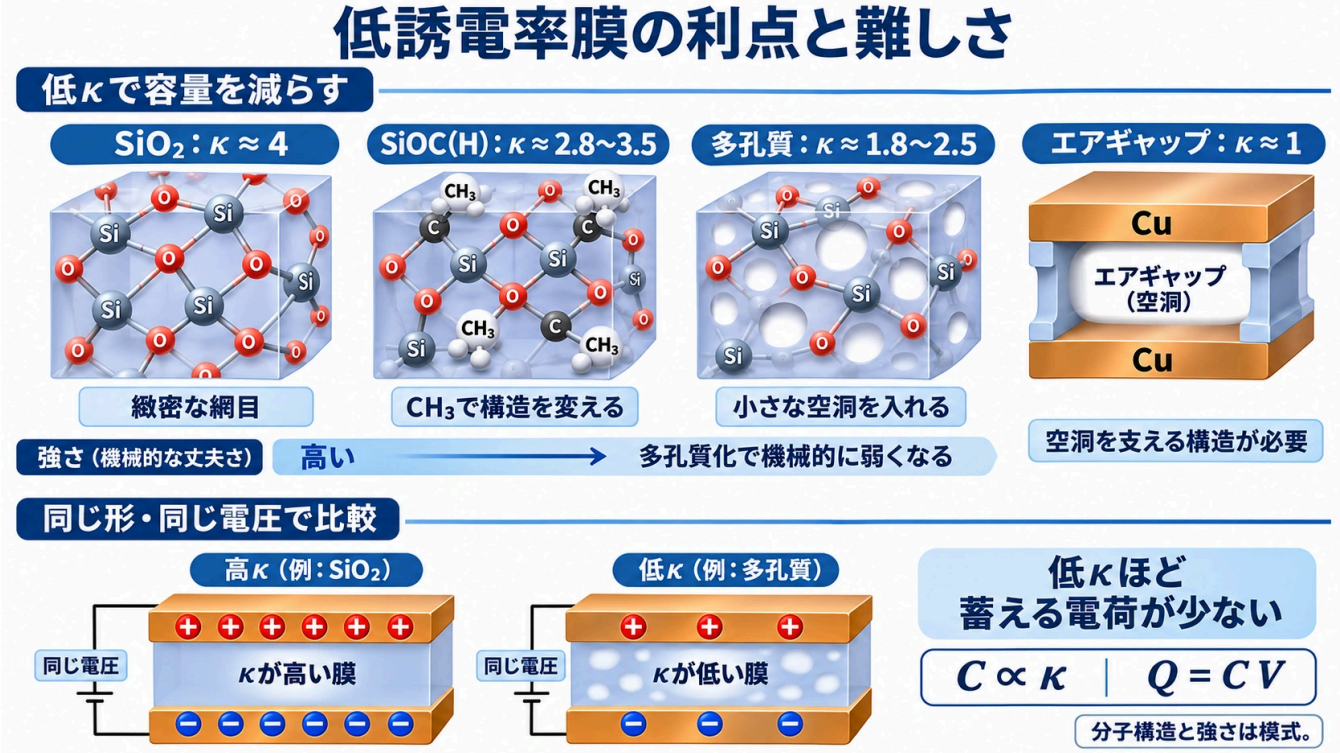


図4　低誘電率膜：電気を蓄えにくく、でも弱い（概念図）

図4の電荷の読み方

同じ形・同じ電圧では、容量Cが小さいほど蓄える電荷Q＝CVが少なくなります。図の＋と–は電荷の量を模式的に表します。空洞自体のκが約1でも、膜やキャップを含む配線構造全体の実効的なκは周囲の材料にも依存します。

図の読み方

κの値はStanford大学の講義資料とIRDSによります [3] [5]。強さのゲージは傾向を示す模式で、数値ではありません。

6. 技術編⑤ — 細すぎる銅と、流されていく原子

● 線幅が、電子の「走れる距離」に近づく

金属の中の電子は、原子の振動などにぶつかるまで、ある距離を走ります。この平均の距離を**平均自由行程**と呼び、銅では室温で**約39 nm**です [6] 事実 。配線の幅や結晶の粒がこれより小さくなると、電子は**配線の表面や結晶の境目（粒界）**で散乱されやすくなり、抵抗率が上がります [6] 事実 。3-4で見たように、薄くできないバリアが銅の場所を奪うことも、抵抗を増やします。

物理のツボ②：結晶の粒が20 nmなら、抵抗率は約2倍

Gallらの論文は、結晶粒の平均の大きさをDとしたときの抵抗率の近似式（Mayadas と Shatzkes のモデル）を示しています [6] 事実 。

$$\rho = \rho_0 \times [1 + 1.5 \times R/(1 - R) \times \lambda/D]$$

ρ_0は太い銅の抵抗率、λは平均自由行程（銅で39 nm）、Rは粒界で電子が跳ね返される確率です。論文は、銅のでたらめな向きの粒界での反射確率を0.28〜0.39と見積もっています [6] 事実 。

仮に R = 0.3、D = 20 nm とすると、

$1 + 1.5 \times 0.3/0.7 \times 39/20 \fallingdotseq 1 + 1.25 =$ **約2.25**

で、抵抗率は太い銅の**2倍以上**になります 本稿の計算 。Dとして仮の値を使った計算で、表面での散乱やバリアは含めていません。

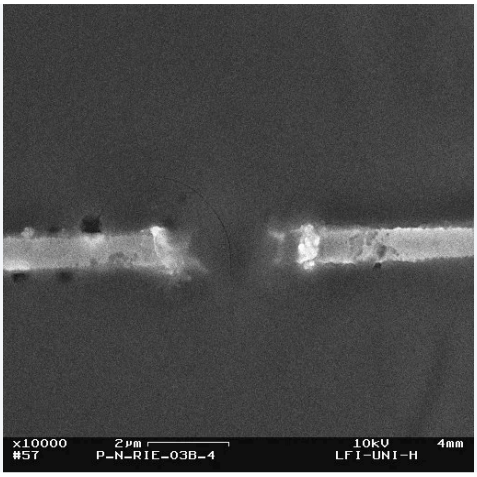
銅に代わる金属は？

同じ論文は、銅より平均自由行程の短い金属が、細い配線の候補として提案されてきたとしています。そのうえで、銅と同じ結晶の形（面心立方）の金属どうしを比べると、粒界での反射確率は、アルミニウム・ニッケル・ロジウム・イリジウムなどでは銅の**約2倍**と計算され、粒が小さいかぎり、これらの金属の中で銅より電気を通しやすくなるものはないという結果でした。ほかの金属の利点が生きるのは、粒を線幅より大きくできる場合などに限られるとしています [6] 事実 。コバルトやルテニウムは結晶の形が違うので、この比較には入っていません 解説 。

IRDSの2024年版は、銅は**少なくとも2029年まで**配線の主役であり続け、いちばん下の局所配線（M0）には**コバルトやルテニウム**が使われると見ています。また、エレクトロマイグレーションの限界から、細い配線のビアにはコバルトのような銅以外の金属が入るとしています [5] 事実 。IRDSの表には、細い配線の金属として、銅に加えてルテニウムとモリブデンが並ぶ時期も示されています [5] 事実 。

エレクトロマイグレーション：電子の風

細い配線には、もう一つ弱点があります。IBMの技術者の解説は、**エレクトロマイグレーション**を、とても高い密度の電流で電子が原子に運動量を渡し、原子が「**電子の風**」の向きに運ばれる現象だと説明しています。電子の流れの上流側（陰極側）から原子がなくなり、やがて**すき間（ボイド）**ができて配線が切れます [1] 事実 。同じ解説は、295 ℃、250万A/cm²の試験で、銅の配線の寿命が、チタンで挟んだアルミニウム合金の配線の**100倍以上**だったとしています [1] 事実 。



銅の配線にできた、エレクトロマイグレーションによる故障の走査電子顕微鏡写真。真ん中で配線が途切れています。観察のため、上の保護膜はエッチングとフッ化水素酸で除いてあります（Commonsの説明による）。
画像：Patrick-Emil Zörner / Wikimedia Commons / Public domain（掲載用にWebP化）

物理のツボ③：同じ電流なら、幅と厚さを半分にすると寿命は16分の1

IRDSは、エレクトロマイグレーションの寿命が、おおよそ **w × h ／ j** に比例するというモデルを示しています（wは線幅またはビアの直径、hは配線の厚さ、jは電流密度）。このモデルでは、寿命は**世代ごとに半分**になるとしています [5] 事実 。

電流Iが同じとき、電流密度は j ＝ I／（wh）なので、 本稿の計算

寿命 ∝ wh ÷ ［I／（wh)］＝（wh）^{2}／I

幅と厚さをどちらも半分にすると、（wh）^{2}は16分の1になり、寿命も**16分の1**です 本稿の計算 。実際のチップでは、流す電流も配線に合わせて変わるので、ここまで極端にはなりません。IRDSの「世代ごとに半分」は、そうした条件を含めた見通しです [5] 事実 。

IRDSは、対策として、アルミニウムやマンガンを含む銅のシード、銅とその上のSiCNのキャップの間にコバルトなどの薄い金属の膜をはさむ方法を挙げています [5] 事実 。原子が動きやすい界面を、ふさいでおくという考え方です 解説 。

7. 技術編⑥ — 裏面電源：電源の配線を、ウェハの裏へ

● 信号と電源が、同じ道を取り合う

ここまでの配線は、すべてウェハの表側に積んでいました。信号の配線も、電源の配線も、同じ15〜20層の中を通ります。imecは、表側から電源を送ると、電子は下に行くほど細く抵抗の大きい配線とビアを通るので、途中でエネルギーを失い、電圧が下がる（**IRドロップ**）と説明しています。電源の配線は、配線の資源の**少なくとも20%**を占め、電圧の調整器からトランジスタまでの損失を**10%**以内に収めるのが難しくなっているとしています [7] 事実 。

Intelも、何十年もの間、電源と信号の線は同じ資源を取り合ってきたとし、両者を分けることで性能とエネルギー効率を上げられるとしています [9] 事実 。

● 裏から、直接送る

裏面電源は、電源の配線網をまるごとウェハの**裏側**に移し、太く抵抗の小さい配線から、トランジスタへ直接電力を送る考え方です。表側の配線は信号に使えるので、配線の混雑も減ります [7] 事実 。

imecが説明する作り方の一例は、次のとおりです [7] 事実 。

1. シリコンの中に、エッチングの止めになるSiGeの層を作り、その上でトランジスタを作る。トランジスタの横には、電源をつなぐ**埋め込み電源レール**（BPR、幅約30 nm、間隔約100 nm、タングステンやルテニウム）を作る
2. 表側の銅配線まで作り終えたら、ウェハを**裏返して、別の支えのウェハに貼り合わせる**（SiCNどうしを室温で接合し、250 ℃で熱処理）
3. 裏側を、研削・CMP・エッチングで**数百nmまで薄く**する。厚さのばらつきは40 nm未満に抑える
4. 裏側から露光して、深さ数百nmの細い穴（**nano-TSV**）を、埋め込み電源レールの先に10 nm未満の精度で合わせてあけ、タングステンで埋める
5. 裏側に電源の配線を作る

imecとArmのシミュレーション（2019年）では、裏面電源と埋め込み電源レールの組み合わせで、IRドロップが表側から送る方法の**約7分の1**になったとしています [7] 事実 。一方で、支えになっていたシリコンをほとんど削るので、熱の逃げ道が減ることが懸念され、裏側の金属で横に熱を広げる効果が検討されています [7] 事実 。

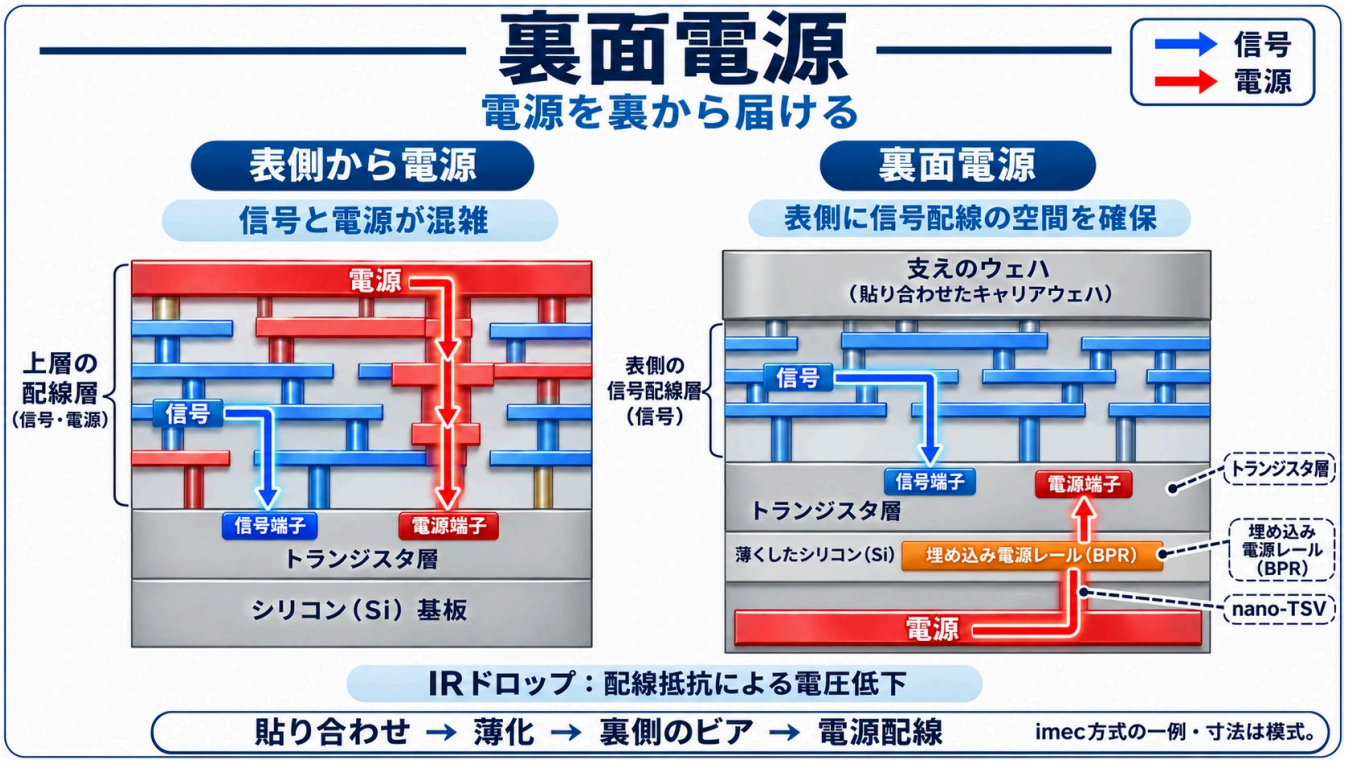


図5　裏面電源：電源は裏から、表側の信号配線に空間を（概念図）

生産時期の読み方
Intel 18Aの量産に関する記述はIntel Foundryの製品ページを確認しています。TSMC A16の生産時期は発表時の計画で、2026年6月の株主総会資料でも同年後半を予定していました。計画の記載と量産開始の確認を区別して読んでください。比較する性能値は各社で基準と条件が異なります。

図の読み方

構造と工程はimecの説明によります [7]。IntelやTSMCの実際の構造は、つなぎ方や材料が違います（たとえばIntelは各標準セルにnano-TSVを入れるとしています [11]）。

- **Intel と TSMC**
  - **Intel**は、2023年6月、試験チップで「**業界で初めて**」裏面電源を実装したと発表しました（同社の説明）。標準セルの利用率は**90%を超え**、電圧の低下は30%以上改善し、周波数は**6%**上がったとしています [9] 事実 。同社は、PowerViaは太い配線とバンプをダイの裏側に移し、各標準セルにnano-TSVを入れて電力を配るとし、PowerViaを使うIntel 18Aは**米国で量産中**だとしています。最悪の場合の電圧の落ち込みを最大10分の1にし、ブロックの面積を最大11%小さくできるとも説明しています（同社の説明） [11] 事実 。
  - **TSMC**は、2024年4月に「**A16**」を発表しました。裏面電源の「Super Power Rail」とナノシートのトランジスタを組み合わせ、**2024年発表時に2026年の生産**を計画しています。表側の配線を信号に回せるので、配線が複雑で電源の網が密なHPC（高性能計算）の製品に向くとし、N2Pと比べて、同じ電圧で8〜10%速く、同じ速さで15〜20%電力が少なく、密度は最大1.10倍だとしています（同社の説明） [12] 事実 。

IRDSの2024年版の表でも、電源レールの層は、M0から**裏側**へ移る見通しになっています [5] 事実 。

「前工程」と「後工程」の境目が動く

裏面電源では、ウェハの貼り合わせ、極端な薄化、CMP、裏側からの位置合わせなど、これまで先端パッケージ（後工程）で使われてきた技術が、トランジスタのすぐそばの配線を作るのに使われます [7] 事実 。前工程と後工程の境目が、少しずつ動いていると言えます 解説 。

8. 産業編① — 配線をつくる装置

配線は、これまでの回の装置の組み合わせで作られます。経済産業省の資料（2025年12月公表、グローバルネットの資料をもとに作成、年の記載なし）によると、関係する装置の市場と主な会社は次のとおりです [4] 事実 。

工程	市場	主な会社とシェア	詳しくは
バリア・シード（スパッタ）	5,643億円	Applied Materials 85%、アルバック 10%	3-4
絶縁膜・キャップ（CVD）	2兆218億円	Applied Materials 47%、Lam Research 16%、ASM International 12%、東京エレクトロン 7%	3-3
溝とビアを掘る（エッチング）	2兆3,383億円	Applied Materials 33%、Lam Research 30%、東京エレクトロン 20%	3-8、3-9
余分を削る（CMP）	4,242億円	Applied Materials 51%、荏原製作所 34%	3-11

銅を埋める**めっき装置**は、この資料の図にはありません。3-4で見たように、Lam Researchは自社のめっき装置「SABRE」を銅配線への移行を先導した製品だとしています。どの工程でも米国のApplied Materialsのシェアが大きく、配線の工程は米国の装置会社の存在感が大きい分野です 解説 。

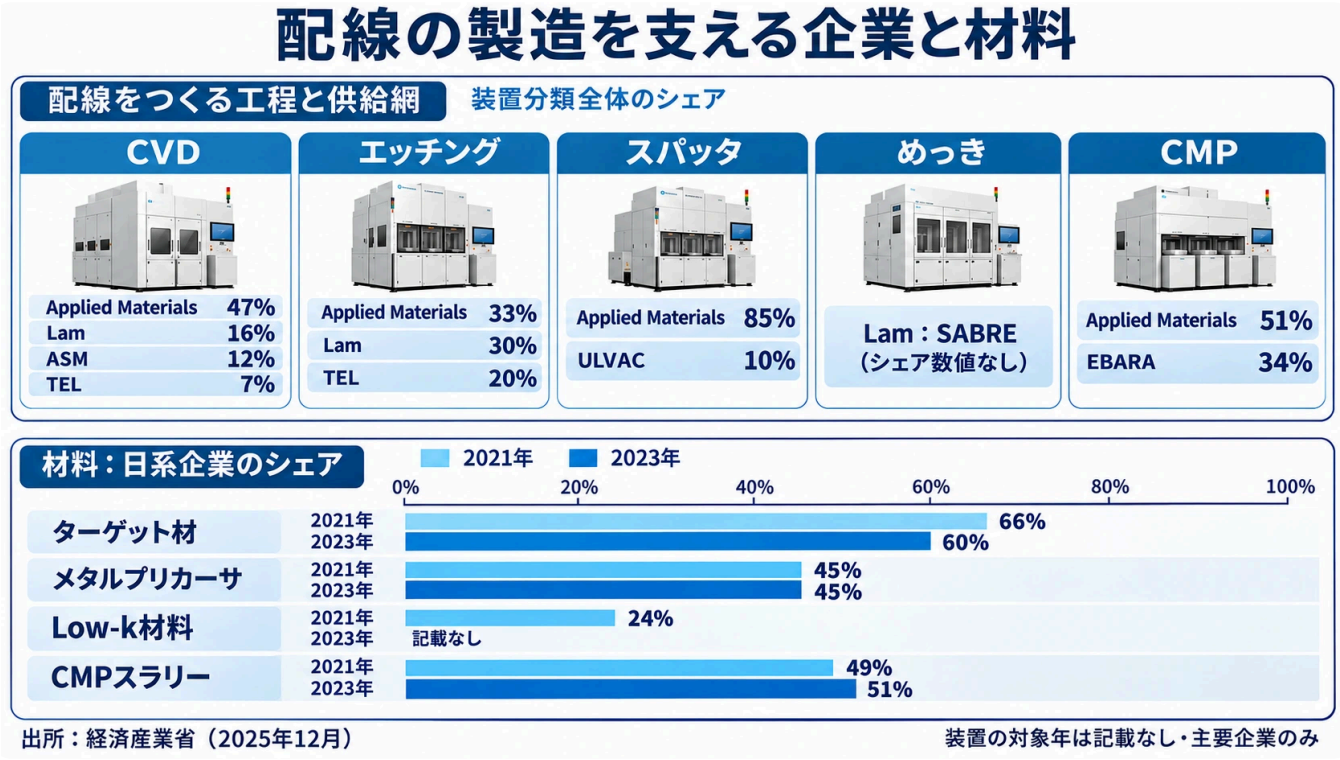


図6　配線をつくる装置と材料の勢力図（概念図）

図の読み方

装置のシェアは経済産業省の資料のp.5、材料の日本のシェアはp.7によります（年の記載のない装置のシェアと、2021年・2023年の材料のシェアが混在しています）[4]。会社の並びは取引関係を示しません。

9. 産業編② — 材料：日本の出番

経済産業省の資料（富士経済の資料をもとに作成）は、配線に関係する材料で、日本の会社のシェアを次のように示しています [4] 事実 。

材料	2021年	2023年
ターゲット材（スパッタの材料）	66%	60%
メタルプリカーサ（金属のCVD・ALDの原料）	45%	45%
Low-k材料	24%	記載なし
CMPスラリー	49%	51%

Low-k材料は、2021年は米国の会社のシェアが大きく、日本は24%です [4] 事実 。Stanford大学の講義資料は、低誘電率膜は、CVDで付ける膜は装置メーカーが、塗布で付ける膜は材料メーカーが手がけると整理しています [3] 事実 。Applied MaterialsのBlack Diamondは、装置と膜をセットで提供する例です [10] 事実 。

素材の技術者の出番

配線は、**金属と絶縁膜と、その界面**の材料の勝負です 解説 。

- **新しい金属**：コバルト、ルテニウム、モリブデン。細い線で抵抗が上がりにくく、バリアが薄くてすむ金属（[5] [6]）
- **バリアとキャップ**：薄くても銅の拡散を止め、界面を強くしてエレクトロマイグレーションを防ぐ膜（[1] [5]）
- **低誘電率膜**：κ を下げつつ、CMPやパッケージの力に耐える強さと密着性。水を吸わないこと（[3] [5] [10]）
- **金属のCVD・ALDの原料**：細い溝や穴に、薄く均一に膜を付ける原料（[4] [5]）
- **裏面電源の材料**：貼り合わせの膜（SiCNなど）、埋め込み電源レールの耐熱金属、極端な薄化で止めるための層（[7]）

10. これから求められること

- **銅の先へ**：銅は少なくとも2029年まで主役で、いちばん下の層やビアから、コバルト・ルテニウムなどへ置き換わっていく見通しです [5] 事実 。
- **絶縁膜の空気化**：低誘電率膜の κ を下げるのは難しくなり、エアギャップが別の道とされています [5] 事実 。
- **裏面電源の広がり**：IRDSの表でも電源レールは裏側へ移る見通しで [5]、Intelは量産、TSMCは2024年発表時に2026年の生産を計画しています [11] [12] 事実 。熱の逃げ道の確保や、薄化・貼り合わせの精度が課題です [7] 事実 。
- **信頼性**：配線が細くなるほどエレクトロマイグレーションの寿命は短くなり、界面と結晶の粒の作り込みが重要になります [5] 事実 。

11. まとめと次回予告

視点	ポイント
階層	局所・中間・広域。下は細く密に、上は太く。15〜20層（imec）、IRDSの表で15→19層
遅れ	$R = \rho L/(WH)$、$C \propto \kappa$。隣どうしの容量が約70%。断面を半分にすると長い配線のRCは約4倍（計算）
銅とダマシン	銅は通常のドライエッチングで形を作りにくい → 溝とビアを掘り、バリア・シード・めっきで埋め、CMPで削る。IBMは1997年発表・1998年量産
低誘電率膜	SiO_2 約4 → SiOF・SiOCH・多孔質・エアギャップ。強さはSiO_2の約10分の1。Black Diamond
細い銅	平均自由行程39 nm。表面と粒界で散乱。粒20 nmで抵抗率約2倍（計算）。M0はCo・Ru
劣化	エレクトロマイグレーション＝電子の風。寿命∝wh/j、世代ごとに半分（IRDS）
裏面電源	電源を裏へ、表は信号に。埋め込み電源レール＋nano-TSV、貼り合わせ・薄化。Intel 18A量産、TSMC A16は2024年発表時に2026年生産を計画
産業	装置はAMATが各工程で大きい。材料の日本のシェア：ターゲット60%、メタルプリカーサ45%

これで、第3部「工程をひとつずつ」で、トランジスタを作り、配線でつなぐところまで来ました。次回は**3-13「計測・検査と歩留まり」**です。何百もの工程を通るあいだに生まれる欠陥を、どうやって見つけ、どの工程で生まれたのかを突き止めるのかを見ていきます。

12. 確認クイズ

1. 配線の階層の、下の層と上の層の違いを説明してください。

> **▼ 答えを見る**
>
> 下の層は、容量を小さくし多くの配線を詰め込むために細く薄く、近くのトランジスタどうしをつなぎます。上の層は、抵抗を下げるために横にも縦にも太く、チップの遠くへ信号や電源を運びます。

2. 配線の抵抗と、隣の配線との容量を表す式を書いてください。

> **▼ 答えを見る**
>
> $R = \rho L / (WH)$、$C = \kappa \varepsilon_0 \times HL / S$ です（ρ は抵抗率、Lは長さ、Wは幅、Hは厚さ、Sは隣との間隔、κ は比誘電率）。

3. 長さが同じ広域配線で、幅・厚さ・横の間隔・上下の絶縁膜厚をすべて半分にすると、RC遅延はどうなりますか。

> **▼ 答えを見る**
>
> 抵抗は4倍になり、容量は比が変わらないのでほぼ同じなので、RCは約4倍になります。

4. 銅の配線を、アルミニウムのように「全面に付けて、削る」方法で作らないのはなぜですか。代わりにどう作りますか。

> **▼ 答えを見る**
>
> 銅は反応性イオンエッチングで形を作りにくいからです。絶縁膜に溝とビアを掘り、バリアとシードを付けてから電気めっきで埋め、余分をCMPで削るデュアルダマシンで作ります。

5. 低誘電率膜の比誘電率を下げる方法を2つと、その代わりに困ることを挙げてください。

> **▼ 答えを見る**
>
> フッ素や炭素（メチル基）を入れて分極を弱くする、穴（空気）を入れる、などです。代わりに膜が機械的に弱くなり、CMPでの剥がれや損傷が起きやすくなります。

6. 細い銅の配線で、抵抗率が上がるのはなぜですか。

> **▼ 答えを見る**
>
> 線幅や結晶粒の大きさが、銅の電子の平均自由行程（約39 nm）に近づくと、電子が配線の表面や粒界で散乱されやすくなるからです。薄くできないバリアが銅の場所を奪うことも効きます。

7. エレクトロマイグレーションとは何ですか。

> **▼ 答えを見る**
>
> とても高い密度の電流で、電子が金属の原子に運動量を渡し、原子が電子の流れの向きに運ばれる現象です。陰極側の端にすき間（ボイド）ができ、配線が切れます。

8. 裏面電源の利点を2つ挙げてください。

> **▼ 答えを見る**
>
> 電源を太く抵抗の小さい配線で裏から直接送れるので電圧の低下（IRドロップ）が減ること、表側で信号配線に使える空間が増えるので配線の混雑が減ることです。

9. 裏面電源を作るとき、ウェハをどのように加工しますか。

> **▼ 答えを見る**
>
> 表側の配線まで作ったウェハを裏返して支えのウェハに貼り合わせ、裏側を研削・CMP・エッチングで数百nmまで薄くしてから、裏側から細い穴（nano-TSV）をあけ、電源の配線を作ります（imecの例）。

13. 用語集

配線（インターコネクト）
チップの中で、トランジスタどうしや外部をつなぐ金属の線と、層の間をつなぐ縦の穴（ビア）。

FEOL・BEOL
前工程のうち、トランジスタを作る前半（Front-End-Of-Line）と、その上に配線を作る後半（Back-End-Of-Line）。

局所・中間・広域配線
長さで分けた配線の種類。局所は近くの素子どうし、広域はチップの端から端までをつなぐ。

ビア
上下の配線の層をつなぐ縦の穴と、そこに埋めた金属。

RC遅延
配線の抵抗（R）と容量（C）の積で決まる、信号の遅れ。

比誘電率（κ）
絶縁膜が電気を蓄えやすいかどうかを表す数。真空（空気）は1、酸化シリコンは約4。

低誘電率膜（Low-k）
比誘電率の低い絶縁膜。配線の容量を減らす。

エアギャップ
配線の間を空気（空洞）にして、容量を減らす構造。

ダマシン・デュアルダマシン
絶縁膜に溝（とビア）を掘って金属を埋め、余分をCMPで削る方法。デュアルは溝とビアを一度に埋める。

バリア
銅が絶縁膜やシリコンへ拡散するのを防ぐ薄い膜（TaN／Taなど）。

キャップ（エッチストップ）
銅の配線の上をふさぐ膜。エッチングを止める役割も持つ。

平均自由行程
電子などが、散乱されるまでに走る平均の距離。銅の電子では室温で約39 nm。

粒界散乱
金属の結晶の粒の境目で、電子が跳ね返されること。

エレクトロマイグレーション
高い電流密度で、電子に押されて金属の原子が移動し、配線にすき間ができる現象。

IRドロップ
電源の配線の抵抗のため、トランジスタに届く電圧が下がること。

裏面電源（BSPDN）
電源の配線網をウェハの裏側に作り、裏から電力を送る方式。

埋め込み電源レール（BPR）
トランジスタの横のシリコンや絶縁膜の中に埋めた電源の線。

nano-TSV
薄くしたシリコンを裏側から貫く、とても細い縦の穴と金属。

標準セル
論理回路を作るための、決まった高さの基本の回路の部品。

14. 参考資料（一次情報）

1. **P. C. Andricacos（IBM）**「Copper On-Chip Interconnections: A Breakthrough in Electrodeposition to Make Better Chips, The Electrochemical Society Interface, Spring 1999, p.32〜37」 — https://www.electrochem.org/dl/interface/spr/spr99/IF3-99-Pages32-37.pdf
2. **K. Saraswat（Stanford大学）**「EE311 Interconnect Scaling（講義資料）」 — https://web.stanford.edu/class/ee311/NOTES/InterconnectScalingSlides.pdf
3. **K. Saraswat（Stanford大学）**「EE311 Low-κ Dielectrics（講義資料）」 — https://web.stanford.edu/class/ee311/NOTES/Interconnect%20Lowk.pdf
4. **経済産業省**「半導体・デジタル産業戦略の今後の方向性（2025年12月23日）p.5（製造装置別企業シェア）・p.7（前工程素材のシェア変化）」 — https://www.meti.go.jp/policy/mono_info_service/joho/conference/semicon_digital/0014/handeji14-3.pdf
5. **IRDS（国際デバイス・システム・ロードマップ）**「2024 Edition, More Moore（p.20〜21、4.5節、Table MM-13）」 — https://irds.ieee.org/images/files/pdf/2024/2024IRDS_MM.pdf
6. **T. Zhou, A. Jog, D. Gall（Rensselaer Polytechnic Institute）**「First-principles prediction of electron grain boundary scattering in fcc metals, Appl. Phys. Lett. 120, 241603（2022年。米国NSFの公開版）」 — https://par.nsf.gov/servlets/purl/10349176
7. **N. Horiguchi, E. Beyne（imec）**「How to power chips from the backside: benefits and building blocks of a backside power delivery network」 — https://www.imec-int.com/en/articles/how-power-chips-backside
8. **Cepheiden（Wikimedia Commons）**「Cmos-chip structure in 2000s (en).svg（CMOSチップの断面の模式図、CC BY 2.5）」 — https://commons.wikimedia.org/wiki/File:Cmos-chip_structure_in_2000s_%28en%29.svg
9. **Intel**「PowerVia Test Shows Industry-Leading Performance（2023年6月5日）」 — https://download.intel.com/newsroom/archive/2025/en-us-2023-06-05-powervia-test-shows-industryleading-performance.pdf
10. **Applied Materials**「Producer Black Diamond PECVD（製品ページ、2026年11月19日閲覧）」 — https://www.appliedmaterials.com/eu/en/product-library/producer-black-diamond-pecvd.html

11. **Intel Foundry**「Intel 18A（製品ページ、2026年11月19日閲覧）」 — https://www.intel.com/content/www/us/en/foundry/process/18a.html

12. **TSMC**「TSMC Celebrates 30th North America Technology Symposium with Innovations Powering AI with Silicon Leadership（2024年4月24日）」 — https://pr.tsmc.com/english/news/3136

13. Lam Research, SABRE Product Family（銅ダマシン用の電気化学析出装置） https://www.lamresearch.com/product/sabre/

14. TSMC, 2026 Annual Shareholders' Meeting Minutes（2026年6月4日。A16の量産予定を2026年後半と記載） https://investor.tsmc.com/sites/ir/shareholders-meeting/2026-06-04/2026AGM_Minutes_wmn.pdf

15. 主張と出典の対応表

本文の主張	根拠	区分
配線は多層構造、銅への移行は1997年9月発表・1998年6月出荷・1998年バーリントンで量産、3つの課題（付け方・形の作り方・バリア）、ダマシン、1989〜90年の最初のウェハ、1994年の立て直しとデュアルダマシンの採用、階層配線と下層0.25 μm・上層1桁太い、ビアと溝を同時に埋めて工程を節約、エレクトロマイグレーションの説明と100倍超の寿命	Andricacos（IBM） [1]	事実
局所・中間・広域と信号・クロック・電源、R・Cの式、隣どうしの容量約70%、密度↑でRC・電力・クロストーク↑、トランジスタは速く広域配線は長く細く、局所と広域の違い、材料による対策	Stanford EE311 [2]	事実
κは分極のしやすさ、κを下げる方法、材料ごとのκ、強さはSiO_2の約10分の1、CVDは装置メーカー・塗布は材料メーカー	Stanford EE311 [3]	事実
装置の市場とシェア（スパッタ・CVD・エッチング・CMP）、材料の日本のシェア（ターゲット・メタルプリカーサ・Low-k・CMPスラリー）	経済産業省 [4]	事実
配線の層15→19、銅は少なくとも2029年まで・M0にCo・Ru・ビアにCo、Ru・Moが並ぶ、バリアの役割・TaN、low-kの鈍化とCMPでの損傷・エアギャップ、SiCOHのκ、EM寿命∝wh/j・世代ごとに半分、EMの対策、電源レールは裏側へ	IRDS 2024 [5]	事実
銅の平均自由行程39 nm、表面と粒界の散乱、MSの式、銅の反射確率0.28〜0.39・他の面心立方の金属は約2倍、粒が小さいと面心立方の中で銅が最良	Zhou・Jog・Gall [6]	事実

本文の主張	根拠	区分
15〜20層、IRドロップ、電源の配線が資源の20%以上、10%の損失、裏面電源の利点、BPR・nTSVの寸法と材料、貼り合わせ・薄化・位置合わせの工程、IRドロップ7分の1（Armとのシミュレーション）、熱の懸念	imec [7]	事実
断面図のバリアとエッチストップの膜	Commons の図 [8]	事実
初の裏面電源（同社）、セル利用率90%超・電圧低下30%超改善・周波数6%、電源と信号の取り合い	Intel [9]	事実
Black Diamondの説明（κを下げると強さが下がる、I約3.0、II約2.55・ナノ多孔質・紫外線で穴、量産唯一）	Applied Materials [10]	事実
PowerViaの構造（裏へ、各標準セルにnano-TSV）、18Aは米国で量産中、電圧の落ち込み最大10分の1・面積最大11%縮小	Intel [11]	事実
A16、Super Power Rail、2026年生産予定、HPC向け、8〜10%・15〜20%・1.10倍	TSMC [12]	事実
断面半分でRC約4倍、粒20 nmで抵抗率約2.25倍（R＝0.3は仮定）、同じ電流でEM寿命16分の1	本稿の計算	本稿の計算

最終更新：2026年11月19日／技術は大学の講義資料（Stanford）、原論文、IBMの技術者の解説、IRDS（国際デバイス・システム・ロードマップ）、imecの解説、企業の情報は各社のプレスリリース・製品ページ、会社別・国別のシェアは経済産業省を出典としています。性能の数字は各社自身の発表で、本文中にそのことを明記しています。物理の一般原理の説明と、本稿の計算・推測は、本文中のタグで区別しています。

© 2026 Troy Technical
当サイトの文章・図版・動画のうち、著作権法で保護される部分の無断転載・再配布・再アップロードを禁じます。ただし、法令上認められる引用等を除きます。
引用資料・商標等の権利は各権利者に帰属します。記事へのリンクによるご紹介は歓迎します。転載・二次利用についてはお問い合わせください。

図版はImageGenによる説明用の模式図です。図2は長さ・抵抗率・比誘電率を一定とした計算例、図5はimec方式の一例です。図6は装置分類全体のシェアで、配線専用市場のシェアではありません。市場の数値は元原稿とその引用資料に基づき、装置の対象年は記載されていません。