TROY TECHNICAL

半導体後工程

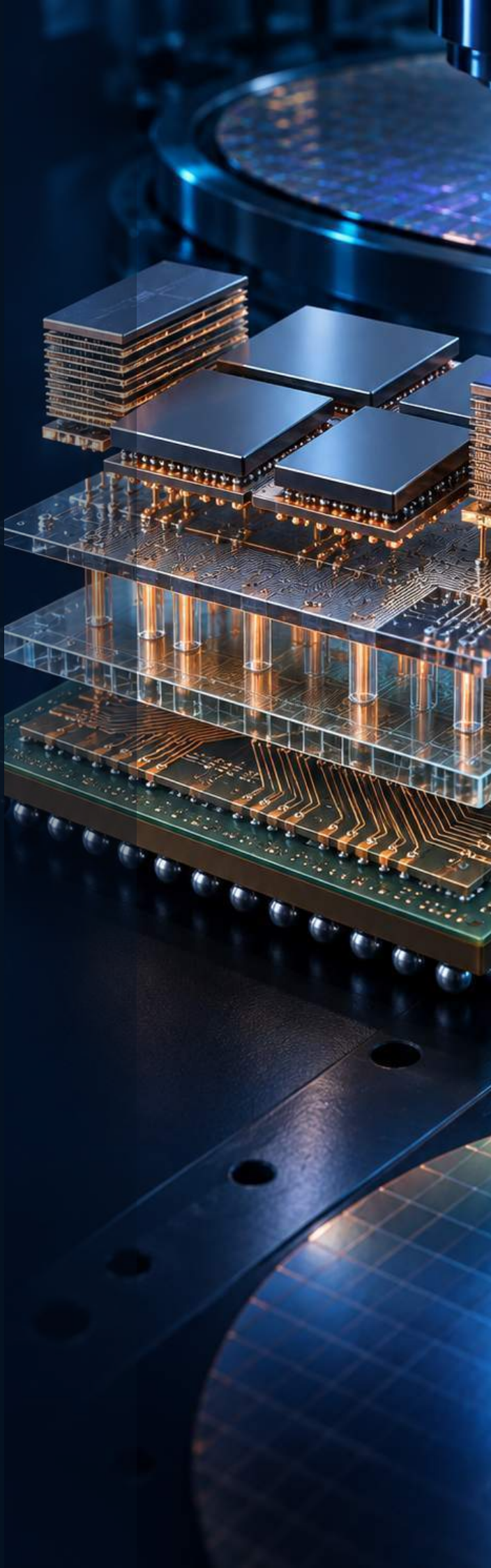
ウィークリーレポート

2026年11月14日-11月20日 | Issue 2026-W46

パッケージ性能、工程歩留まり、検査、認定能力

11	10
分析対象	重点テーマ

発行 2026-11-20 | 日本語版 | 承認済み固定表紙



半導体後工程:個別発表から認定証拠へ境界が移動

日本語記事11件を棚卸しし、意思決定に重要なテーマを選定した。

シグナル 01 | 材料

ACIRとは|車載チップレットの相互運用性要件、ASRAとimecが策定した仕様

ASRAとimecが、車載チップレットの相互運用性を高めるための共通要件「ACIR(Automotive Chiplet Interoperability Requirement)」を公開しました。このドキュメントは、異なるベンダーが提供する構成要素をシステムレベルで連携させるためのアーキテクチャ要件を定義しています。これにより、独立して開発されたチップレットを単一のシステムに組み込むことが可能になり、車載半導体エコシステムの柔軟性が向上します。

シグナル 02 | 接合・組立

APTURATM WSX|Kulicke & Soffaのパネルレベル FTCボンディング装置の性能と出荷状況

Kulicke & Soffa(K&S)は、業界初となるパネルレベル・パッケージング向けのフラックスレス熱圧接(FTC)ボンディングシステム「APTURATM WSX」を台湾の主要顧客2社に出荷した。本システムは、プラズマとギ酸を組み合わせたデュアル・フラックスレス技術を採用し、超大型の180mmボンドヘッドを搭載している。これにより、AIやハイパフォーマンスコンピューティング(HPC)向けの大面積パッケージにおける生産効率とシステム性能の向上が可能になる。

シグナル 03 | 先端PKG

Lam Research|先端パッケージングの進化と3D実装における技術的課題と解決策

ラムリサーチが先端パッケージングにおける3つの進化方向を提示し、前工程技術を応用した解決策を公開した。特に3Dパッケージングにおける高アスペクト比のTSV形成や、プラズマダイシングによる歩留まり向上が鍵となる。微細化が物理的限界に近づく中、先端パッケージングがAI半導体の性能限界を突破する手段として重要性を増している。

シグナル 04 | 試験・検査

UCIe 4.0|チップレット間メモリ接続の標準化と帯域密度2.5-TB/s/mmの性能

UCIeコンソーシアムが、チップレットのメモリ接続と管理サポートを強化した新規格「UCIe 4.0」を公開しました。本規格は、約2.5-TB/s/mmのダイエッジ帯域密度を実現し、リンクプロファイルの最適化によりエネルギー効率を30%から80%向上させています。これにより、異なるソースのチップレットを共通の管理サブシステムで効率的に運用し、システム全体のパフォーマンスとセキュリティを底上げすることが可能になります。

編集判断

今週の経営判断は パッケージ性能、工程歩留まり、検査、認定能力 に集中する。自社条件で関連証拠を再現できる場合だけ次へ進む。

経営の3アクション

1. 事業会社: 熱・電気・歩留まり・修理・供給の同一条件で方式を比較する.
2. 供給企業: 材料、接合、検査、信頼性の工程窓を顧客と共同設計する.
3. 経営層: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定.

証拠の読み方

FACTは収集記事に書かれた内容、事業への読みとACTIONは編集判断、UNKNOWNは記事だけでは確定しない項目を示す。リンク先があることだけで、全主張が独立検証済みとは扱わない。

条件と一緒に読む主要数値・証拠

2社
A10

数値の条件
Kulicke & Soffa(K&S)は、業界初となるパネルレベル・パッケージング向けのフラックスレス熱圧接(FTC)ボンディングシステム「APTURATM WSX」を台湾の主要顧客2社に出荷した。本システムは、プラズマとギ酸を組み合わせたデュアル・フラックスレス技術を採用し、超大型の180mmボンドヘッドを搭載している。

30%
A02

数値の条件
UCIeコンソーシアムが、チップレットのメモリ接続と管理サポートを強化した新規格「UCIe 4.0」を公開しました。本規格は、約2.5-TB/s/mmのダイエッジ帯域密度を実現し、リンクプロファイルの最適化によりエネルギー効率を30%から80%向上させています。これにより、異なるソースのチップレットを共通の管理サブシステムで効率的に運用し、システム全体のパフォーマンスとセキュリティを底上げすることが可能になります。

15%
A05

数値の条件
AMDの次世代サーバーCPU「Venice」において、サーバー向けCPUとして初めて2.5Dパッケージングが採用されました。データ転送帯域が1.6 TB/sまで増大したことで、従来のパッケージングでは電力消費がSoC全体の10〜15%に達する懸念があったためです。この設計変更に伴い、I/Oダイを2つに分割するなどの構造的最適化が行われ、電力効率とパフォーマンスの両立を図っています。

90%
A06

数値の条件
日立製作所は、Agentic AIを用いてチップレット半導体パッケージの設計候補を90%以上削減し、開発サイクルを短縮する基盤技術を開発した。自然言語による要件入力から最適なチップ構成やレイアウトを自動的に絞り込み、電気的・熱的特性やストレス性能を高速に評価できる。これにより、設計後工程での手戻りリスクを低減し、エッジAIや自動運転向けなどの高性能半導体開発の効率化を実現する。

70%
A04

数値の条件
Intelがファウンドリ事業において、18Aプロセスでの初の外部顧客獲得と、EMIBパッケージング技術のMicrosoftへの提供を達成した。18Aの歩留まりは70%まで向上し、MicrosoftはカスタムAzureシリコンにEMIBを採用する。TSMCのCoWoS供給不足を背景に、ハイパースケーラーがIntelを代替サプライヤーとして選択し始めている。

数値の読み方
数値は収集記事が示した条件と一緒に掲載する。試験法、寸法、温度、商用段階が異なる値を、条件補正なしで比較しない。

バリューチェーンはどこで動いたか

各段階に主テーマと補助テーマを接続する。矢印は装飾ではなく、次工程へ渡す証拠を示す。

1

材料

P01/P06

ASRAとimecが、車載チップレットの相互運用性を高めるための共通要件「ACIR(Automotive Chiplet Interoperability Requirement)」を公開しました。

2

接合・組立

P02/P07

Kulicke & Soffa(K&S)は、業界初となるパネルレベル・パッケージング向けのフラックスレス熱圧接(FTC)ボンディングシステム「APTURAT M WSX」を台湾の主要顧客2社に出荷した。

3

先端PKG

P03/P08

ラムリサーチが先端パッケージングにおける3つの進化方向を提示し、前工程技術を応用した解決策を公開した。特に3Dパッケージングにおける高アスペクト比のTSV形成や、プラズマダイシングによる歩留まり向上が鍵となる。

4

試験・検査

P04/P09

UCIeコンソーシアムが、チップレットのメモリ接続と管理サポートを強化した新規格「UCIe 4.0」を公開しました。本規格は、約2.

5

量産供給

P05/P10

imecはNanoICパイロットラインにおいて、シリコンインターポーザ・プラットフォームのベースラインフローを構築した。このプラットフォームは、TSV(シリコン貫通電極)や20 µmまでのマイクロバンプピッチをサポートし、高密度な2.

各受渡しで必要な証拠

材料 → 接合・組立	試験条件、受入基準、故障データ、担当、判断日を渡し、再確認する: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定.
接合・組立 → 先端PKG	試験条件、受入基準、故障データ、担当、判断日を渡し、再確認する: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定.
先端PKG → 試験・検査	試験条件、受入基準、故障データ、担当、判断日を渡し、再確認する: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定.
試験・検査 → 量産供給	試験条件、受入基準、故障データ、担当、判断日を渡し、再確認する: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定.

共通管理点

担当者が関連証拠を再現し、次を記録するまで商用判断へ進めない: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定.

プライオリティマップ:実装成熟度と次の判断場所



P01	ACIRとは|車載チップレットの相互運用性要件、ASRAとimecが策定した仕様 システム・導入 | 根拠: システム
P02	APTURATM WSX|Kulicke & Soffaのパネルレベル FTCボンディング装置の性能と出荷状況 システム・導入 | 根拠: 出荷
P03	Lam Research|先端パッケージングの進化と3D実装における技術的課題と解決策 システム・導入 | 根拠: 実装
P04	UCIe 4.0|チップレット間メモリ接続の標準化と帯域密度2.5-TB/s/mmの性能 事業・制度・供給 | 根拠: 標準
P05	imecのシリコンインターポーザ|NanoICによるオープンチップレット設計の実現時期 システム・導入 | 根拠: システム
P06	Sikama|次世代リフロープラットフォームの性能と2027年の投入時期 システム・導入 | 根拠: 市場
P07	AMD EPYC Venice|2.5Dパッケージング採用の理由とI/Oダイ分割の設計意図 システム・導入 | 根拠: 採用
P08	日立のAgentic AI|チップレット設計候補を90%削減し開発期間を短縮する手法 技術・工程 | 根拠: 統合・事業語なし
P09	Intel 18AおよびEMIB|外部顧客の獲得状況とMicrosoft等の採用企業 システム・導入 | 根拠: 顧客
P10	Samsung DRAM|次世代HBM5・LPDDRの3トラック開発戦略と量産時期 システム・導入 | 根拠: 量産

再現可能な配置ルール

横軸は研究・試作・共同評価・製品採用・量産の5段階。縦の帯は次の判断場所を技術・工程、システム・導入、事業・制度・供給に分ける。まず記事見出しの根拠語を使い、見出しで判断できない場合だけ概要を参照する。上下は影響の大小を意味しない。円径は編集スコアを示す。

FACTは収集記事に接続し、事業への読み、ACTION、UNKNOWNは編集判断として分離する。

P01 ACIRとは|車載チップレットの相互運用性要件、ASRAとimecが策定した仕様

A03 | 材料 | 試作

先行発表 2026-11-13

FACT

ASRAとimecが、車載チップレットの相互運用性を高めるための共通要件「ACIR(Automotive Chiplet Interoperability Requirement)」を公開しました。このドキュメントは、異なるベンダーが提供する構成要素をシステムレベルで連携させるためのアーキテクチャ要件を定義しています。これにより、独立して開発されたチップレットを単一のシステムに組み込むことが可能になり、車載半導体エコシステムの柔軟性が向上します。

なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP01の評価票へ記録する。

UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 19/25 | 成熟度 2/5 | 判断場所: システム・導入

P02 APTURATM WSX|Kulicke & Soffaのパネルレベル FTCボンディング装置の性能と出荷状況

A10 | 接合・組立 | 製品採用

2026-11-19

FACT

Kulicke & Soffa(K&S)は、業界初となるパネルレベル・パッケージング向けのフラックスレス熱圧接(FTC)ボンディングシステム「APTURATM WSX」を台湾の主要顧客2社に出荷した。本システムは、プラズマとギ酸を組み合わせたデュアル・フラックスレス技術を採用し、超大型の180mmボンドヘッドを搭載している。これにより、AIやハイパフォーマンスコンピューティング(HPC)向けの大面積パッケージにおける生産効率とシステム性能の向上が可能になる。

なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP02の評価票へ記録する。

UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 19/25 | 成熟度 4/5 | 判断場所: システム・導入

FACTは収集記事に接続し、事業への読み、ACTION、UNKNOWNは編集判断として分離する。

P03 Lam Research|先端パッケージングの進化と3D実装における技術的課題と解決策

A07 | 先端PKG | 試作　2026-11-16

FACT
ラムリサーチが先端パッケージングにおける3つの進化方向を提示し、前工程技術を応用した解決策を公開した。特に3Dパッケージングにおける高アスペクト比のTSV形成や、プラズマダイシングによる歩留まり向上が鍵となる。微細化が物理的限界に近づく中、先端パッケージングがAI半導体の性能限界を突破する手段として重要性を増している。

なぜ重要か
判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

事業への読み
事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

ACTION
30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP03の評価票へ記録する。

UNKNOWN
記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 19/25 | 成熟度 2/5 | 判断場所: システム・導入

P04 UCIe 4.0|チップレット間メモリ接続の標準化と帯域密度2.5-TB/s/mmの性能

A02 | 試験・検査 | 研究　2026-11-16

FACT
UCIeコンソーシアムが、チップレットのメモリ接続と管理サポートを強化した新規格「UCIe 4.0」を公開しました。本規格は、約2.5-TB/s/mmのダイエッジ帯域密度を実現し、リンクプロファイルの最適化によりエネルギー効率を30%から80%向上させています。これにより、異なるソースのチップレットを共通の管理サブシステムで効率的に運用し、システム全体のパフォーマンスとセキュリティを底上げすることが可能になります。

なぜ重要か
判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

事業への読み
事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

ACTION
30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP04の評価票へ記録する。

UNKNOWN
記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 18/25 | 成熟度 1/5 | 判断場所: 事業・制度・供給

FACTは収集記事に接続し、事業への読み、ACTION、UNKNOWNは編集判断として分離する。

P05 imecのシリコンインターポーザ|NanoICによるオープンチップレット設計の実現時期

A09 | 量産供給 | 共同評価

2026-11-16

FACT

imecはNanoICパイロットラインにおいて、シリコンインターポーザ・プラットフォームのベースラインフローを構築した。このプラットフォームは、TSV(シリコン貫通電極)や20 µmまでのマイクロバンプピッチをサポートし、高密度な2.5Dパッケージングを実現する。2027年初頭には専用のPDK(プロセス設計キット)が提供され、大学やスタートアップによる次世代チップレットシステムの仮想的な設計・検証が可能になる。

なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP05の評価票へ記録する。

UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 18/25 | 成熟度 3/5 | 判断場所: システム・導入

P06 Sikama|次世代リフロープラットフォームの性能と2027年の投入時期

A11 | 材料 | 量産

先行発表 2026-11-12

FACT

Sikama Internationalが、次世代の半導体およびパネルレベルパッケージング(PLP)向けリフロープラットフォームを開発した。本プラットフォームは±2°Cの温度均一性と10ppm O2未満の雰囲気制御を実現し、2027年の市場投入を予定している。大型パネルへの移行に伴う熱処理の課題を解決し、FOPLPやガラスコア基板などの高度なパッケージングプロセスへの対応を可能にする。

なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP06の評価票へ記録する。

UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 18/25 | 成熟度 5/5 | 判断場所: システム・導入

FACTは収集記事に接続し、事業への読み、ACTION、UNKNOWNは編集判断として分離する。

P07 AMD EPYC Venice|2.5Dパッケージング採用の理由とI/Oダイ分割の設計意図

A05 | 接合・組立 | 製品採用

2026-11-16

FACT

AMDの次世代サーバーCPU「Venice」において、サーバー向けCPUとして初めて2.5Dパッケージングが採用されました。データ転送帯域が1.6 TB/sまで増大したことで、従来のパッケージングでは電力消費がSoC全体の10〜15%に達する懸念があったためです。この設計変更に伴い、I/Oダイを2つに分割するなどの構造的最適化が行われ、電力効率とパフォーマンスの両立を図っています。

なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP07の評価票へ記録する。

UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 18/25 | 成熟度 4/5 | 判断場所: システム・導入

P08 日立のAgentic AI|チップレット設計候補を90%削減し開発期間を短縮する手法

A06 | 先端PKG | 試作

2026-11-16

FACT

日立製作所は、Agentic AIを用いてチップレット半導体パッケージの設計候補を90%以上削減し、開発サイクルを短縮する基盤技術を開発した。自然言語による要件入力から最適なチップ構成やレイアウトを自動的に絞り込み、電気的・熱的特性やストレス性能を高速に評価できる。これにより、設計後工程での手戻りリスクを低減し、エッジAIや自動運転向けなどの高性能半導体開発の効率化を実現する。

なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP08の評価票へ記録する。

UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 18/25 | 成熟度 2/5 | 判断場所: 技術・工程

FACTは収集記事に接続し、事業への読み、ACTION、UNKNOWNは編集判断として分離する。

P09 Intel 18AおよびEMIB|外部顧客の獲得状況とMicrosoft等の採用企業

A04 | 試験・検査 | 製品採用

2026-11-19

FACT

Intelがファウンドリ事業において、18Aプロセスでの初の外部顧客獲得と、EMIBパッケージング技術のMicrosoftへの提供を達成した。18Aの歩留まりは70%まで向上し、MicrosoftはカスタムAzureシリコンにEMIBを採用する。TSMCのCoWoS供給不足を背景に、ハイパースケーラーがIntelを代替サプライヤーとして選択し始めている。

なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP09の評価票へ記録する。

UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 18/25 | 成熟度 4/5 | 判断場所: システム・導入

P10 Samsung DRAM|次世代HBM5・LPDDRの3トラック開発戦略と量産時期

A01 | 量産供給 | 量産

2026-11-17

FACT

サムスン電子が、次世代DRAM開発を用途別に3つのトラックに分ける新戦略を決定した。HBM5にはウェハボンディングを採用した新構造「D0A」を、LPDDRなどの主流製品には従来構造を継承した「D1d」を、2028年には4F2構造の「D0AV」を投入する。これにより、製品ごとの最適化と開発リスクの低減を同時に図る。

なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP10の評価票へ記録する。

UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 18/25 | 成熟度 5/5 | 判断場所: システム・導入

関係者別プレイブックと0-5年ロードマップ

関係者	NOW | 0-30日	NEXT | 1-12か月	LATER | 1-5年
事業会社	熱・電気・歩留まり・修理・供給の同一条件で方式を比較する	量産相当条件で受入基準と停止基準を明示して評価する。	技術・供給者の変更を吸収できるポートフォリオと設計へ移る。
材料・装置・技術企業	材料、接合、検査、信頼性の工程窓を顧客と共同設計する	顧客と信頼性・工程窓・故障解析の共通データを作る。	界面、履歴、ライフサイクル支援、回収サービスを標準化する。
商社・投資・法務	Map 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定.	能力、品質、変更通知、責任、代替、撤退を契約へ入れる。	地域・技術・顧客の集中リスクを分散する。

ロードマップ

NOW | 0-30日
証拠台帳
担当: Strategy + quality
成果物: claim, source, condition, owner

NOW | 0-30日
リスク選別
担当: Procurement + legal
成果物: unknowns, alternatives, stop

NEXT | 1-12か月
共同認定
担当: R&D + supplier
成果物: 工程窓・故障データ

NEXT | 1-12か月
商用ゲート
担当: Business + finance
成果物: 単位採算・供給能力

LATER | 1-5年
プラットフォーム戦略
担当: 経営
成果物: ポートフォリオ・界面ロードマップ

LATER | 1-5年
サービス層
担当: Operations + channel
成果物: 監視・保守・回復

Go / No-Goゲート

ゲート	担当	必要な証拠	中止条件
G1 証拠	品質	出典・試験条件・再現性	追跡可能な証拠なし
G2 統合	研究開発	界面・工程窓・故障解析	システム条件を満たさない
G3 商用	事業	能力・総原価・契約・代替	採算または供給が成立しない
G4 運用	運用	監視・保守・変更通知・撤退	責任ある運用計画なし

分析対象記事 | 01-11件目

全記事の正式タイトルと元記事URLを省略せず表示する。URLは折返しても全文を保持し、クリックできる。

ID	記事タイトル(全文)	元記事URL(全文・クリック可能)
A01	Samsung DRAM|次世代HBM5・LPDDRの3トラック開発戦略と量産時期	https://www.thelec.net/news/articleView.html?idxno=15696
A02	UCIe 4.0|チップレット間メモリ接続の標準化と帯域密度2.5-TB/s/mmの性能	https://www.electronicdesign.com/technologies/eda/article/55419127/electronic-design-ucie-40-standardizes-memory-connectivity
A03	ACIRとは|車載チップレットの相互運用性要件、ASRAとimecが策定した仕様	https://www.all-electronics.de/automotive/automotive-chiplets-sollen-kompatibler-werden/2766953
A04	Intel 18AおよびEMIB|外部顧客の獲得状況とMicrosoft等の採用企業	https://www.trendforce.com/news/2026/11/19/news-intel-scores-dual-foundry-wins-microsoft-named-first-emib-customer-tan-says-18a-secures-first-external-deal/
A05	AMD EPYC Venice|2.5Dパッケージング採用の理由とI/Oダイ分割の設計意図	https://chipsandcheese.com/p/talking-venice-with-mahesh-subramony
A06	日立のAgentic AI|チップレット設計候補を90%削減し開発期間を短縮する手法	https://finance.biggo.com/news/0743db9c-1a88-4d16-860f-72441620ae6b
A07	Lam Research|先端パッケージングの進化と3D実装における技術的課題と解決策	https://eetimes.itmedia.co.jp/ee/articles/2611/16/news042.html
A08	HBM4|コントローラー機能の配置最適化によるメモリ制御の効率化と課題	https://semiengineering.com/shifting-hbm4-controller-functions-closer-to-memory-uc-riverside/
A09	imecのシリコンインターポーザ|NanoICによるオープンチップレット設計の実現時期	https://www.dqindia.com/semiconductors/imec-advances-europes-silicon-interposer-technology-capabilities-through-nanoic-pilot-line-paving-the-way-for-open-chiplet-design-12811834
A10	APTURATM WSX|Kulicke & Soffaのパネルレベルレベル FTCボンディング装置の性能と出荷状況	https://www.3dincites.com/2026/11/kulicke-soffa-accelerates-industry-shift-to-panel-level-capability-for-ai-applications/
A11	Sikama|次世代リフロープラットフォームの性能と2027年の投入時期	https://www.3dincites.com/2026/11/sikama-develops-next-generation-reflow-platform-for-advanced-panel-level-packaging/

半導体後工程 採用記事全文集

出力日: 2026-11-22

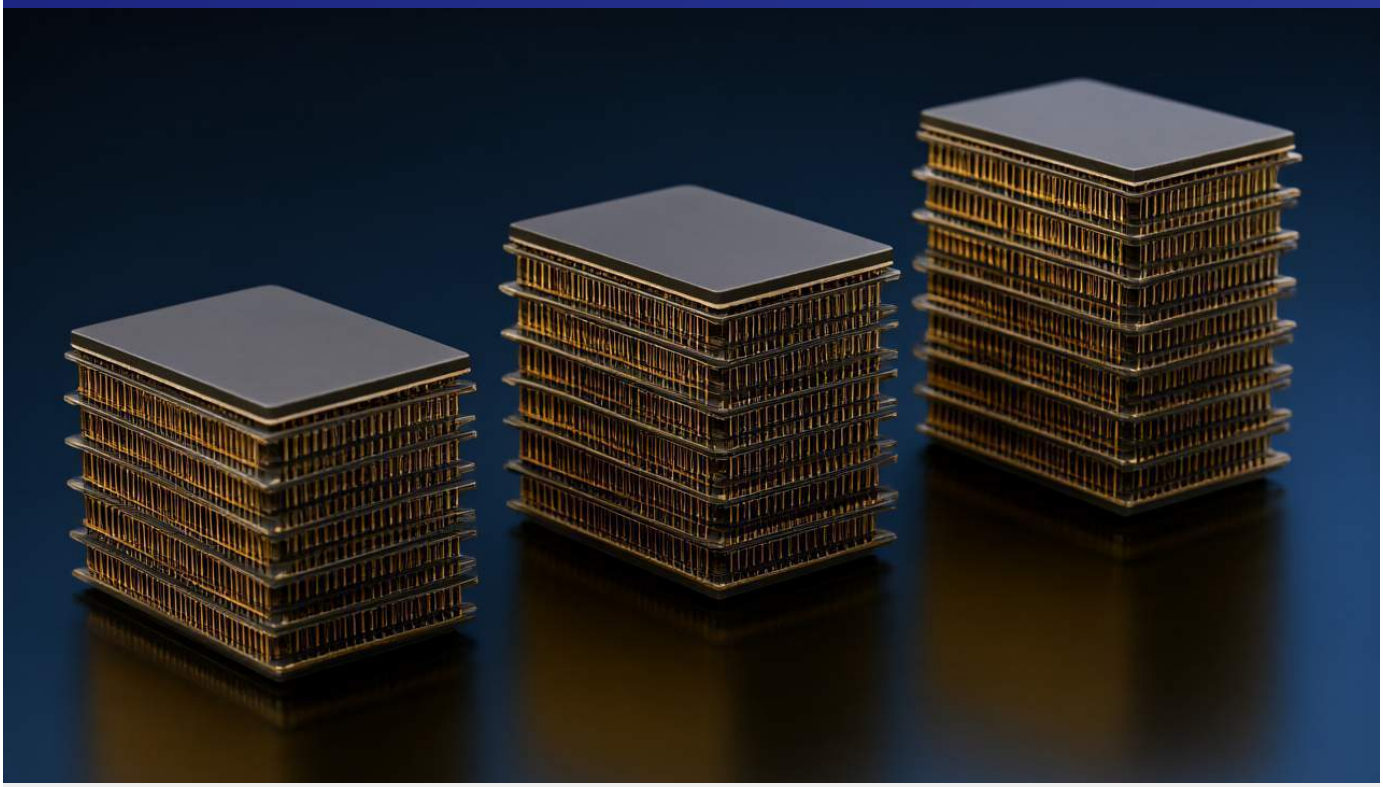
採用記事数: 11 件

収録記事一覧

#01 Samsung DRAM｜次世代HBM5・LPDDRの3トラック開発戦略と量産時期
#02 UCIe 4.0｜チップレット間メモリ接続の標準化と帯域密度2.5-TB/s/mmの性能
#03 ACIRとは｜車載チップレットの相互運用性要件、ASRAとimecが策定した仕様
#04 Intel 18AおよびEMIB｜外部顧客の獲得状況とMicrosoft等の採用企業
#05 AMD EPYC Venice｜2.5Dパッケージング採用の理由とI/Oダイ分割の設計意図
#06 日立のAgentic AI｜チップレット設計候補を90%削減し開発期間を短縮する手法
#07 Lam Research｜先端パッケージングの進化と3D実装における技術的課題と解決策
#08 HBM4｜コントローラー機能の配置最適化によるメモリ制御の効率化と課題
#09 imecのシリコンインターポーザ｜NanoICによるオープンチップレット設計の実現時期
#10 APTURA™ WSX｜Kulicke & Soffaのパネルレベル FTCボンディング装置の性能と出荷状況
#11 Sikama｜次世代リフロープラットフォームの性能と2027年の投入時期

#01 Samsung DRAM｜次世代HBM5・LPDDRの3トラック開発戦略と量産時期

公開日 2026年11月17日　THE ELEC　韓国



概要

サムスン電子が、次世代DRAM開発を用途別に3つのトラックに分ける新戦略を決定した。HBM5にはウェハボンディングを採用した新構造「D0A」を、LPDDRなどの主流製品には従来構造を継承した「D1d」を、2028年には4F²構造の「D0AV」を投入する。これにより、製品ごとの最適化と開発リスクの低減を同時に図る。

詳細

主要成果

サムスン電子は、D1c世代以降の次世代DRAM開発において、製品アプリケーションに基づいた「3トラック戦略」を採用することを決定した。具体的には、次世代高帯域幅メモリ（HBM5）向けの「D0A」、モバイル向け低電力メモリ（LPDDR）などのメインストリーム製品向けの「D1d」、そして2028年をターゲットとする高性能DRAM向けの「D0AV」の3系統を並行して開発する。D1dとD0Aについては、来年後半に量産ラインへの移管を目指している。

技術・詳細

各トラックの技術的特徴は以下の通りである。

- **D0A（HBM5向け）：** メモリセルと周辺回路を別々のウェハで製造し、後に結合させる新アーキテクチャを採用する。セルにはD1bプロセスを、コアおよび周辺回路にはより高度なD1dプロセスを使用する。結合にはハイブリッドボンディング技術を用い、絶縁層と銅インターコネクトを精密に整列させて接合することで、1つのDRAMチップとして機能させる。
- **D1d（LPDDR向け）：** 従来の$6F^2$セルアーキテクチャを継承した構造を維持する。メモリセルと周辺回路を同一ウェハ上に製造する従来方式を継続し、メインストリーム製品への適用を図る。
- **D0AV（高性能DRAM向け）：** $4F^2$セルアーキテクチャに基づいた構造で、2028年の投入を目標としている。

特にD0Aで採用されるウェハボンディングは、周辺回路が占めていたセルウェハ上のスペースをメモリセルに割り当てられるため、同一面積により多くのセルを配置できる。また、周辺回路をセル製造プロセスの制約を受けずに独立して最適化できるメリットがある。

背景・業界の文脈

サムスン電子は、$4F^2$セルアーキテクチャと垂直チャネルトランジスタ（VCT）技術を組み込んだ単桁ナノメートルプロセスのワーキングダイを既に確保している。従来の$6F^2$レイアウト（幅3F×高さ2F）に対し、$4F^2$は両方の寸法を2Fに削減して高密度化を実現するが、狭い空間へのトランジスタとキャパシタの配置には極めて高い技術的困難が伴う。

当初はVCT開発の一環として、セルと周辺回路を分離してハイブリッドボンディングで結合する手法を検討していた。しかし、4F²およびVCTへの完全な構造転換をいきなり量産に適用するにはハードルが高すぎると判断された。そこで、まずは既存の6F²メモリセルにウェハボンディング技術を適用させるという代替アプローチが浮上し、これがHBM5向けのD0Aという独立した開発トラックに繋がった。

今後の展望

今回の戦略により、サムスン電子は3D DRAMへの移行に向けた開発複雑性を軽減しつつ、製品ごとの性能要求に応える体制を整えた。LPDDR向けのD1dとHBM5向けのD0Aを来年後半に量産移行させ、その約1年後の2028年に、より高い性能を必要とする製品向けに4F²ベースのD0AVを投入する計画である。

参考技術解説：ボンディング：https://troy-technical.jp/semiconductor-back-end-term-bonding/

参考技術解説：インターコネクト：https://troy-technical.jp/semiconductor-back-end-term-interconnect/

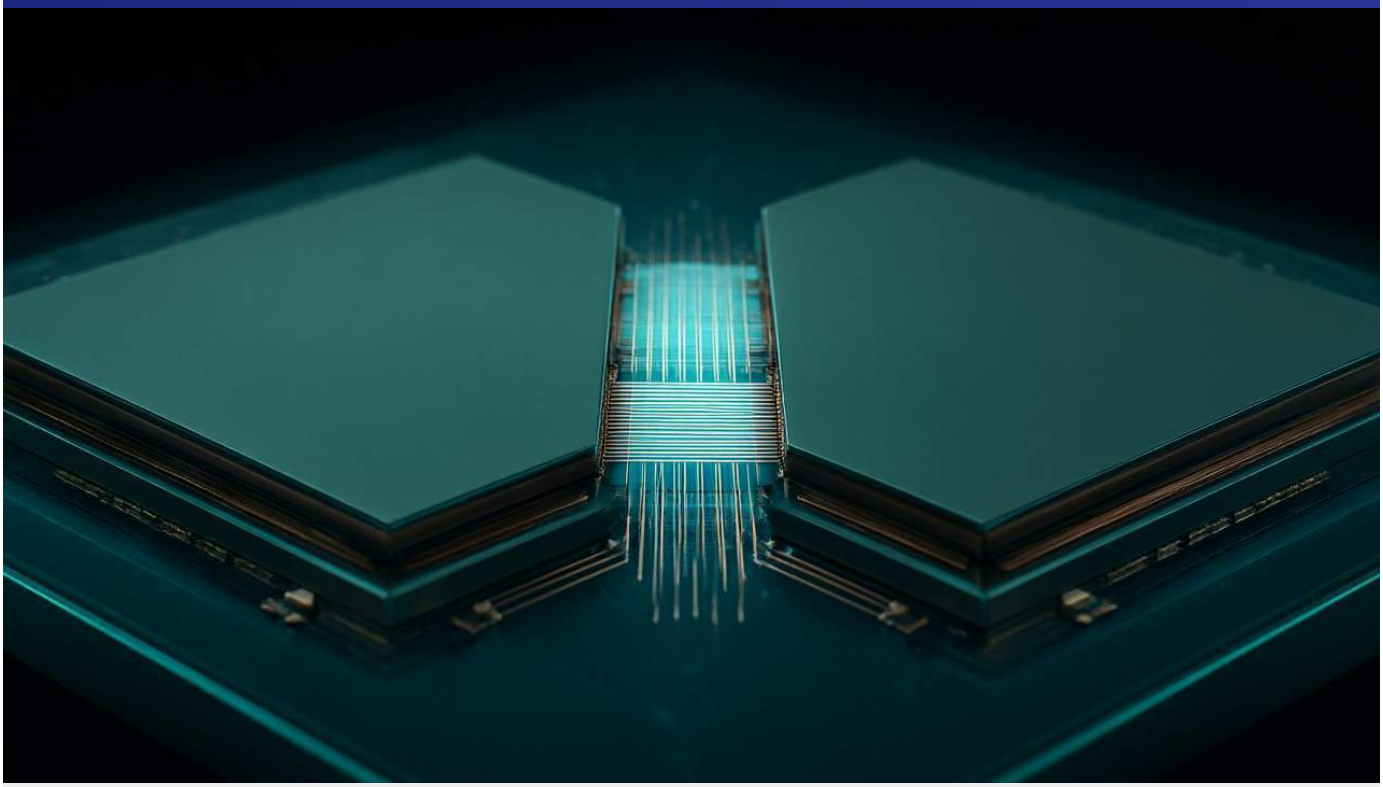
参考企業解説：サムスン電子：https://troy-technical.jp/semiconductor-back-end-company-samsung-electronics/

元記事: https://www.thelec.net/news/articleView.html?idxno=15696

収集日: 2026年11月21日 | 自動記事収集・翻訳システム (AI使用)

#02 UCIe 4.0｜チップレット間メモリ接続の標準化と帯域密度2.5-TB/s/mmの性能

公開日 2026年11月16日　Electronic Design　アメリカ



概要

UCIeコンソーシアムが、チップレットのメモリ接続と管理サポートを強化した新規格「UCIe 4.0」を公開しました。本規格は、約2.5-TB/s/mmのダイエッジ帯域密度を実現し、リンクプロファイルの最適化によりエネルギー効率を30%から80%向上させています。これにより、異なるソースのチップレットを共通の管理サブシステムで効率的に運用し、システム全体のパフォーマンスとセキュリティを底上げすることが可能になります。

詳細

主要成果

UCIeコンソーシアムが発表したUCIe 4.0仕様では、チップレット間のメモリ接続性と管理機能が大幅に強化されました。特筆すべきは、約2.5-TB/s/mmという極めて高いダイエッジ帯域密度の実現です。また、新しく導入された共同最適化リンクプロファイルにより、エネルギー効率が30%から80%向上しました。さらに、48 GT/sおよび64 GT/s向けのUCIe-Sバンプマップが改良され、ダイのフットプリントを抑えつつ、ショアライン（ダイ端の接続領域）を約20%、帯域幅を約10%増加させることに成功しています。

技術・詳細

メモリ接続の最適化を実現するため、UCIe 4.0では現行のPHYに基づいた新プロトコル「UCIe.mem」が導入されました。このプロトコルは、データ効率を最大93.75%まで高め、2.5-TB/s/mmの帯域密度を維持するように設計されています。具体的には、UCIe flits（フロー制御ユニット）内でのメモリリクエストとレスポンスのエンコーディングを定義し、プロトコルのオーバーヘッドを最小限に抑えています。例えば、256バイトのflitにある16バイトのスロットに、2つのメモリリクエストまたは4つのメモリレスポンスをパッキングすることで、ヘッダー、確認応答、信頼性メカニズム、フロー制御情報のオーバーヘッドを大幅に削減しています。

管理面では、チップレットの状態を安全に通信するための「Trusted Reporting of Chiplet State (TRoCs)」が追加されました。これにより、状態情報の改ざんやスプーフィング攻撃からシステムを保護します。また、双方向のセキュア管理チャネルが導入されたことで、異なるベンダーから提供されたチップレットであっても、共通の管理サブシステムを用いて帯域幅の最適化や、ダイおよびパッケージをまたいだ電力・メモリリソースの設定が可能になります。

背景・業界の文脈

チップレット技術の普及に伴い、異なるダイ間での効率的なデータ転送と、統一された管理手法の確立が急務となっていました。特に、自動車や航空宇宙などの機能安全（Functional Safety）が求められるアプリケーションでは、厳格な安全・信頼性基準を満たす必要があります。UCIe 4.0で導入された強化リセット管理、リンクヘルスモニタリング、およびオプションのエラー通知機能は、こうした高信頼性アプリケーションにおいて不可欠な要件となります。

今後の展望

UCIe 4.0の導入により、設計者は限られたパッケージリソースの中でより高い帯域幅を確保するか、あるいは空いたリソースを他のシステムニーズに割り当てることが可能になります。メモリ接続の標準化とセキュアな管理機能の統合は、エコシステムにおけるチップレットの相互運用性を高め、より複雑で高性能なマルチダイ設計の加速に寄与すると期待されます。

参考技術解説：チップレット：https://troy-technical.jp/semiconductor-back-end-term-chiplet/

元記事: https://www.electronicdesign.com/technologies/eda/article/55419127/electronic-design-ucie-40-standardizes-memory-connectivity

収集日: 2026年11月21日 | 自動記事収集・翻訳システム (AI使用)

#03 ACIRとは｜車載チップレットの相互運用性要件、ASRAとimecが策定した仕様

公開日 2026年11月13日　all-electronics　ドイツ



概要

ASRAとimecが、車載チップレットの相互運用性を高めるための共通要件「ACIR（Automotive Chiplet Interoperability Requirement)」を公開しました。このドキュメントは、異なるベンダーが提供する構成要素をシステムレベルで連携させるためのアーキテクチャ要件を定義しています。これにより、独立して開発されたチップレットを単一のシステムに組み込むことが可能になり、車載半導体エコシステムの柔軟性が向上します。

詳細

主要成果

日本の研究協力組織であるASRA（Advanced SoC Research for Automotive）とimecは、2026年11月12日に「Automotive Chiplet Interoperability Requirement（ACIR）」を発表しました。この発表は、日本で開催された第8回Autonomous Edge Chiplet Forum（AECF）にて行われました。ACIRは、既存の標準規格を補完し、車載チップレットにおける共通のアーキテクチャ要件を提示することを目的としています。

技術・詳細

ACIRが定義する要件には、主に以下の機能が含まれています。

- エラー管理およびシステム管理
- ブートシーケンス（起動手順）
- エネルギー管理
- 機能安全（Functional Safety）

特にDie-to-Die（ダイ間）通信に関する共通仕様を設けることで、異なるメーカーが個別に開発したチップレットを一つのシステム内で統合して利用することが可能になります。また、エラー報告のための統一的なインフラストラクチャを構築することで、エラー発生時に安全かつ予測可能な反応を返せるよう設計されています。

なお、ACIRは相互運用に必要な「能力」を記述したものであり、具体的な技術的実装方法は各ベンダーに委ねられています。自動車メーカーやTier-1サプライヤーは、このドキュメントをベースに共通の技術要件を策定することができ、半導体企業、IP・ソフトウェアプロバイダー、システムインテグレーター、ツールメーカーなどが主な対象ユーザーとなります。

背景・業界の文脈

チップレット技術の標準化は世界的に進んでおり、電気的インターフェースからシステムアーキテクチャ、アプリケーション固有のリファレンスデザインまで幅広く研究されています。今回のACIR策定の背景となったAECF（Autonomous Edge Chiplet Forum）は、ASRA、RISE-A、imecの3組織が関与しており、2日間の会期中に140名の登録参加者が集まり、16の基調講演が行われました。焦点は車載用途だけでなく、ロボティクス、航空宇宙、セキュリティアプリケーションなどのチップレット活用にも及んでいます。

今後の展望

imecのオートモーティブ担当シニアバイスプレジデントであるBart Placklé氏によれば、パートナー企業は現在、具体的なチップレット、リファレンスデザイン、IPブロック、および開発ツールの作成に取り組んでいます。また、ASRA、Arm（FCSAと共に）、CHASSIS、Tenstorrent（OCAと共に）、そしてimec（AECF環境下）の間で、より緊密な協力体制を築くことが合意されました。最終的な目標は、メーカーの垣根を越えて相互運用可能なチップレット・エコシステムを構築することにあります。ACIRの初版は公式サイト（acir.imec-int.com）で公開されており、今後業界からのフィードバックを反映させる計画です。

参考技術解説：チップレット：https://troy-technical.jp/semiconductor-back-end-term-chiplet/

元記事: https://www.all-electronics.de/automotive/automotive-chiplets-sollen-kompatibler-werden/2766953

収集日: 2026年11月21日 | 自動記事収集・翻訳システム (AI使用)

#04 Intel 18AおよびEMIB｜外部顧客の獲得状況とMicrosoft等の採用企業

公開日 2026年11月19日　TrendForce　台湾



概要

Intelがファウンドリ事業において、18Aプロセスでの初の外部顧客獲得と、EMIBパッケージング技術のMicrosoftへの提供を達成した。18Aの歩留まりは70%まで向上し、MicrosoftはカスタムAzureシリコンにEMIBを採用する。TSMCのCoWoS供給不足を背景に、ハイパースケーラーがIntelを代替サプライヤーとして選択し始めている。

詳細

主要成果

Intelはファウンドリ事業の転換において2つの大きな成果を上げた。まず、同社の高度パッケージング技術であるEMIB（Embedded Multi-die Interconnect Bridge）を、MicrosoftがカスタムAzureシリコンに採用することが公表された。また、Lip-Bu Tan CEOはTomorrowX Summitにて、次世代プロセスである18Aにおいて初の外部顧客との契約を締結したことを明らかにした。

技術・詳細

18Aプロセスに関しては、Intelのテクノロジー責任者であるPushkar Ranade氏が、この契約が6月にリスク生産に入ったアップグレード版の「18A-P」に関するものであると補足している。また、18Aの歩留まりは70%まで上昇したと報告されており、2025年3月にLip-Bu Tan氏が就任した当時の「ひどい（horrible）」状態から大幅に改善した形となる。

パッケージング技術のEMIBについては、Microsoftとの間で数年間にわたるXeonの供給合意や、Compute Express Link（CXL）に関する共同作業も含まれている。さらに、台湾のMediaTekがGoogleの第9世代TPU向けにEMIB-Tを採用し、2028年第1四半期の量産を目指しているとの報道がある。アナリストのMing-Chi Kuo氏によれば、Googleのv9（HumufishおよびTriggerfish）およびv10（Quillfish）TPUの独占サプライヤーとなるMediaTekは、v9以降の全世代でEMIB-Tを採用する見込みであるという。

背景・業界の文脈

今回の動きは、AI需要の急増によりTSMCのCoWoS（Chip on Wafer on Substrate）の生産能力が限界に達している状況にある。これにより、自社製チップを開発するハイパースケーラー各社が、TSMC以外の代替サプライヤーを模索している。Intelは過去5年間にわたりTSMCへの挑戦を続けており、今回の顧客獲得はその戦略における重要な進展となる。

今後の展望

18Aの初の外部顧客の正体については依然として伏せられているが、市場ではAppleやNVIDIA、あるいはカスタムシリコンを開発する大手ハイパースケーラーが候補として挙げられている。特にMicrosoftについては、EMIBの採用以外に、次世代AIプロセッサ「Maia 2」を18A/18A-Pで製造する契約を締結したとの報道もあり、Intelの最先端プロセスへの依存度を高める可能性がある。

参考技術解説：CoWoS：https://troy-technical.jp/semiconductor-back-end-term-cowos/

参考技術解説：インターコネクト：https://troy-technical.jp/semiconductor-back-end-term-interconnect/

参考技術解説：パッケージ基板：https://troy-technical.jp/semiconductor-back-end-term-package-substrate/

参考企業解説：インテル：https://troy-technical.jp/semiconductor-back-end-company-intel/

参考企業解説：TSMC：https://troy-technical.jp/semiconductor-back-end-company-tsmc/

参考企業解説：NVIDIA：https://troy-technical.jp/semiconductor-back-end-company-nvidia/

元記事: https://www.trendforce.com/news/2026/11/19/news-intel-scores-dual-foundry-wins-microsoft-named-first-emib-customer-tan-says-18a-secures-first-external-deal/

収集日: 2026年11月21日 | 自動記事収集・翻訳システム (AI使用)

#05 AMD EPYC Venice｜2.5Dパッケージング採用の理由とI/Oダイ分割の設計意図

公開日 2026年11月16日　Chips and Cheese　アメリカ



概要

AMDの次世代サーバーCPU「Venice」において、サーバー向けCPUとして初めて2.5Dパッケージングが採用されました。データ転送帯域が1.6 TB/sまで増大したことで、従来のパッケージングでは電力消費がSoC全体の10〜15%に達する懸念があったためです。この設計変更に伴い、I/Oダイを2つに分割するなどの構造的最適化が行われ、電力効率とパフォーマンスの両立を図っています。

詳細

主要成果：2.5Dパッケージングによる電力効率の改善

AMDの新しいEPYC Veniceプロセッサでは、サーバーCPUとして初めて2.5Dパッケージングが導入されました。この決定の最大の要因は、チップレット間およびI/Oダイ間で移動させるデータ量の劇的な増加です。前世代では帯域幅は700 GB/s未満でしたが、Veniceでは1.6 TB/sに達します。従来の標準的なパッケージングとGMIリンクを用いた場合、データの転送だけでSoC全体の電力予算の10〜15%が消費される計算となり、電力効率の面から高度なパッケージングへの移行が不可欠となりました。

技術詳細：I/Oダイの分割とミラー設計

2.5Dパッケージングの採用により、CCD（Core Complex Die）とI/Oダイ間の接続距離が極めて短くなるため、ダイの形状と配置に厳しい制約が生じました。これに対応するため、AMDはI/Oダイを2つのダイに分割する設計を採用しています。具体的な設計上の特徴は以下の通りです。

- **ミラー設計の採用：** 2つの異なるI/Oダイを設計するのではなく、単一の設計を180度回転させてミラー状に配置することで効率化を図っています。
- **オーバーヘッドの許容：** Root of Trustやブート用I/Oなど、機能的に1つで十分なIPブロックが重複して搭載されるため、面積的なオーバーヘッドが発生していますが、低電力・高帯域・低レイテンシなリンクによって相殺されています。
- **トポロジーの最適化：** NPS1構成において、2つのI/Oダイが単一のドメインとして動作し、適切なQoS（サービス品質）、帯域幅、レイテンシを維持できるよう設計されています。

プラットフォーム別の最適化：SP7とSP8の違い

AMDは市場の要求に合わせて、SP7とSP8という2つの異なるプラットフォームを展開しています。両者とも2つのI/Oダイを搭載していますが、その設計は異なります。

- **SP7：** コンピュート性能とメモリ帯域幅に重点を置いており、より多くのメモリチャネルを備え、I/Oレーン数は少なめに設定されています。

- **SP8：** エンタープライズ市場向けにコストとI/O性能を最適化しています。メモリチャネル数はSP7の半分ですが、ソケットあたり128本のPCIeレーンをすべて利用可能です。コア数はZen 6側で最大96コア、Zen 6c側で最大128コアをターゲットとしています。

今後の展望

AMDは、SoCのコア数がさらに増大しスケールアップが進むにつれ、今回のようなタイル状のアプローチ（tiled approaches）がますます有利になると考えています。実装に伴う課題は存在するものの、今後の設計における重要な方向性となる見込みです。

参考技術解説：チップレット：https://troy-technical.jp/semiconductor-back-end-term-chiplet/

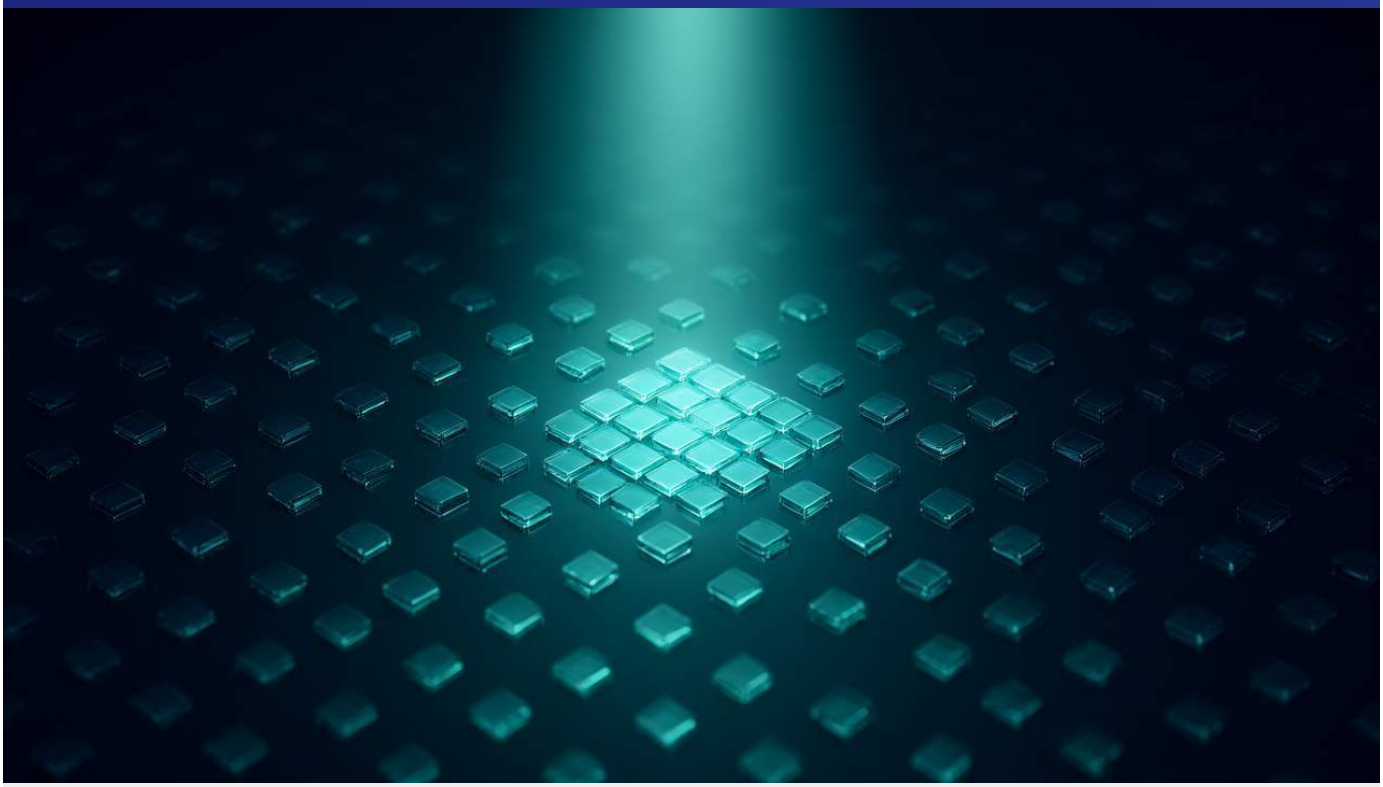
参考企業解説：AMD：https://troy-technical.jp/semiconductor-back-end-company-amd/

元記事: https://chipsandcheese.com/p/talking-venice-with-mahesh-subramony

収集日: 2026年11月21日 | 自動記事収集・翻訳システム (AI使用)

#06 日立のAgentic AI｜チップレット設計候補を90%削減し開発期間を短縮する手法

公開日 2026年11月16日　BigGo Finance　日本



概要

日立製作所は、Agentic AIを用いてチップレット半導体パッケージの設計候補を90%以上削減し、開発サイクルを短縮する基盤技術を開発した。自然言語による要件入力から最適なチップ構成やレイアウトを自動的に絞り込み、電気的・熱的特性やストレス性能を高速に評価できる。これにより、設計後工程での手戻りリスクを低減し、エッジAIや自動運転向けなどの高性能半導体開発の効率化を実現する。

詳細

主要成果

日立製作所は2026年11月、チップレット半導体パッケージ設計における設計案の選定プロセスを劇的に効率化する基盤技術を開発した。この技術を適用した検証では、調達可能性や接続端子のレイアウトなどの条件を考慮した結果、設計者が検討すべき設計候補数を90%以上削減することに成功した。また、絞り込まれた候補に対して、設計の初期段階で電気的な問題やストレス懸念を評価できることを確認している。

技術・詳細

本技術は、「Agentic AI技術」と「高速物理解析技術」の2つの要素で構成されている。設計者が自然言語で設計要件を入力すると、Agentic AIがコンポーネントの調達可能性を考慮しつつ、要件を満たすチップの組み合わせ、レイアウト、パッケージの規模および構造の候補を自動的に絞り込み、有望な提案を提示する。

次に、AIモデルを用いた高速物理解析技術により、絞り込まれた候補の電気的特性、熱蓄積、ストレス性能などの特性を迅速に比較評価する。これにより、従来は後工程で発覚しがちだった設計上の問題点を早期に発見でき、設計の手戻りリスクを大幅に軽減することが可能となった。日立は3種類のチップレット半導体を用いたパッケージ設計でこの検証を行っている。

背景・業界の文脈

チップレット半導体は、複数の小さなチップを組み合わせて一つのデバイスとして機能させる構造で、エッジAI、自動運転、産業用IoTなどの高性能デバイスへの採用が広がっている。用途に応じて最適な機能を柔軟に構成できる利点がある一方、チップの選定、レイアウト、配線、パッケージ構造など検討項目が極めて多く、初期設計段階での候補絞り込みに時間を要することが課題となっていた。

また、同社は同日に電力セクターにおける技術発表も行っており、量子コンピューティング技術に着想を得た「CMOSアニーリング」とAI、数学的最適化、電力系統解析を組み合わせた大規模電力需給計画の高速作成技術を公開した。500基以上の発電機を対象とした36時間先までの運用計画の検証では、従来の数学的最適化手法では1日経っても作成できなかった計画案を、約60分で作成し、20倍以上の高速化を実現した。

今後の展望

これらの技術は、同社が推進する社会インフラインテリジェンスプラットフォーム「IWIM」を支える技術群に位置づけられている。チップレット設計の効率化は半導体サプライチェーンの開発リードタイム短縮に寄与し、電力需給計画の高速化は、再生可能エネルギーやデータセンターの普及で複雑化する電力系統の安定供給とコスト抑制の両立に寄与するとされる。

現在は技術検証段階であり、実際のシステムへの適用や商用化の時期は明示されていない。半導体設計分野ではEDAツールベンダーや半導体メーカーによる自動化競争が進んでおり、実用段階での優位性の実証が今後の焦点となる。日立は今後、実際の計画データを用いた精度向上や作成時間の短縮を進め、社会インフラソリューション「Lumada 3.0」の一部として展開することを目指している。

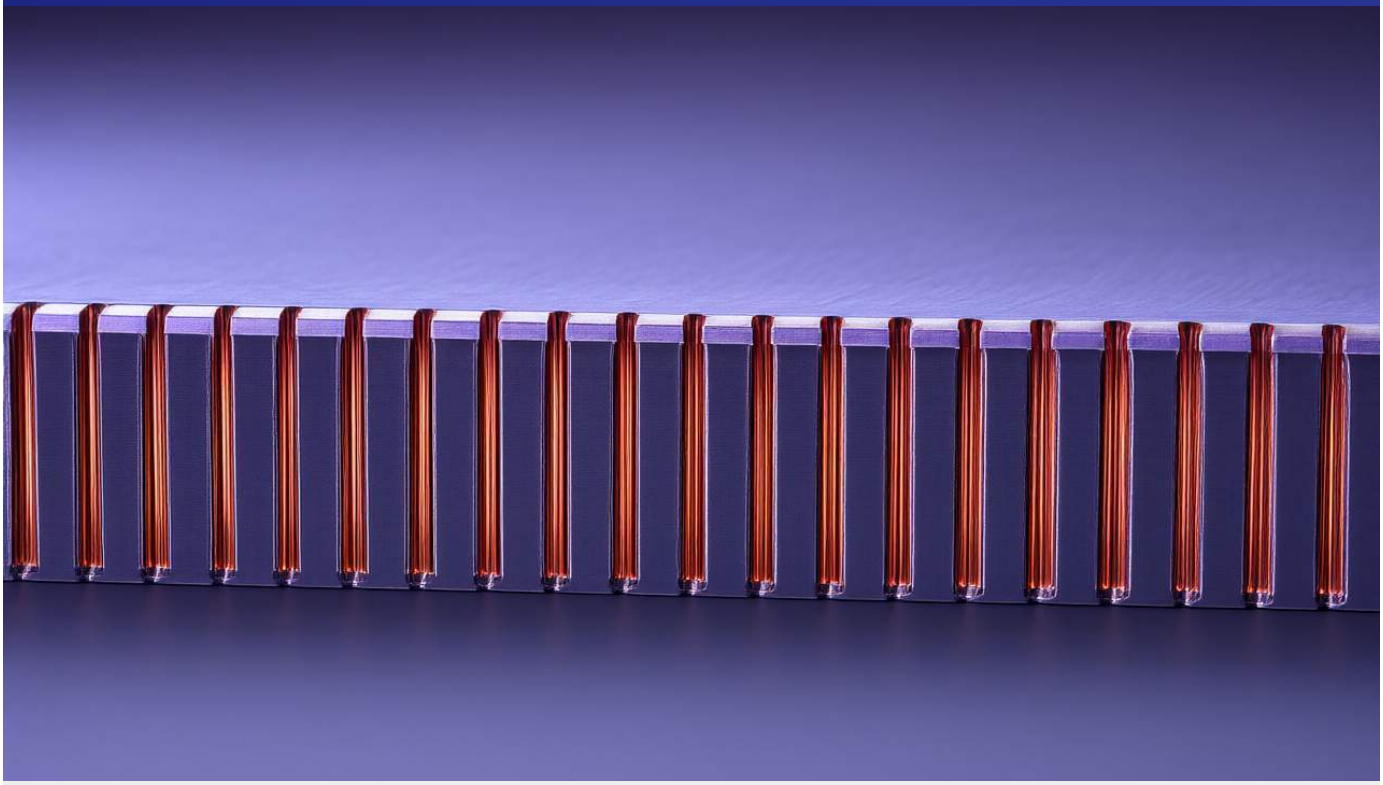
参考技術解説：チップレット：https://troy-technical.jp/semiconductor-back-end-term-chiplet/

元記事: https://finance.biggo.com/news/0743db9c-1a88-4d16-860f-72441620ae6b

収集日: 2026年11月21日 | 自動記事収集・翻訳システム (AI使用)

#07 Lam Research｜先端パッケージングの進化と3D実装における技術的課題と解決策

公開日 2026年11月16日　EE Times Japan　日本



概要

ラムリサーチが先端パッケージングにおける3つの進化方向を提示し、前工程技術を応用した解決策を公開した。特に3Dパッケージングにおける高アスペクト比のTSV形成や、プラズマダイシングによる歩留まり向上が鍵となる。微細化が物理的限界に近づく中、先端パッケージングがAI半導体の性能限界を突破する手段として重要性を増している。

詳細

主要成果

ラムリサーチ（Lam Research）は、AI半導体の高性能化に伴う物理的な限界を突破するための「先端パッケージング」戦略を提示した。同社は、ウェット処理、成膜、エッチングといった前工程の大規模量産技術を先端パッケージングに適用することで、AI半導体が直面する大容量・広帯域メモリの必要性や、消費電力および発熱といった課題を解決することを目指している。

技術・詳細

同社が挙げる3つの進化のうち、1つ目の「水平からZ軸へ」の移行、すなわち3Dパッケージングにおける具体的な技術アプローチは以下の通りである。

- **TSV（シリコン貫通電極）の形成：**チップを垂直に重ねて接続するためには、ダイに深く穴を開ける必要がある。高パフォーマンスを実現するには15対1以上の高アスペクト比が求められるが、同社はサイクル数の高速化を図った先端エッチング技術により、高精度な制御を実現している。
- **プラズマダイシング技術：**従来のブレード方式と比較してパーティクルを大幅に抑制し、ダイ強度を1.5倍以上に高めることが可能である。これにより、高価なAI半導体の製造において不可欠な歩留まりの向上が期待できる。

これらの工程は、人間の髪の毛よりも細いスケールでの精度が要求される極めて困難な実装であるとしている。

背景・業界の文脈

半導体業界では長らく微細化によって性能向上を図ってきたが、近年はその物理的な限界が近づいている。一方で、AIの急速な発展によりデータ処理量が爆発的に増大しており、従来の微細化だけでは対応できない性能向上が求められている。このような状況下で、チップを垂直に積層する3Dパッケージングなどの先端パッケージング技術が、物理的課題を解決するための「新たな相棒」として位置づけられている。

今後の展望

先端パッケージングの実現には、全てのレイヤーにおいてイノベーションとブレークスルーが必要となる。ラムリサーチは、幅広い製品ポートフォリオを通じて重要工程をカバーし、前工程で培った量産技術をパッケージング工程に統合することで、AI半導体のさらなる高性能化と製造コストの最適化に寄与していく方針である。

参考技術解説：TSV：https://troy-technical.jp/semiconductor-back-end-term-tsv/

参考企業解説：ラムリサーチ：https://troy-technical.jp/semiconductor-back-end-company-lam-research/

元記事: https://eetimes.itmedia.co.jp/ee/articles/2611/16/news042.html

収集日: 2026年11月21日 | 自動記事収集・翻訳システム (AI使用)

#08 HBM4｜コントローラー機能の配置最適化によるメモリ制御の効率化と課題

公開日 2026年11月13日　Semiconductor Engineering　アメリカ



概要

カリフォルニア大学リバーサイド校の研究チームが、HBM4のベースダイにコントローラー機能を分散配置する手法を提案しました。ロジックプロセスを採用可能なHBM4の特性を活かし、ホスト側とベースダイ側のどちらに機能を配置すべきかを定量的に評価しています。この研究により、メモリ制御の最適配置によるパフォーマンス向上の可能性が示されました。

詳細

主要成果

カリフォルニア大学リバーサイド校のTharunya Yogananda氏とWantong Li氏は、HBM4（高帯域幅メモリ）において、コントローラー機能をホスト側とHBMベースダイ側にどのように分割して配置すべきかを定量的に分析した技術論文「Beyond Host-Side Control: HBM Controller Partitioning Across Host and HBM Base Dies」を発表しました。本研究は、コントローラーの機能レベルでの配置に関する初の体系的な定量研究であるとしています。

技術・詳細

研究チームは、シリコンインターポーザ上のホストとHBM4ベースダイの間で、コントローラーの主要機能をどのように分割するかを検証しました。具体的には、以下の4つの配置パターンを評価しています。

- コントローラーの全機能をホスト側に配置する構成
- コントローラーの全機能をベースダイ側に配置する構成
- メンテナンス機能をベースダイ側に移動させた中間的な構成
- スケジューリング機能をベースダイ側に移動させた中間的な構成

これにより、どの機能をメモリに近いベースダイ側に寄せることで、制御効率やパフォーマンスが最適化されるかを分析しています。

背景・業界の文脈

次世代規格であるHBM4では、メモリスタックの最下層にあるベースダイにロジックプロセスを採用することが可能です。これにより、従来の世代よりも複雑なコントローラー機能をDRAMの直近に実装できる設計上の自由度が生まれています。これまでのメモリ制御は主にホスト側で行われてきましたが、ベースダイのロジック化によって、制御機能をメモリ側にシフトさせる「分散配置」という新たなアプローチが可能になりました。

今後の展望

本研究で示された機能レベルの配置評価は、今後のHBM4設計におけるコントローラーの最適化に寄与すると考えられます。ホスト側の負荷軽減やデータ転送の効率化を実現するための具体的な配置指針を提供することで、次世代のメモリシステム全体のパフォーマンス向上に繋がることが期待されます。

参考技術解説：HBM：https://troy-technical.jp/semiconductor-back-end-term-hbm/

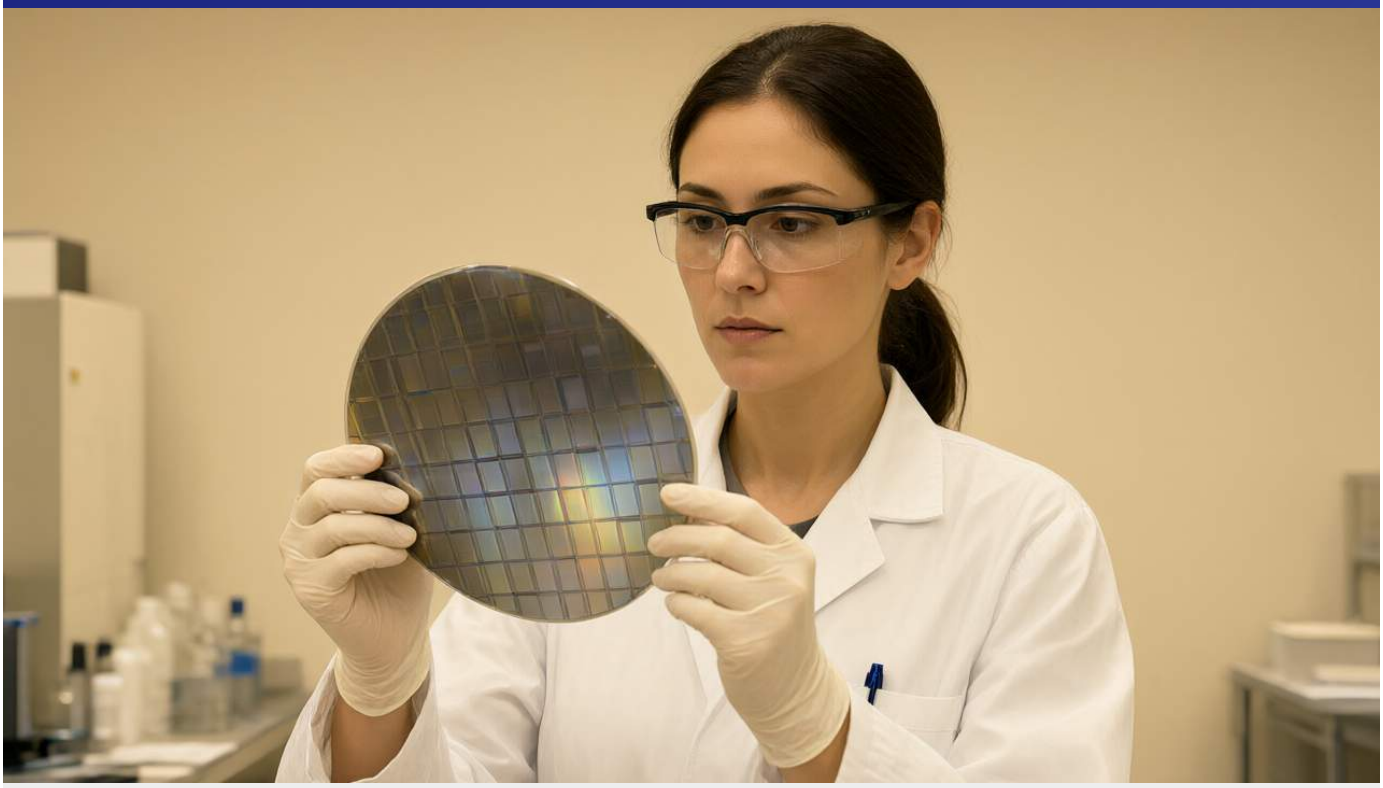
参考技術解説：インターポーザ：https://troy-technical.jp/semiconductor-back-end-term-interposer/

元記事: https://semiengineering.com/shifting-hbm4-controller-functions-closer-to-memory-uc-riverside/

収集日: 2026年11月21日 | 自動記事収集・翻訳システム (AI使用)

#09 imecのシリコンインターポーザ｜NanoICによるオープンチップレット設計の実現時期

公開日 2026年11月16日　DQ (Dataquest)　ベルギー



概要

imecはNanoICパイロットラインにおいて、シリコンインターポーザ・プラットフォームのベースラインフローを構築した。このプラットフォームは、TSV（シリコン貫通電極）や20 µmまでのマイクロバンプピッチをサポートし、高密度な2.5Dパッケージングを実現する。2027年初頭には専用のPDK（プロセス設計キット）が提供され、大学やスタートアップによる次世代チップレットシステムの仮想的な設計・検証が可能になる。

詳細

主要成果

imecは、SEMICON Europa 2026において、NanoICパイロットラインで開発中のシリコンインターポーザ・プラットフォームのベースラインフローを納品したことを発表した。これは、欧州における高度なパッケージング・イノベーションへのアクセスを向上させる重要なマイルストーンとなる。本プラットフォームは、チップレット統合に不可欠な技術的なリファレンスを提供し、設計者が次世代のヘテロジニアス（異種混在）システムをより効率的に探索・準備できる環境を整備する。

技術・詳細

シリコンインターポーザは、ダイの下に配置される高密度ルーティング層として機能し、演算チップレット、広帯域メモリ（HBM）、およびその他の専用コンポーネントを接続するための短距離かつ高密度な接続を提供する。本プラットフォームの具体的な技術仕様には、以下の機能が含まれる。

- シリコン貫通電極（TSV）の搭載
- 複数のメタルルーティング層の構成
- 最小20 μmまでのマイクロバンプピッチへの対応

これらの技術により、単一の2.5Dパッケージ内でチップレット間、メモリ間、および専用ダイ間の高密度接続が可能になる。また、imecはシリコンインターポーザ以外にも、「ファインピッチRDLインターポーザ」および「ダイ・トゥ・ウェハー・ハイブリッドボンディング」という2つの高度な相互接続技術をNanoIC内で開発しており、これらを合わせて専用のPDKとして提供する計画である。

背景・業界の文脈

AI向けの高度なコンピューティングに対する性能要求が高まる中、半導体業界では複数の専門化されたダイを単一パッケージに統合するチップレット・アーキテクチャへの移行が進んでいる。システムの性能は個々のチップレットだけでなく、それらを結ぶ相互接続技術に依存するため、帯域幅の拡大、消費電力の低減、システム統合の密接化が不可欠となっている。特にAIアクセラレータやGPUなどの高性能マルチダイシステムにおいて、エネルギー効率の高いデータ移動は決定的な要件となる。このような背景から、設計者が物理的な製造前に仮想的に技術を検証できる共通の基盤が求められていた。

今後の展望

imecは、今回のベースラインフローを基に、2027年初頭に専用のシリコンインターポーザPDKをリリースする予定である。このPDKはCadenceやSynopsysが提供する業界標準のEDA環境で動作し、大学、スタートアップ、ファブレス企業が仮想的に技術を探索することを可能にする。長期的には、この仮想的な探索をパイロットラインでの物理的なシリコンデモンストレーターへと拡張することを目指している。これにより、AIや車載システム、高度コンピューティングなどの戦略的市場において、最適なコンポーネントの組み合わせを迅速に評価し、次世代の物理AIシステムなどの開発を加速させることが期待される。

参考技術解説：インターポーザ：https://troy-technical.jp/semiconductor-back-end-term-interposer/

参考技術解説：チップレット：https://troy-technical.jp/semiconductor-back-end-term-chiplet/

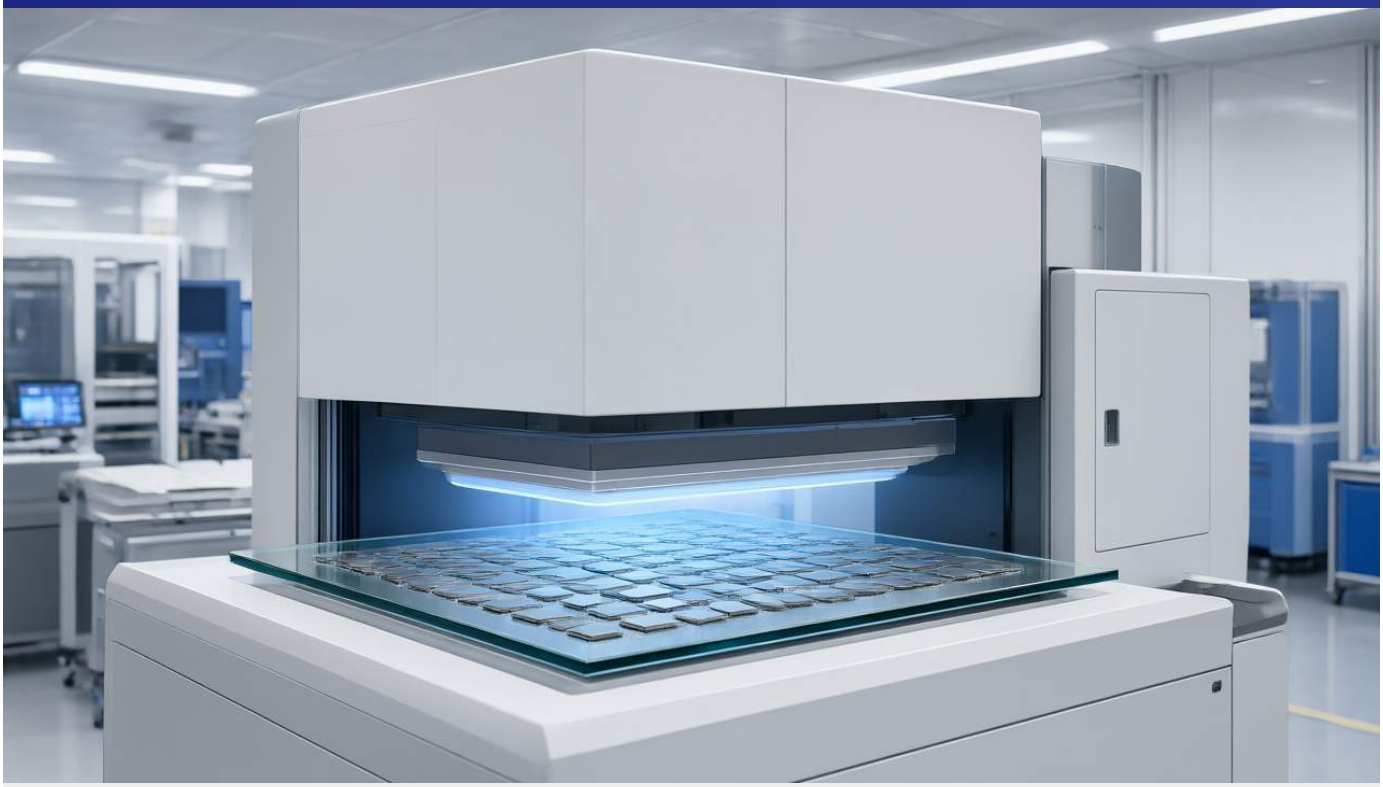
参考技術解説：TSV：https://troy-technical.jp/semiconductor-back-end-term-tsv/

元記事: https://www.dqindia.com/semiconductors/imec-advances-europes-silicon-interposer-technology-capabilities-through-nanoic-pilot-line-paving-the-way-for-open-chiplet-design-12811834

収集日: 2026年11月21日 | 自動記事収集・翻訳システム (AI使用)

#10 APTURA™ WSX｜Kulicke & Soffaのパネルレベル FTCボンディング装置の性能と出荷状況

公開日 2026年11月19日　IMAPS 3D InCites（Kulicke & Soffa発表）　アメリカ



概要

Kulicke & Soffa（K&S）は、業界初となるパネルレベル・パッケージング向けのフラックスレス熱圧接（FTC）ボンディングシステム「APTURA™ WSX」を台湾の主要顧客2社に出荷した。本システムは、プラズマとギ酸を組み合わせたデュアル・フラックスレス技術を採用し、超大型の180mmボンドヘッドを搭載している。これにより、AIやハイパフォーマンスコンピューティング（HPC）向けの大面積パッケージにおける生産効率とシステム性能の向上が可能になる。

詳細

主要成果

Kulicke & Soffa（K&S）は、基板レベル・パッケージング向けの業界初となるフラックスレス熱圧接（FTC）ボンディングシステム「APTURA™ WSX」を、台湾の主要顧客2社に shipment（出荷）した。同社がこれまでチップ・オン・ウェハー（CoW）生産で確立してきたFTC技術を、より大面積なチップ・オン・パネル（CoP）プロセスへと拡張したものである。このシステムは、特に次世代の人工知能（AI）およびハイパフォーマンスコンピューティング（HPC）アプリケーション向けに設計されている。

技術・詳細

APTURA™ WSXは、業界最大級のAIパッケージに対応するため、インターポーザ・オン・サブストレート（Interposer on Substrate）およびインターポーザ・オン・パネル/プラットフォーム（Interposer on Panel/Platform）のアセンブリをサポートする。最大の特徴は、180mmという超大型のボンドヘッド能力を備えている点であり、これにより次世代のAI、HPC、およびヘテロジニアス統合アーキテクチャが求める性能要件を直接的にサポートし、クラス最高の生産性とスループットを実現する。

技術的な核心となるのは、K&Sが市場でリードしている革新的な「デュアル・フラックスレス・ボンディング技術」である。この技術はプラズマとギ酸を組み合わせることで酸化物を効果的に除去し、最高水準のFTC能力を提供する。同社のFTC技術はすでに大量生産（HVM）において実証されており、比類のない制御性、信頼性、およびクリーンネスを実現しているため、現在生産されている最も高度なヘテロジニアス・コンピューティング・アプリケーションへの適用が可能となっている。

背景・業界の文脈

AIおよびHPCの発展に伴い、より大きなダイサイズとパッケージサイズが要求されており、業界全体としてパネルレベル・フォーマットへの移行が進んでいる。Yole Groupのシニアテクノロジー＆マーケットアナリストであるGabriela Pereira氏は、AIアプリケーションの急成長に伴い、次レベルのトランジスタ密度が必要となっており、それがK&SのFTCプロセスの採用を加速させていると指摘する。また、生産効率とシステムレベルの性能を向上させるため、高精度なパネルベースのソリューションへの移行が不可欠となっている。

市場調査会社Yole Groupの予測によれば、超高密度パネルレベル・パッケージング（Ultra High-Density Panel Level packaging）の収益に相当する有効市場（SAM）は、2026年から2031年にかけて年平均成長率（CAGR）75%を超える見込みである。

今後の展望

K&SのAdvanced Solutions事業部門のVP兼ゼネラルマネージャーであるJohn Molnar氏は、今回のパネルレベル・パッケージング向けフラックスレスTCBシステムの出荷を、同社にとって定義的なマイルストーンであると述べている。実証済みの大量生産プロセスをパネルレベルにスケールアップさせることで、顧客に対して次世代のAIおよびHPCパッケージングへの明確なパスを提供することになる。APTURA™ WSXの導入により、顧客はパフォーマンス、電力効率、および統合密度のさらなる向上を実現することが期待される。

参考技術解説：インターポーザ：https://troy-technical.jp/semiconductor-back-end-term-interposer/

参考技術解説：ボンディング：https://troy-technical.jp/semiconductor-back-end-term-bonding/

参考技術解説：PLP：https://troy-technical.jp/semiconductor-back-end-term-plp/

元記事: https://www.3dincites.com/2026/11/kulicke-soffa-accelerates-industry-shift-to-panel-level-capability-for-ai-applications/

収集日: 2026年11月21日 | 自動記事収集・翻訳システム (AI使用)

#11 Sikama｜次世代リフロープラットフォームの性能と2027年の投入時期

公開日 2026年11月12日　IMAPS 3D InCites（Sikama発表）　アメリカ



概要

Sikama Internationalが、次世代の半導体およびパネルレベルパッケージング（PLP）向けリフロープラットフォームを開発した。本プラットフォームは±2°Cの温度均一性と10ppm O_2未満の雰囲気制御を実現し、2027年の市場投入を予定している。大型パネルへの移行に伴う熱処理の課題を解決し、FOPLPやガラスコア基板などの高度なパッケージングプロセスへの対応を可能にする。

詳細

主要成果

Sikama Internationalは、次世代の半導体およびパネルレベルパッケージング（PLP）アプリケーション向けに設計された新しいリフロープラットフォームの開発を発表した。本プラットフォームは、同社の実績あるUP1200テクノロジーをベースに構築されており、2027年の商用導入を計画している。現在は310 × 310 mmのパネルをサポートしており、今後はさらに大型のフォーマットへの対応を拡大させる方針である。

技術・詳細

次世代プラットフォームは、高度なパネルレベルパッケージングにおける重要な課題である熱均一性、反り（warpage）の制御、機械的安定性、およびプロセスの整合性を解決するため、以下の性能目標を掲げて開発されている。

- パネル基板全体で±2°Cの温度均一性を実現
- プロセス雰囲気において10 ppm O_2未満の酸素濃度を制御
- 従来の競合リフローソリューションと比較して振動を10倍低減
- 競合モデル比で消費電力を50%削減
- 加熱、冷却、およびサーマルプロファイルの精密な制御
- 高い熱質量（thermal-mass）処理能力
- ガラス、有機、シリコン、セラミックなどの多様な高度基板への柔軟な対応
- 省スペースかつエネルギー効率の高いアプローチを維持した高スループットの実現

本プラットフォームは、単に既存のオーブンを大型化させるのではなく、新興のパネルレベル処理要件に合わせて専用のアーキテクチャとして開発されている。

背景・業界の文脈

半導体パッケージングが、より大きな正方形や長方形のパネルへと移行する中で、熱処理への要求が変化している。具体的には、Chip-on-Panel-on-Substrate（CoPoS）、Fan-Out Panel-Level Packaging（FOPLP）、ガラスコア基板、およびThrough-Glass Via（TGV）アーキテクチャなどの技術が登場しており、これらに対応した高度な温度制御、雰囲気管理、低振動、熱効率が不可欠となっている。業界のロードマップでは、現在の310 × 310 mmフォーマットを超え、約510 × 515 mmや600 × 600 mmといった大型パネルの標準化が検討されており、装置側にもこれらに対応する搬送およびハンドリング技術が求められている。

今後の展望

Sikamaは顧客と密接に連携し、新興の基板材料や寸法、製造上の課題を把握することで、技術ロードマップに合わせて進化できる柔軟なプラットフォームの開発を進めている。商用導入は2027年に予定されており、開発の進展に合わせて、詳細な仕様、サポートするパネルサイズ、および製品名が発表される予定である。

参考技術解説：PLP：https://troy-technical.jp/semiconductor-back-end-term-plp/

参考技術解説：CoPoS：https://troy-technical.jp/semiconductor-back-end-term-copos/

参考技術解説：ファンアウト：https://troy-technical.jp/semiconductor-back-end-term-fanout/

元記事: https://www.3dincites.com/2026/11/sikama-develops-next-generation-reflow-platform-for-advanced-panel-level-packaging/

収集日: 2026年11月21日 | 自動記事収集・翻訳システム (AI使用)