TROY TECHNICAL

半導体後工程

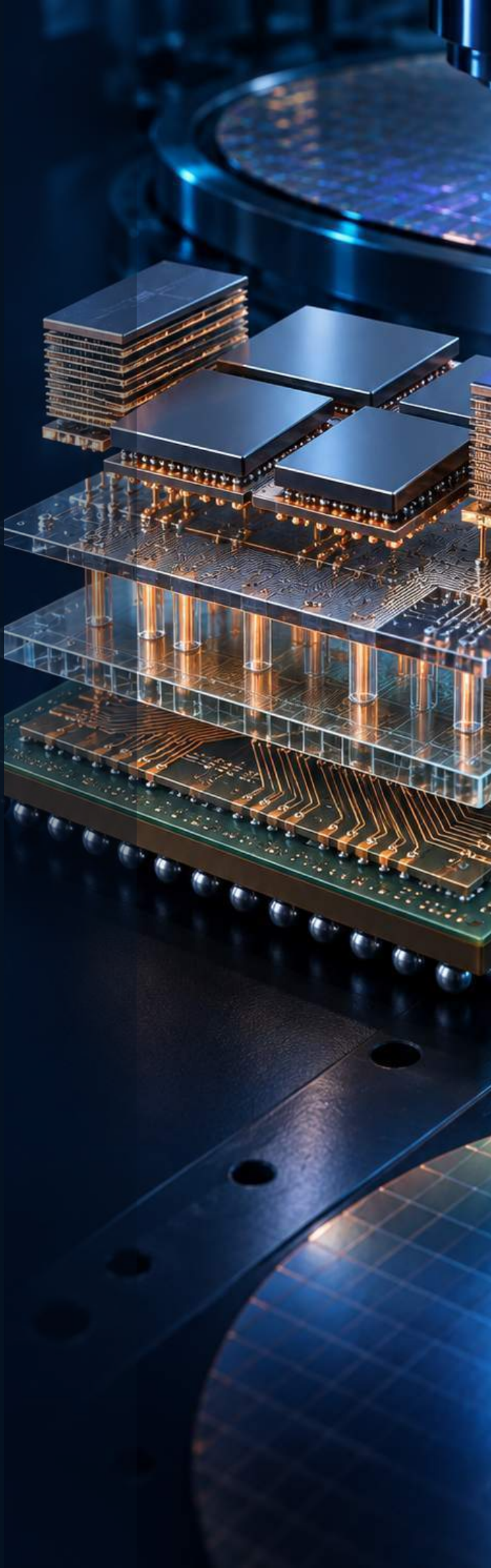
ウィークリーレポート

2026年11月8日-11月14日 | Issue 2026-W45

パッケージ性能、工程歩留まり、検査、認定能力

14	10
分析対象	重点テーマ

発行 2026-11-14 | 日本語版 | 承認済み固定表紙



半導体後工程:個別発表から認定証拠へ境界が移動

日本語記事14件を棚卸しし、意思決定に重要なテーマを選定した。

シグナル 01 | 材料

BIRDモジュール|Hummink社の高精度プリント技術による欠陥修復と歩留まり改善

Hummink社が、高精度キャピラリープリント(HPCaP)技術を用いた「BIRDモジュール」をSEMICON Europa 2026で公開した。本モジュールは0.6〜50 µmのミクロン単位のプリントを可能にし、製造工程内での直接的な欠陥修復や表面機能化を実現する。これにより、特に高度なパッケージング工程における歩留まり損失を大幅に削減し、基板あたりの回収価値を数万ユーロにまで高めることが期待される。

シグナル 02 | 接合・組立

ASE|高雄市に新工場を建設、AI向け先端パッケージングの量産能力と投資規模

世界最大のOSAT(半導体後工程受託製造)プロバイダーであるASEが、台湾・高雄市の高雄科学工業団地に新工場「Luzhu(路竹)」を建設し、第1フェーズの稼働と第2フェーズの着工を行いました。本プロジェクトの総投資額は1,000億台湾ドル(30億米ドル)に達し、フル稼働後には年間最大800億台湾ドルの収益と5,000人の雇用創出が見込まれています。AIおよびハイパフォーマンスコンピューティング(HPC)向けチップの需要急増に伴い、より複雑な後工程サービスの提供能力を強化することが狙いです。

シグナル 03 | 先端PKG

Samsung HBMパッケージング施設|忠清南道・牙山への投資規模と量産開始時期

サムスン電子が忠清南道・牙山の温陽キャンパスに、次世代の高帯域幅メモリ(HBM)向けパッケージング施設の建設に着手した。同社は温陽に46兆ウォンを投じ、2028年6月の操業開始を目指す。これにより、従来の半導体組み立て・テスト拠点から、AI半導体の核心となる高度なHBMパッケージングの主要ハブへと機能を転換させる。

シグナル 04 | 試験・検査

Cu-Cu接合|微量Niドープによる低温接合の実現とせん断強度153 MPaの達成

微量のニッケル(Ni)をドープしたナノ結晶銅(Cu)フィルムを用いることで、低温でのCu-Cu接合における粒界エネルギーの制御に成功しました。特にCu-0.5Ni(124 nm)は高い粒界エネルギーを保持しており、250°Cの熱圧着時に界面を越えた顕著な結晶成長を誘発し、120 MPaのせん断強度を実現しています。さらに、安定なCu-0.25Ni(171 nm)と活性なCu-0.5Niを組み合わせた非対称構造により、153 MPaという高いせん断強度を達成しました。

編集判断

今週の経営判断は パッケージ性能、工程歩留まり、検査、認定能力 に集中する。自社条件で関連証拠を再現できる場合だけ次へ進む。

経営の3アクション

1. 事業会社: 熱・電気・歩留まり・修理・供給の同一条件で方式を比較する.
2. 供給企業: 材料、接合、検査、信頼性の工程窓を顧客と共同設計する.
3. 経営層: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定.

証拠の読み方

FACTは収集記事に書かれた内容、事業への読みとACTIONは編集判断、UNKNOWNは記事だけでは確定しない項目を示す。リンク先があることだけで、全主張が独立検証済みとは扱わない。

条件と一緒に読む主要数値・証拠

000億
A08

数値の条件
世界最大のOSAT(半導体後工程受託製造)プロバイダーであるASEが、台湾・高雄市の高雄科学工業団地に新工場「Luzhu(路竹)」を建設し、第1フェーズの稼働と第2フェーズの着工を行いました。本プロジェクトの総投資額は1,000億台湾ドル(30億米ドル)に達し、フル稼働後には年間最大800億台湾ドルの収益と5,000人の雇用創出が見込まれています。

46兆
A02

数値の条件
サムスン電子が忠清南道・牙山の温陽キャンパスに、次世代の高帯域幅メモリ(HBM)向けパッケージング施設の建設に着手した。同社は温陽に46兆ウォンを投じ、2028年6月の操業開始を目指す。これにより、従来の半導体組み立て・テスト拠点から、AI半導体の核心となる高度なHBMパッケージングの主要ハブへと機能を転換させる。

124 nm
A09

数値の条件
微量のニッケル(Ni)をドープしたナノ結晶銅(Cu)フィルムを用いることで、低温でのCu-Cu接合における粒界エネルギーの制御に成功しました。特にCu-0.5Ni(124 nm)は高い粒界エネルギーを保持しており、250°Cの熱圧着時に界面を越えた顕著な結晶成長を誘発し、120 MPaのせん断強度を実現しています。さらに、安定なCu-0.25Ni(171 nm)と活性なCu-0.

93.75%
A05

数値の条件
UCIe Consortiumが、チップレットを単なる接続対象ではなく、一つの統合されたシステムとして動作させるための新規格「UCIe 4.0 Specification」を公開しました。データ効率最大93.75%、帯域密度約2.5 TB/s/mmのメモリ接続や、エネルギー効率を最大30-80%向上させる電力最適化プロファイルなどが導入されています。

2027年
A11

数値の条件
imecは、NanoICパイロットラインで開発中のシリコンインターポーザ・プラットフォームのベースラインフローを完了した。このプラットフォームは、TSV(シリコン貫通電極)や20 µmまでのマイクロバンプピッチをサポートし、高密度な2.5Dパッケージングを実現する。2027年初頭には専用のPDK(プロセス設計キット)が提供される予定であり、欧州におけるチップレット統合のハードルを下げ、AIや車載向け次世代システムの開発を加速させる。

数値の読み方
数値は収集記事が示した条件と一緒に掲載する。試験法、寸法、温度、商用段階が異なる値を、条件補正なしで比較しない。

バリューチェーンはどこで動いたか

各段階に主テーマと補助テーマを接続する。矢印は装飾ではなく、次工程へ渡す証拠を示す。

1

材料

P01/P06

Hummink社が、高精度キャピラリープリント(HPCaP)技術を用いた「BIRDモジュール」をSEMICON Europa 2026で公開した。本モジュールは0.

2

接合・組立

P02/P07

世界最大のOSAT(半導体後工程受託製造)プロバイダーであるASEが、台湾・高雄市の高雄科学工業団地に新工場「Luzhu(路竹)」を建設し、第1フェーズの稼働と第2フェーズの着工を行いました。

3

先端PKG

P03/P08

サムスン電子が忠清南道・牙山の温陽キャンパスに、次世代の高帯域幅メモリ(HBM)向けパッケージング施設の建設に着手した。同社は温陽に46兆ウォンを投じ、2028年6月の操業開始を目指す。

4

試験・検査

P04/P09

微量のニッケル(Ni)をドープしたナノ結晶銅(Cu)フィルムを用いることで、低温でのCu-Cu接合における粒界エネルギーの制御に成功しました。特にCu-0.

5

量産供給

P05/P10

UCIe Consortiumが、チップレットを単なる接続対象ではなく、一つの統合されたシステムとして動作させるための新規格「UCIe 4.0 Specification」を公開しました。データ効率最大93.75%、帯域密度約2.

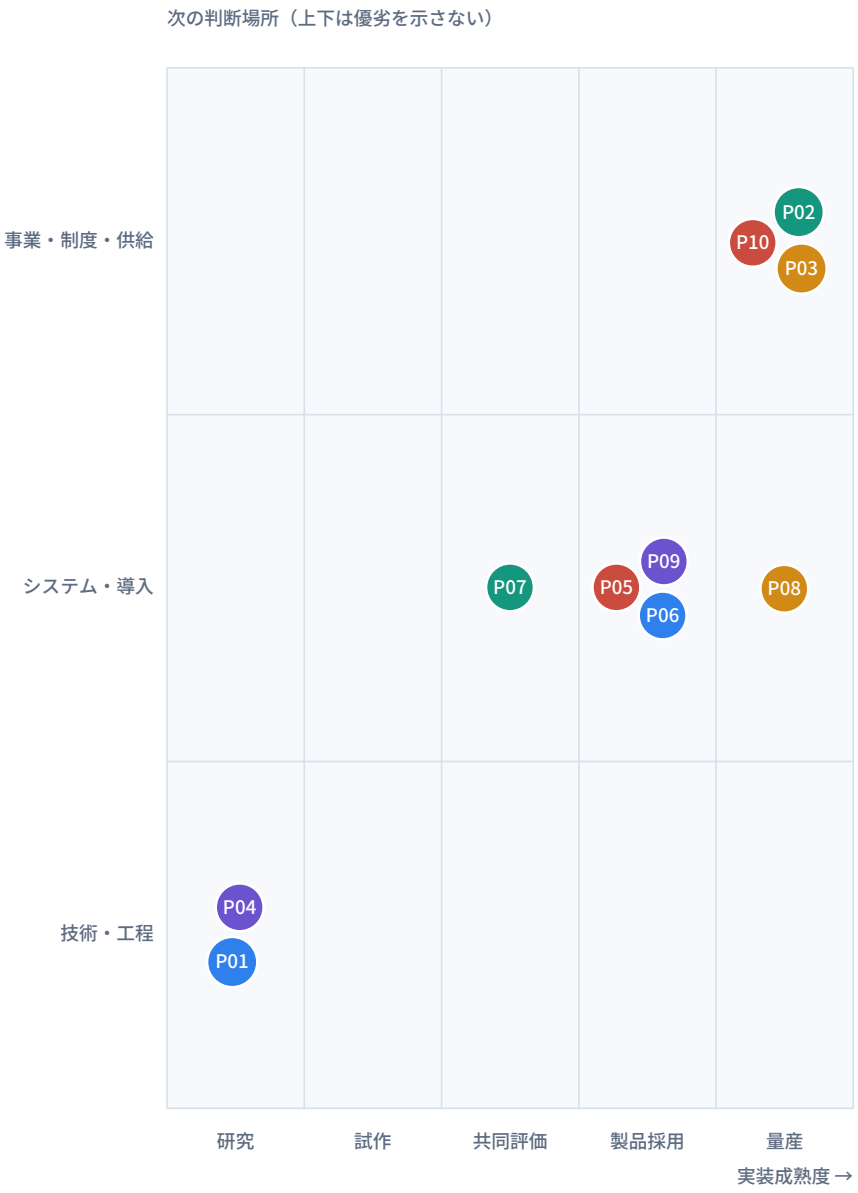
各受渡しで必要な証拠

材料 → 接合・組立	試験条件、受入基準、故障データ、担当、判断日を渡し、再確認する: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定.
接合・組立 → 先端PKG	試験条件、受入基準、故障データ、担当、判断日を渡し、再確認する: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定.
先端PKG → 試験・検査	試験条件、受入基準、故障データ、担当、判断日を渡し、再確認する: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定.
試験・検査 → 量産供給	試験条件、受入基準、故障データ、担当、判断日を渡し、再確認する: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定.

共通管理点

担当者が関連証拠を再現し、次を記録するまで商用判断へ進めない: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定.

プライオリティマップ:実装成熟度と次の判断場所



P01	BIRDモジュール|Hummink社の高精度プリント技術による欠陥修復と歩留まり改善 技術・工程 | 根拠: 統合・事業語なし
P02	ASE|高雄市に新工場を建設、AI向け先端パッケージングの量産能力と投資規模 事業・制度・供給 | 根拠: 投資
P03	Samsung HBMパッケージング施設|忠清南道・牙山への投資規模と量産開始時期 事業・制度・供給 | 根拠: 投資
P04	Cu-Cu接合|微量Niドープによる低温接合の実現とせん断強度153 MPaの達成 技術・工程 | 根拠: 統合・事業語なし
P05	UCIe 4.0仕様|チップレット間接続からシステム統合へ、性能とセキュリティの向上 システム・導入 | 根拠: システム
P06	ACIRとは|imecとASRAが策定した車載チップレット相互運用性の要件 システム・導入 | 根拠: 統合
P07	imecのシリコンインターポーザ|欧州チップレット開発向けプラットフォームの仕様とPDK提供時期 システム・導入 | 根拠: 統合
P08	TSMC|Xintecへの委託によるCoWoSパッケージング容量の拡大と量産時期 システム・導入 | 根拠: 量産
P09	Samsung 3D Cube-H|ハイブリッドボンディング採用の次世代パッケージ開発時期と課題 システム・導入 | 根拠: 採用
P10	三井金属|AIデータセンター向け銅箔の新工場建設、投資額と量産時期 事業・制度・供給 | 根拠: 投資

再現可能な配置ルール

横軸は研究・試作・共同評価・製品採用・量産の5段階。縦の帯は次の判断場所を技術・工程、システム・導入、事業・制度・供給に分ける。まず記事見出しの根拠語を使い、見出しで判断できない場合だけ概要を参照する。上下は影響の大小を意味しない。円径は編集スコアを示す。

FACTは収集記事に接続し、事業への読み、ACTION、UNKNOWNは編集判断として分離する。

P01 BIRDモジュール|Hummink社の高精度プリント技術による欠陥修復と歩留まり改善

A10 | 材料 | 研究　　2026-11-11

FACT
Hummink社が、高精度キャピラリープリント(HPCaP)技術を用いた「BIRDモジュール」をSEMICON Europa 2026で公開した。本モジュールは0.6〜50 µmのミクロン単位のプリントを可能にし、製造工程内での直接的な欠陥修復や表面機能化を実現する。これにより、特に高度なパッケージング工程における歩留まり損失を大幅に削減し、基板あたりの回収価値を数万ユーロにまで高めることが期待される。

なぜ重要か
判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

事業への読み
事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

ACTION
30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP01の評価票へ記録する。

UNKNOWN
記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 19/25 | 成熟度 1/5 | 判断場所: 技術・工程

P02 ASE|高雄市に新工場を建設、AI向け先端パッケージングの量産能力と投資規模

A08 | 接合・組立 | 量産　　2026-11-13

FACT
世界最大のOSAT(半導体後工程受託製造)プロバイダーであるASEが、台湾・高雄市の高雄科学工業団地に新工場「Luzhu(路竹)」を建設し、第1フェーズの稼働と第2フェーズの着工を行いました。本プロジェクトの総投資額は1,000億台湾ドル(30億米ドル)に達し、フル稼働後には年間最大800億台湾ドルの収益と5,000人の雇用創出が見込まれています。AIおよびハイパフォーマンスコンピューティング(HPC)向けチップの需要急増に伴い、より複雑な後工程サービスの提供能力を強化することが狙いです。

なぜ重要か
判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

事業への読み
事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

ACTION
30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP02の評価票へ記録する。

UNKNOWN
記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 19/25 | 成熟度 5/5 | 判断場所: 事業・制度・供給

FACTは収集記事に接続し、事業への読み、ACTION、UNKNOWNは編集判断として分離する。

P03 Samsung HBMパッケージング施設|忠清南道・牙山への投資規模と量産開始時期

A02 | 先端PKG | 量産

2026-11-12

FACT

サムスン電子が忠清南道・牙山の温陽キャンパスに、次世代の高帯域幅メモリ(HBM)向けパッケージング施設の建設に着手した。同社は温陽に46兆ウォンを投じ、2028年6月の操業開始を目指す。これにより、従来の半導体組み立て・テスト拠点から、AI半導体の核心となる高度なHBMパッケージングの主要ハブへと機能を転換させる。

なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP03の評価票へ記録する。

UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 19/25 | 成熟度 5/5 | 判断場所: 事業・制度・供給

P04 Cu-Cu接合|微量Niドープによる低温接合の実現とせん断強度153 MPaの達成

A09 | 試験・検査 | 研究

2026-11-13

FACT

微量のニッケル(Ni)をドープしたナノ結晶銅(Cu)フィルムを用いることで、低温でのCu-Cu接合における粒界エネルギーの制御に成功しました。特にCu-0.5Ni(124 nm)は高い粒界エネルギーを保持しており、250°Cの熱圧着時に界面を越えた顕著な結晶成長を誘発し、120 MPaのせん断強度を実現しています。さらに、安定なCu-0.25Ni(171 nm)と活性なCu-0.5Niを組み合わせた非対称構造により、153 MPaという高いせん断強度を達成しました。この手法は、次世代の高度パッケージングにおける構造安定性と接合性の両立を実現する実用的な熱力学的枠組みを提供します。

なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP04の評価票へ記録する。

UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 18/25 | 成熟度 1/5 | 判断場所: 技術・工程

FACTは収集記事に接続し、事業への読み、ACTION、UNKNOWNは編集判断として分離する。

P05 UCIe 4.0仕様|チップレット間接続からシステム統合へ、性能とセキュリティの向上

A05 | 量産供給 | 製品採用

2026-11-12

FACT

UCIe Consortiumが、チップレットを単なる接続対象ではなく、一つの統合されたシステムとして動作させるための新規格「UCIe 4.0 Specification」を公開しました。データ効率最大93.75%、帯域密度約2.5 TB/s/mmのメモリ接続や、エネルギー効率を最大30-80%向上させる電力最適化プロファイルなどが導入されています。これにより、異なるベンダーのチップレットを混在させた高度なヘテロジニアス・システムの構築に向けた、信頼性と管理性の基盤が提供されます。

なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP05の評価票へ記録する。

UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 18/25 | 成熟度 4/5 | 判断場所: システム・導入

P06 ACIRとは|imecとASRAが策定した車載チップレット相互運用性の要件

A06 | 材料 | 製品採用

2026-11-12

FACT

imecと日本のASRAが、相互運用可能な車載チップレットのための共通アーキテクチャ要件「ACIR(Automotive Chiplet Interoperability Requirement)」を公開した。ACIRは、エラー管理、ブートシーケンス、電源管理、機能安全などの共通要件を定義し、異なるベンダー間のチップレット統合を支援する。これにより、開発コストの増大に直面しているモノリシックSoCに代わる、オープンなチップレットエコシステムの構築と導入リスクの低減が期待される。

なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP06の評価票へ記録する。

UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 18/25 | 成熟度 4/5 | 判断場所: システム・導入

FACTは収集記事に接続し、事業への読み、ACTION、UNKNOWNは編集判断として分離する。

P07 imecのシリコンインターポーザ|欧州チップレット開発向けプラットフォームの仕様とPDK提供時期

A11 | 接合・組立 | 共同評価

2026-11-11

FACT

imecは、NanoICパイロットラインで開発中のシリコンインターポーザ・プラットフォームのベースラインフローを完了した。このプラットフォームは、TSV(シリコン貫通電極)や20 µmまでのマイクロバンプピッチをサポートし、高密度な2.5Dパッケージングを実現する。2027年初頭には専用のPDK(プロセス設計キット)が提供される予定であり、欧州におけるチップレット統合のハードルを下げ、AIや車載向け次世代システムの開発を加速させる。

なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP07の評価票へ記録する。

UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 18/25 | 成熟度 3/5 | 判断場所: システム・導入

P08 TSMC|XintecへのCoWoSパッケージング容量の拡大と量産時期

A01 | 先端PKG | 量産

2026-11-13

FACT

TSMCは、先端パッケージング技術の生産能力を拡大するため、Xintec社と7年間の契約を締結しました。Xintecは台中の中台湾科学園区にあるTSMC施設内に、CoWoS(chip-on-wafer-on-substrate)のオンサブストレート工程専用のラインを構築し、2029年の量産開始を目指します。世界的なプロセッサ需要の高まりを受け、ボトルネックとなっている先端パッケージングの供給体制を強化する戦略的な動きです。

なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP08の評価票へ記録する。

UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 18/25 | 成熟度 5/5 | 判断場所: システム・導入

FACTは収集記事に接続し、事業への読み、ACTION、UNKNOWNは編集判断として分離する。

P09 Samsung 3D Cube-H|ハイブリッドボンディング採用の次世代パッケージ開発時期と課題

A03 | 試験・検査 | 製品採用

2026-11-11

FACT

サムスン電子が、ハイブリッドボンディングを採用した次世代3Dパッケージング技術「3D Cube-H」の開発を2027年初頭までに完了させる計画です。この技術はロジックチップの垂直積層を可能にし、インターコネクトピッチを約6μmまで微細化します。これにより、AI半導体の性能向上とエネルギー効率の改善、およびファウンドリ事業における競争力強化を目指します。

なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP09の評価票へ記録する。

UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 18/25 | 成熟度 4/5 | 判断場所: システム・導入

P10 三井金属|AIデータセンター向け銅箔の新工場建設、投資額と量産時期

A14 | 量産供給 | 量産

2026-11-10

FACT

三井金属がマレーシアに1900億円を投じ、AIデータセンターや先端半導体向けの銅箔新工場を建設することを発表した。2031年4月から順次稼働させる予定で、世界シェアほぼ100%を誇る極薄銅箔「マイクロシン」と低伝送損失の「VSP」の2種類を生産する。AI特需による光通信部品などの旺盛な需要への対応を目的としており、生産能力を大幅に引き上げる計画である。

なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP10の評価票へ記録する。

UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 18/25 | 成熟度 5/5 | 判断場所: 事業・制度・供給

関係者別プレイブックと0-5年ロードマップ

関係者	NOW | 0-30日	NEXT | 1-12か月	LATER | 1-5年
事業会社	熱・電気・歩留まり・修理・供給の同一条件で方式を比較する	量産相当条件で受入基準と停止基準を明示して評価する。	技術・供給者の変更を吸収できるポートフォリオと設計へ移る。
材料・装置・技術企業	材料、接合、検査、信頼性の工程窓を顧客と共同設計する	顧客と信頼性・工程窓・故障解析の共通データを作る。	界面、履歴、ライフサイクル支援、回収サービスを標準化する。
商社・投資・法務	Map 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定.	能力、品質、変更通知、責任、代替、撤退を契約へ入れる。	地域・技術・顧客の集中リスクを分散する。

ロードマップ

NOW | 0-30日
証拠台帳
担当: Strategy + quality
成果物: claim, source, condition, owner

NOW | 0-30日
リスク選別
担当: Procurement + legal
成果物: unknowns, alternatives, stop

NEXT | 1-12か月
共同認定
担当: R&D + supplier
成果物: 工程窓・故障データ

NEXT | 1-12か月
商用ゲート
担当: Business + finance
成果物: 単位採算・供給能力

LATER | 1-5年
プラットフォーム戦略
担当: 経営
成果物: ポートフォリオ・界面ロードマップ

LATER | 1-5年
サービス層
担当: Operations + channel
成果物: 監視・保守・回復

Go / No-Goゲート

ゲート	担当	必要な証拠	中止条件
G1 証拠	品質	出典・試験条件・再現性	追跡可能な証拠なし
G2 統合	研究開発	界面・工程窓・故障解析	システム条件を満たさない
G3 商用	事業	能力・総原価・契約・代替	採算または供給が成立しない
G4 運用	運用	監視・保守・変更通知・撤退	責任ある運用計画なし

分析対象記事 | 01-14件目

全記事の正式タイトルと元記事URLを省略せず表示する。URLは折返しても全文を保持し、クリックできる。

ID	記事タイトル(全文)	元記事URL(全文・クリック可能)
A01	TSMC|Xintecへの委託によるCoWoSパッケージング容量の拡大と量産時期	https://www.taiwannews.com.tw/news/6476137
A02	Samsung HBMパッケージング施設|忠清南道・牙山への投資規模と量産開始時期	https://www.koreatimes.co.kr/business/companies/20261112/samsung-electronics-breaks-ground-on-new-hbm-packaging-facility-in-asan
A03	Samsung 3D Cube-H|ハイブリッドボンディング採用の次世代パッケージ開発時期と課題	https://www.trendforce.com/news/2026/11/11/news-samsung-reportedly-eyes-early-2027-for-3d-cube-h-advanced-packaging-development-featuring-hybrid-bonding/
A04	SKハイニックスHBM4|歩留まり70%超えによる量産競争力と供給能力の現状	https://biz.chosun.com/jp/jp-it/2026/11/12/2L23Z4N7VNF3PGESREKC6XZX3M/
A05	UCIe 4.0仕様|チップレット間接続からシステム統合へ、性能とセキュリティの向上	https://finance.yahoo.com/technology/articles/ucie-consortium-advances-chiplet-connectivity-130000549.html
A06	ACIRとは|imecとASRAが策定した車載チップレット相互運用性の要件	https://www.semiconductor-digest.com/imec-and-asra-release-joint-architectural-requirements-for-interoperable-automotive-chiplets/
A07	JX金属|次世代ガラス基板の微細配線・ビア充填における材料活用と採用実績	https://monoist.itmedia.co.jp/mn/articles/2611/12/news020.html
A08	ASE|高雄市に新工場を建設、AI向け先端パッケージングの量産能力と投資規模	https://www.taiwannews.com.tw/news/6475880
A09	Cu-Cu接合|微量Niドープによる低温接合の実現とせん断強度153 MPaの達成	https://doi.org/10.21203/rs.3.rs-11337729/v1
A10	BIRDモジュール|Hummink社の高精度プリント技術による欠陥修復と歩留まり改善	https://www.semiconductor-digest.com/hummink-unveils-the-bird-module-at-semicon-europa-2026/
A11	imecのシリコンインターポーザ|欧州チップレット開発向けプラットフォームの仕様とPDK提供時期	https://www.semiconductor-digest.com/imec-advances-silicon-interposer-platform-for-european-chiplet-development/
A12	SK Hynix HBM4|第6世代高帯域幅メモリの歩留まりとSamsungの設備拡張	https://www.digitimes.com/news/a20261113VL217/sk-hynix-hbm4-production-packaging-samsung.html
A13	荏原製作所|半導体関連装置の生産能力拡充、JDI茂原工場の賃借と2026年度比の目標	https://www.nikkei.com/article/DGXZRSP715256_T11C26A1000000/
A14	三井金属|AIデータセンター向け銅箔の新工場建設、投資額と量産時期	https://www.nikkei.com/article/DGXZQOUC106U90Q6A111C2000000/

半導体後工程 採用記事全文集

出力日: 2026-11-15

採用記事数: 14 件

収録記事一覧

#01 TSMC｜XintecへのCoWoSパッケージング容量の拡大と量産時期

#02 Samsung HBMパッケージング施設｜忠清南道・牙山への投資規模と量産開始時期

#03 Samsung 3D Cube-H｜ハイブリッドボンディング採用の次世代パッケージ開発時期と課題

#04 SKハイニックスHBM4｜歩留まり70%超えによる量産競争力と供給能力の現状

#05 UCIe 4.0仕様｜チップレット間接続からシステム統合へ、性能とセキュリティの向上

#06 ACIRとは｜imecとASRAが策定した車載チップレット相互運用性の要件

#07 JX金属｜次世代ガラス基板の微細配線・ビア充填における材料活用と採用実績

#08 ASE｜高雄市に新工場を建設、AI向け先端パッケージングの量産能力と投資規模

#09 Cu–Cu接合｜微量Niドープによる低温接合の実現とせん断強度153 MPaの達成

#10 BIRDモジュール｜Hummink社の高精度プリント技術による欠陥修復と歩留まり改善

#11 imecのシリコンインターポーザ｜欧州チップレット開発向けプラットフォームの仕様とPDK提供時期

#12 SK Hynix HBM4｜第6世代高帯域幅メモリの歩留まりとSamsungの設備拡張

#13 荏原製作所｜半導体関連装置の生産能力拡充、JDI茂原工場の賃借と2026年度比の目標

#14 三井金属｜AIデータセンター向け銅箔の新工場建設、投資額と量産時期

#01 TSMC｜Xintecへの委託によるCoWoSパッケージング容量の拡大と量産時期

公開日 2026年11月13日　Taiwan News　台湾



概要

TSMCは、先端パッケージング技術の生産能力を拡大するため、Xintec社と7年間の契約を締結しました。Xintecは台中の中台湾科学園区にあるTSMC施設内に、CoWoS（chip-on-wafer-on-substrate）のオンサブストレート工程専用のラインを構築し、2029年の量産開始を目指します。世界的なプロセッサ需要の高まりを受け、ボトルネックとなっている先端パッケージングの供給体制を強化する戦略的な動きです。

詳細

主要成果

TSMCは、先端パッケージングの生産能力を拡張するため、Xintec社と7年間にわたる業務提携に合意しました。この合意に基づき、XintecはTSMCが台中の中台湾科学園区に保有する施設内に、専用の生産ラインを構築・運営します。このラインは、TSMCの高度なパッケージング技術であるCoWoS（chip-on-wafer-on-substrate）のうち、オンサブストレート（基板上）工程に特化したものとなります。量産開始は2029年を予定しています。

技術・詳細

Xintecは本プロジェクトの初期構築資金を確保するため、取締役会にて150億台湾ドル（4億5632万米ドル）の転換社債の発行を承認しました。この資金を用いて、生産設備および工場内での材料移動を担う自動搬送システム（automated material handling systems）への投資を行います。また、XintecはTSMCの厳格な基準を満たすため、ラインの仕様、品質、および歩留まり（yields）について、TSMCと密接に連携して最適化を図る計画です。

背景・業界の文脈

TSMCとXintecは極めて密接な資本・業務関係にあります。TSMCはXintecの筆頭株主であり、約41%の株式を保有しています。また、Xintecの売上高の70%以上がTSMC関連の業務に依存している状況です。業界全体では、かつては軽視されていた先端パッケージングが、現在では世界最高峰のプロセッサを製造する上での決定的なボトルネック（chokepoint）となっており、TSMCがCoWoSなどの高度な技術で市場を支配する一方で、競合他社も同様にキャパシティの確保を急いでいます。

今後の展望

今回の提携により、TSMCは自社施設内に外部パートナーであるXintecのラインを組み込む形で、効率的にCoWoSの生産能力を底上げすることが可能になります。2029年の量産開始に向けて、自動化システムの導入とTSMC基準の品質管理体制が構築されることで、ハイエンドチップの供給制約の解消が期待されます。

参考技術解説：CoWoS：https://troy-technical.jp/semiconductor-back-end-term-cowos/

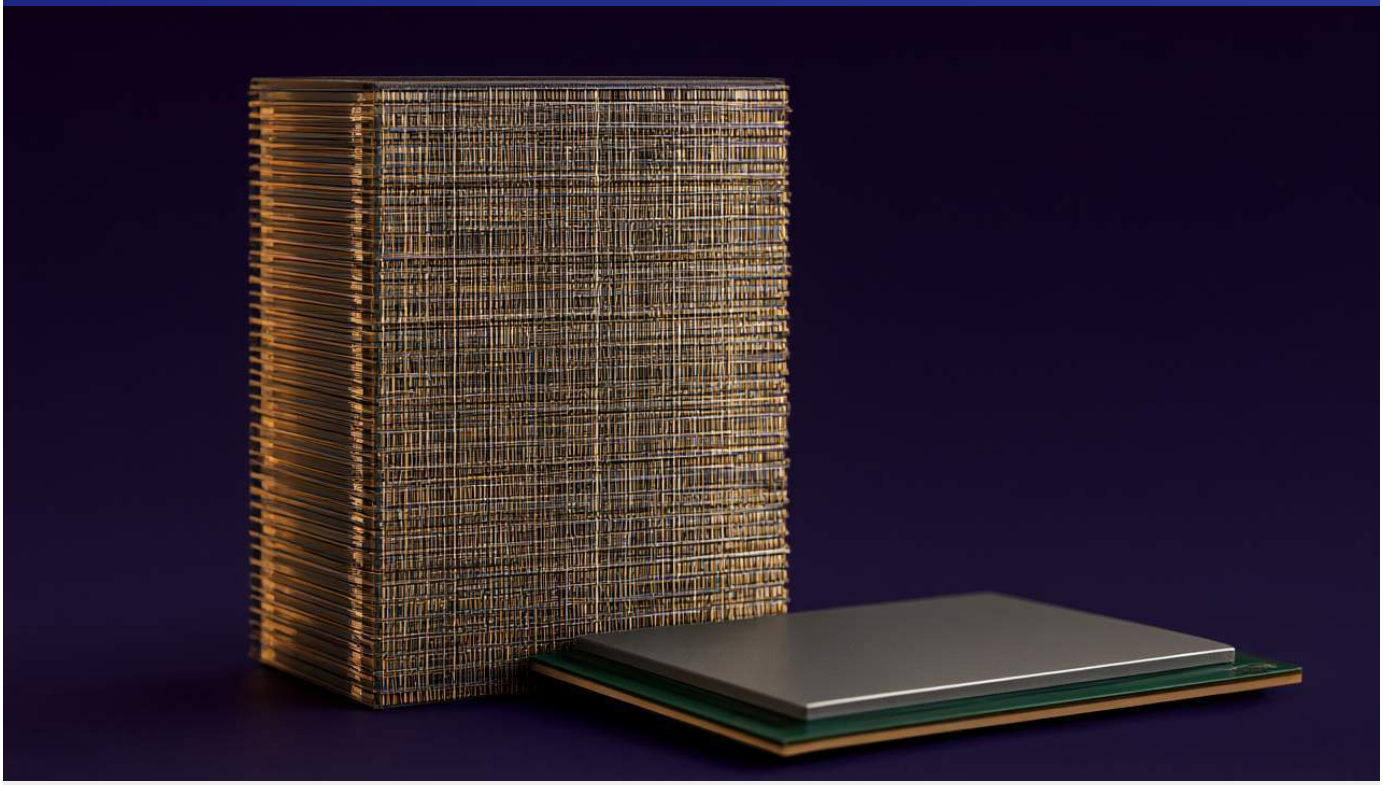
参考企業解説：TSMC：https://troy-technical.jp/semiconductor-back-end-company-tsmc/

元記事: https://www.taiwannews.com.tw/news/6476137

収集日: 2026年11月15日 | 自動記事収集・翻訳システム (AI使用)

#02 Samsung HBMパッケージング施設｜忠清南道・牙山への投資規模と量産開始時期

公開日 2026年11月12日　The Korea Times　韓国



概要

サムスン電子が忠清南道・牙山の温陽キャンパスに、次世代の高帯域幅メモリ（HBM）向けパッケージング施設の建設に着手した。同社は温陽に46兆ウォンを投じ、2028年6月の操業開始を目指す。これにより、従来の半導体組み立て・テスト拠点から、AI半導体の核心となる高度なHBMパッケージングの主要ハブへと機能を転換させる。

詳細

主要成果

サムスン電子は、忠清南道・牙山の温陽キャンパスにおいて、新しい半導体パッケージング施設の起工式を行った。このプロジェクトは、サムスン電子およびグループ3社による総額144兆ウォン（1,084億ドル）の地域投資計画の一環である。温陽の新施設は、当初の予定を1年前倒しし、2028年6月の操業開始を目標としている。

技術・詳細

新設される第5ラインは、3フロアにわたって約31,000平方メートルのクリーンルームを備える。この拡張により、キャンパスの総床面積は270,000平方メートルから約420,000平方メートルへと拡大する。投資額の内訳は、温陽の新HBM生産ラインに計46兆ウォンを投じ、そのうち6兆ウォンを建設に、40兆ウォンを段階的に導入する高度な設備に充てる計画だ。

本施設は、従来の半導体組み立ておよびテストという役割を超え、AI半導体の心臓部となる高度なHBM（高帯域幅メモリ）パッケージングを担う拠点となる。また、この投資により約700人の雇用が創出される見込みであり、建設期間中には1日平均3,400人が雇用され、2.6兆ウォンの経済波及効果が見込まれている。

背景・業界の文脈

今回の投資加速の背景には、サーバー用メモリチップの需要急増がある。サムスン電子は先月の第3四半期決算発表において、2027年分のHBM供給量に関する交渉は完了したものの、顧客から追加供給の要請を受けていると言及しており、供給不足の状態は2028年まで続くと予想している。

また、サムスン電子は忠清地域全体で60兆ウォンの投資を約束しており、温陽に加えて近隣の天安でも生産能力を拡大させる方針だ。あわせて、韓国政府（李在明大統領）は、電力や水道などの基幹インフラの整備や許認可手続きの簡素化など、プロジェクトを加速させるための全面的な支援を表明している。

今後の展望

サムスン電子以外のグループ会社も、忠清地域で大規模な投資を展開する。サムスンディスプレイは、折りたたみデバイスやノートPC、タブレット向けの新型OLED生産ラインを含む67兆ウォンを牙山と天安に投資し、2029年後半の量産を目指す。サムスン電機は、AIサーバー等に使用されるフリップチップボールグリッドアレイ（FC-BGA）基板の生産拡大に8兆ウォンを投じ、2028年9月の量産開始を予定している。さらにサムスンSDIは、次世代電池技術の開発と検証施設に9兆ウォンを投じる計画だ。

参考技術解説：HBM：https://troy-technical.jp/semiconductor-back-end-term-hbm/

参考技術解説：テスト：https://troy-technical.jp/semiconductor-back-end-term-test/

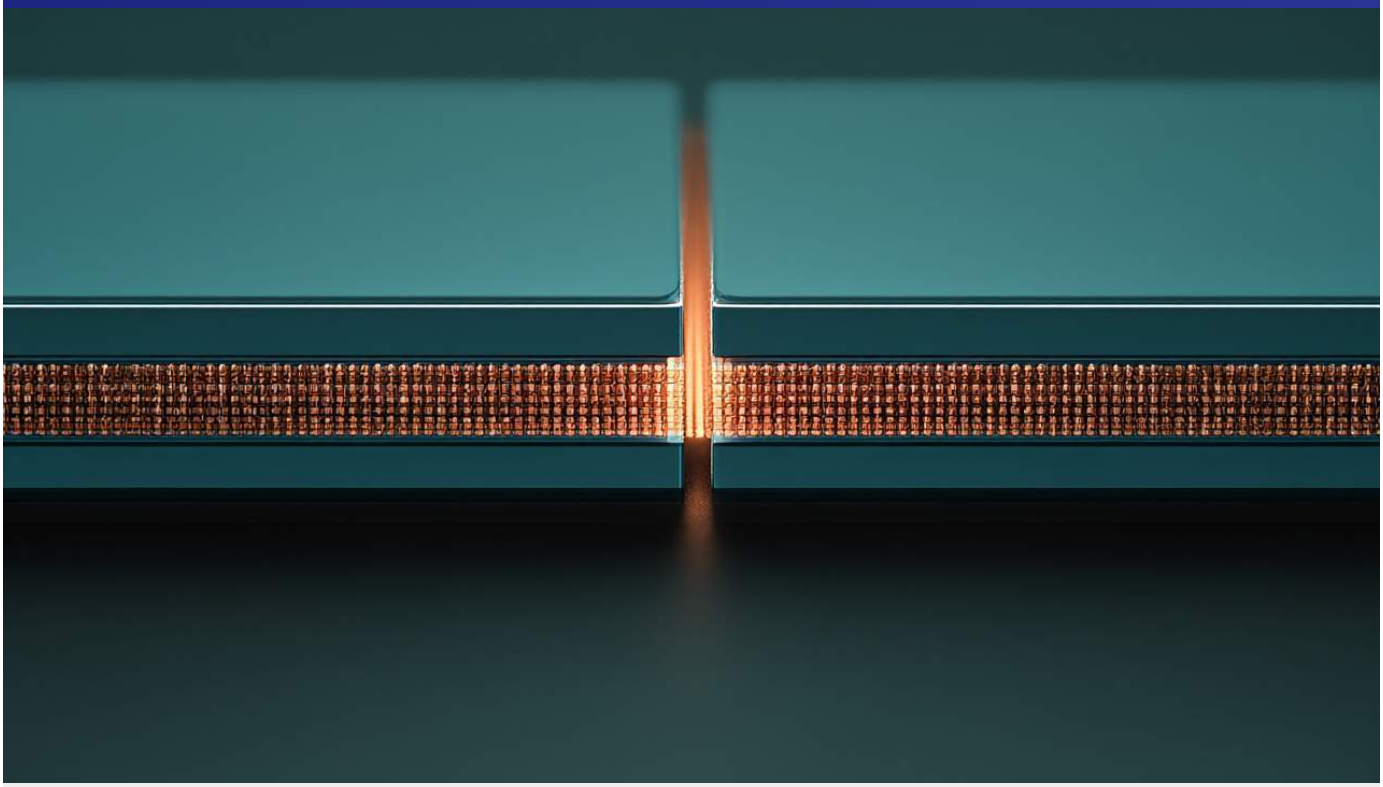
参考企業解説：サムスン電子：https://troy-technical.jp/semiconductor-back-end-company-samsung-electronics/

元記事: https://www.koreatimes.co.kr/business/companies/20261112/samsung-electronics-breaks-ground-on-new-hbm-packaging-facility-in-asan

収集日: 2026年11月15日 | 自動記事収集・翻訳システム (AI使用)

#03 Samsung 3D Cube-H｜ハイブリッドボンディング採用の次世代パッケージ開発時期と課題

公開日 2026年11月11日　TrendForce　台湾



概要

サムスン電子が、ハイブリッドボンディングを採用した次世代3Dパッケージング技術「3D Cube-H」の開発を2027年初頭までに完了させる計画です。この技術はロジックチップの垂直積層を可能にし、インターコネクトピッチを約6μmまで微細化します。これにより、AI半導体の性能向上とエネルギー効率の改善、およびファウンドリ事業における競争力強化を目指します。

詳細

主要成果

サムスン電子は、AIチップ製造におけるポジションを強化するため、次世代の3Dパッケージング技術「3D Cube-H」の開発を加速させています。業界関係者の情報によると、同社は2027年初頭までに同技術の開発を完了させ、同タイミングで最初のデザインキットを完成させる計画です。その後、潜在的な顧客による評価へと移行する見込みです。

技術・詳細

3D Cube-Hは、チップを横に並べるのではなく垂直に積層することで、同一フットプリント内でのトランジスタ密度を高める技術です。最大の特徴は、チップ間を直接接続する「ハイブリッドボンディング」を採用している点にあります。これにより、従来の熱圧縮（TC）ボンディングを用いた「3D Cube-T」よりも微細な接続が可能になります。

- **インターコネクトピッチ：** 3D Cube-Hでは約6μmを実現。これは、既存のTCボンディングベースのチップにおける最小ピッチである約25μmよりも大幅に微細化されています。
- **接続方式：** 熱と圧力を用いて微小なバンプで接合するTCボンディングとは異なり、ハイブリッドボンディングはチップ間の銅端子を直接接続します。
- **期待される効果：** 接続密度の向上により、パフォーマンスとエネルギー効率が改善されるほか、熱特性の向上も期待されています。

背景・業界の文脈

この技術開発は、サムスンのファウンドリ事業に大きな影響を与える可能性があります。3D Cube-Hの開発に成功すれば、次世代AI半導体における競争力が強まり、主要テック企業からの製造受注を確保するための基盤になると見られています。想定される用途としては、GPUなどの高性能ロジックチップの積層や、ロジックチップとHBM（高帯域幅メモリ）などのメモリデバイスの統合が挙げられます。

今後の展望

一方で、ハイブリッドボンディングの実装には依然として技術的な課題が残っています。サムスンのパッケージング担当幹部はISMP 2026において、パーティクル汚染の制御とボイド（空隙）形成の防止が、開発における主要なハードルであると言及しています。

また、サムスンは研究体制の拡充も進めています。2026年11月1日には、イ・ジェヨン会長が日本・横浜に開設されたアドバンスド・パッケージ・ラボ（APL）を視察し、材料およびプロセス技術の進捗を確認しました。同社は2028年までの5年間で3,500億ウォン（2億6,200万ドル）を投じ、パッケージングの研究開発を推進し、日本のサプライヤーとの連携を強化する方針です。

参考技術解説：ボンディング：https://troy-technical.jp/semiconductor-back-end-term-bonding/

参考技術解説：バンプ：https://troy-technical.jp/semiconductor-back-end-term-bump/

参考技術解説：HBM：https://troy-technical.jp/semiconductor-back-end-term-hbm/

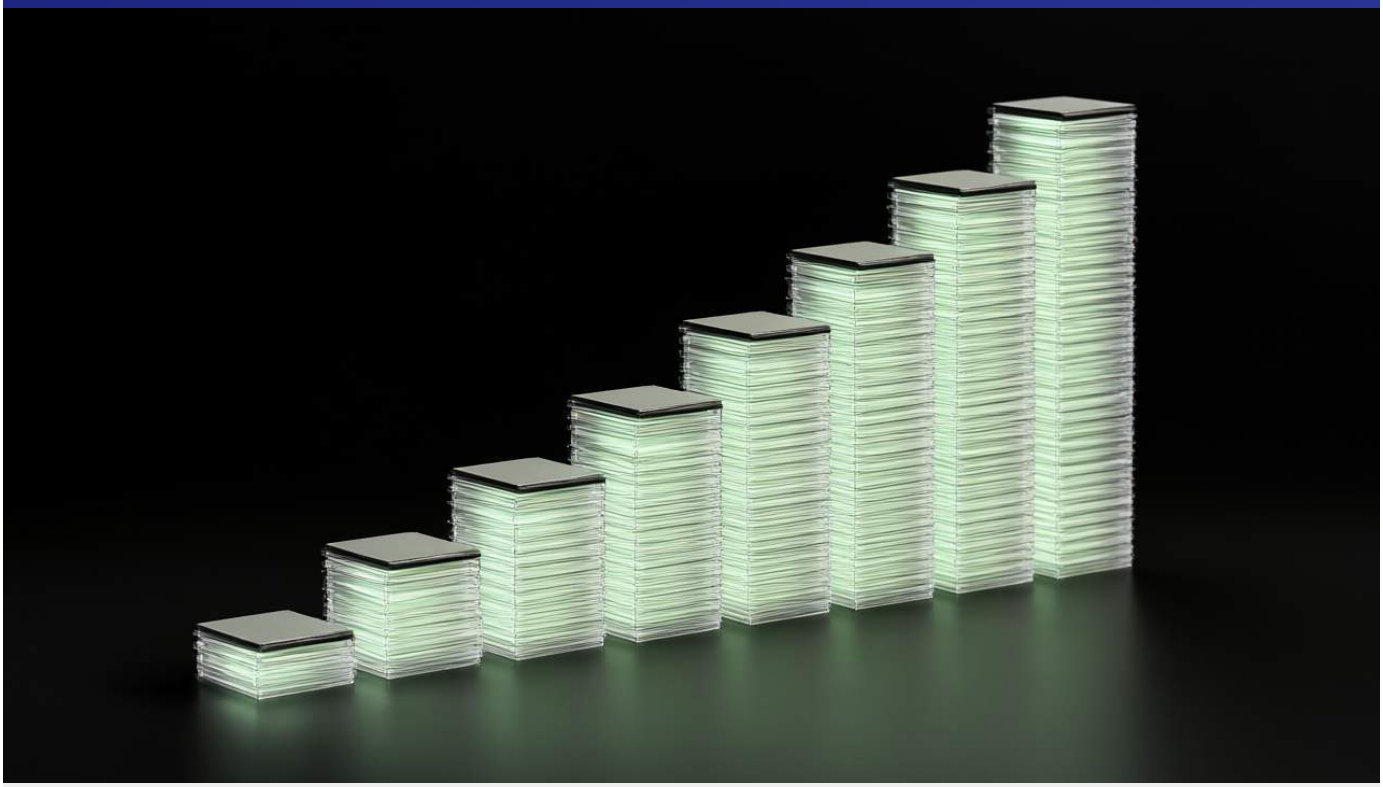
参考企業解説：サムスン電子：https://troy-technical.jp/semiconductor-back-end-company-samsung-electronics/

元記事: https://www.trendforce.com/news/2026/11/11/news-samsung-reportedly-eyes-early-2027-for-3d-cube-h-advanced-packaging-development-featuring-hybrid-bonding/

収集日: 2026年11月15日 | 自動記事収集・翻訳システム (AI使用)

#04 SKハイニックスHBM4｜歩留まり70%超えによる量産競争力と供給能力の現状

公開日 2026年11月12日　ChosunBiz　韓国



概要

SKハイニックスの第6世代高帯域幅メモリー（HBM4）の歩留まりが70%を上回る水準に達した。同社は前工程および後工程の両面で業界最上位水準の歩留まりを確保し、生産の安定化が進展している。HBM4は製造難度が高いため、この歩留まり改善が製造原価の低減とエヌビディア等の主要顧客への安定供給に直結し、次世代AIメモリー市場の主導権を左右する。

詳細

HBM4の歩留まり改善と生産安定化

SKハイニックスの第6世代高帯域幅メモリー（HBM4）において、歩留まりが70%を超える水準まで向上したことが明らかになった。同社は第3四半期の決算カンファレンスコールにおいて、HBM4の前工程および後工程の歩留まりがいずれも業界最上位水準にあると言及している。また、歩留まりが当初の計画を上回ったため、社内の目標値を上方修正したことも併せて説明しており、次世代製品の量産競争力に対する強い自信を示している。

HBM4の技術的特徴と製造の難易度

HBM4は、複数のDRAMを垂直に積層することでデータ処理速度と帯域幅を向上させた次世代メモリーである。技術的な大きな変更点として、第5世代であるHBM3Eと比較してデータ伝送経路を2倍に増やした「2048ビット・インターフェース」を適用し、帯域幅を拡大している。しかし、この積層・接続プロセスにおいて不良を最小限に抑える必要があるため、工程の精密度と安定性の確保が極めて重要となる。

HBMの製造は、個別チップの製造から積層、パッケージング、最終検査まで多段階の工程を経る。歩留まりが低い場合、最終工程で不良が判明しても前工程に投入した費用がすべて損失となるため、製造原価が高騰する構造にある。例えば、同一の算定基準において歩留まりが60%から70%に向上すれば、同じ投入量で確保できる良品数は約16.7%増加することになり、コスト競争力に大きな影響を与える。

AI半導体市場における競争背景

HBM4の歩留まり改善は、エヌビディアをはじめとする主要なAI半導体顧客への供給能力に直結する。AIアクセラレーターの性能向上に伴い、メモリーの帯域幅と電力効率への要求が厳格化しており、顧客が求める性能と品質を維持しながら安定的に物量を供給できるかが競争の核心となっている。競合他社であるサムスン電子についても、9月時点でHBM4の歩留まりが80%前後まで高まったとの業界観測が報じられているが、企業ごとに算定基準や測定時点が異なるため、単純な数値比較による優劣の判断は困難であるとされる。

今後の展望と市場シェアの決定要因

HBM3E市場で優位に立ったSKハイニックスが、次世代のHBM4でも主導権を維持するためには、単なる性能向上だけでなく、歩留まりの確保と生産能力の拡大を同時に達成する必要がある。業界関係者は、開発段階から「量産歩留まりとコスト競争力を確保する戦い」へとフェーズが移行したと分析している。今後の市場シェアは、初期量産の歩留まり改善速度と、安定的な供給能力をいかに構築できるかによって分かれる見通しである。

参考技術解説：HBM：https://troy-technical.jp/semiconductor-back-end-term-hbm/

参考企業解説：SKハイニックス：https://troy-technical.jp/semiconductor-back-end-company-sk-hynix/

参考企業解説：サムスン電子：https://troy-technical.jp/semiconductor-back-end-company-samsung-electronics/

元記事: https://biz.chosun.com/jp/jp-it/2026/11/12/2L23Z4N7VNF3PGESREKC6XZX3M/

収集日: 2026年11月15日 | 自動記事収集・翻訳システム (AI使用)

#05 UCIe 4.0仕様｜チップレット間接続からシステム統合へ、性能とセキュリティの向上

公開日 2026年11月12日　Business Wire（Yahoo Finance掲載）　アメリカ



概要

UCIe Consortiumが、チップレットを単なる接続対象ではなく、一つの統合されたシステムとして動作させるための新規格「UCIe 4.0 Specification」を公開しました。データ効率最大93.75%、帯域密度約2.5 TB/s/mmのメモリ接続や、エネルギー効率を最大30-80%向上させる電力最適化プロファイルなどが導入されています。これにより、異なるベンダーのチップレットを混在させた高度なヘテロジニアス・システムの構築に向けた、信頼性と管理性の基盤が提供されます。

詳細

主要成果

UCIe Consortiumは、チップレット間のインターフェース設計を超え、複数のチップレットを凝集したオンパッケージ・システムとして統合するための「UCIe 4.0 Specification」を発表しました。本仕様では、単なる接続性の確保にとどまらず、システムレベルでの管理機能、セキュリティ、電力効率、メモリ接続性、および信頼性の向上が図られています。

技術・詳細

本仕様の核心となる技術的改善は、主に以下の3点に集約されます。

- **メモリ接続の標準化と効率化：** SoCとメモリロジック・チップレット間の標準化されたオンパッケージ・メモリリンク（UCIe.memプロトコル）を導入しました。これにより、データ効率は最大93.75%、ダイエッジ帯域密度は約2.5 TB/s/mmに達し、ワークロードに応じたメモリ帯域の柔軟な拡張が可能になります。
- **電力および帯域密度の最適化：** 64 GT/sにおいてエネルギー効率を30-80%向上させるオプションの電力最適化プロファイルを提供します。また、UCIe-S 48 GT/sおよび64 GT/s向けの強化版バンプマップにより、ショアライン帯域密度を約20%、面積帯域密度を約10%向上させ、限られたフットプリントでより高い帯域を実現しています。
- **システムレベルのセキュリティと管理：** チップレットの状態を信頼して報告する「Trusted Reporting of Chiplet State (TRoCs)」を導入し、なりすましや操作された情報の排除を可能にしました。さらに、双方向の整合性保護管理チャネルと強化されたリセット管理により、異なるベンダーのチップレットが混在する環境でも、安全な通信と管理を実現します。

背景・業界の文脈

チップレット・アーキテクチャの高度化に伴い、計算、アクセラレータ、メモリなどの異なるコンポーネントをいかに効率的に管理し、セキュリティを確保しながらパッケージリソースを最適化するかが業界の課題となっていました。UCIe 4.0は、個々のインターフェースを独立して扱うのではなく、パッケージ全体で帯域、電力、面積、メモリリソースを最適化できる柔軟性を設計者に提供します。

今後の展望

UCIe 4.0は、オープンで相互運用可能なチップレット・エコシステムにおける高度なヘテロジニアス・システムの構築を加速させます。特に車載アプリケーションへの適用拡大を見据え、インターコネクトの整合性と潜在的な故障を可視化する、オプションのエラー通知およびリンクヘルスモニタリング機能などのシステムレベル機能が拡張されています。

参考技術解説：チップレット：https://troy-technical.jp/semiconductor-back-end-term-chiplet/

参考技術解説：インターコネクト：https://troy-technical.jp/semiconductor-back-end-term-interconnect/

元記事: https://finance.yahoo.com/technology/articles/ucie-consortium-advances-chiplet-connectivity-130000549.html

収集日: 2026年11月15日 | 自動記事収集・翻訳システム (AI使用)

#06 ACIRとは｜imecとASRAが策定した車載チップレット相互運用性の要件

公開日 2026年11月12日　Semiconductor Digest　アメリカ



概要

imecと日本のASRAが、相互運用可能な車載チップレットのための共通アーキテクチャ要件「ACIR（Automotive Chiplet Interoperability Requirement）」を公開した。ACIRは、エラー管理、ブートシーケンス、電源管理、機能安全などの共通要件を定義し、異なるベンダー間のチップレット統合を支援する。これにより、開発コストの増大に直面しているモノリシックSoCに代わる、オープンなチップレットエコシステムの構築と導入リスクの低減が期待される。

詳細

主要成果

半導体研究機関のimecと、日本のAdvanced SoC Research for Automotive（ASRA）は、相互運用可能な車載チップレットのための共通アーキテクチャ要件を定めた文書「ACIR（Automotive Chiplet Interoperability Requirement）」を共同で発表した。この文書は、日本で開催されたAutonomous Edge Chiplet Forum（AECF）で公開された。ACIRは、既存の標準規格を補完するものであり、オープンなチップレットエコシステムにおいて、異なるベンダーが開発したチップレットを統合し、相互に動作させるための共通基盤を提供することを目的としている。

技術・詳細

ACIRは、個別のベンダーがどのように機能を実装すべきかという手法を規定するのではなく、相互運用性を確保するためにチップレットがサポートすべき「要件」を定義している。具体的にカバーされる領域は以下の通りである。

- エラーおよびシステム管理
- ブートシーケンス（起動順序）
- 電源管理
- 機能安全（Functional Safety）
- 車載特有の相互運用性

例えば、ダイ間（die-to-die）の接続要件を整合させることで、独立して開発されたチップレットを大規模なシステムに統合した際に、円滑な通信と相互運用を可能にする。また、機能安全に関しては、共通のエラー報告インフラを定義することで、故障発生時に安全かつ予測可能な判断を下せるように設計されている。

背景・業界の文脈

自動車業界では、高度運転支援システム（ADAS）や（準）自動運転機能、インテリジェントコクピット、およびそれらを支える複雑なAIワークロードの増加に伴い、ハイパフォーマンスコンピューティング（HPC）への要求が急速に高まっている。従来、これらの計算需要は単一のダイで構成されるモノリシックSoC（System-on-Chip）で対応してきた。しかし、システムの複雑化に伴い、開発期間の長期化とコストの増大が深刻な課題となっており、モノリシックなアプローチを維持することが困難になっている。

この解決策として、特定の機能やコスト目標に合わせて最適化された独立したダイを組み合わせる「チップレットベースのアーキテクチャ」が有望視されている。ただし、異なるサプライヤーのチップレットを単に接続するだけでは不十分であり、システムレベルで協調動作させるための共通のアーキテクチャ要件が必要とされていた。

今後の展望

ACIRは、OEM、Tier-1サプライヤー、半導体ベンダー、IP・ソフトウェアプロバイダー、システムインテグレーター、ツールベンダー、研究機関など、広範なエコシステムに向けたオープンリファレンスとして提供される。これにより、OEMやTier-1サプライヤーは共通の技術要件を伝達することが可能になる。また、日本と欧州の自動車・半導体エコシステムが共通の要件で連携することで、グローバルな車載チップレットエコシステムの構築が進む。これにより、企業は差別化技術の開発に集中しつつ、将来的なマルチベンダーシステムへの統合や大規模な採用に対する信頼性を高めることができる。

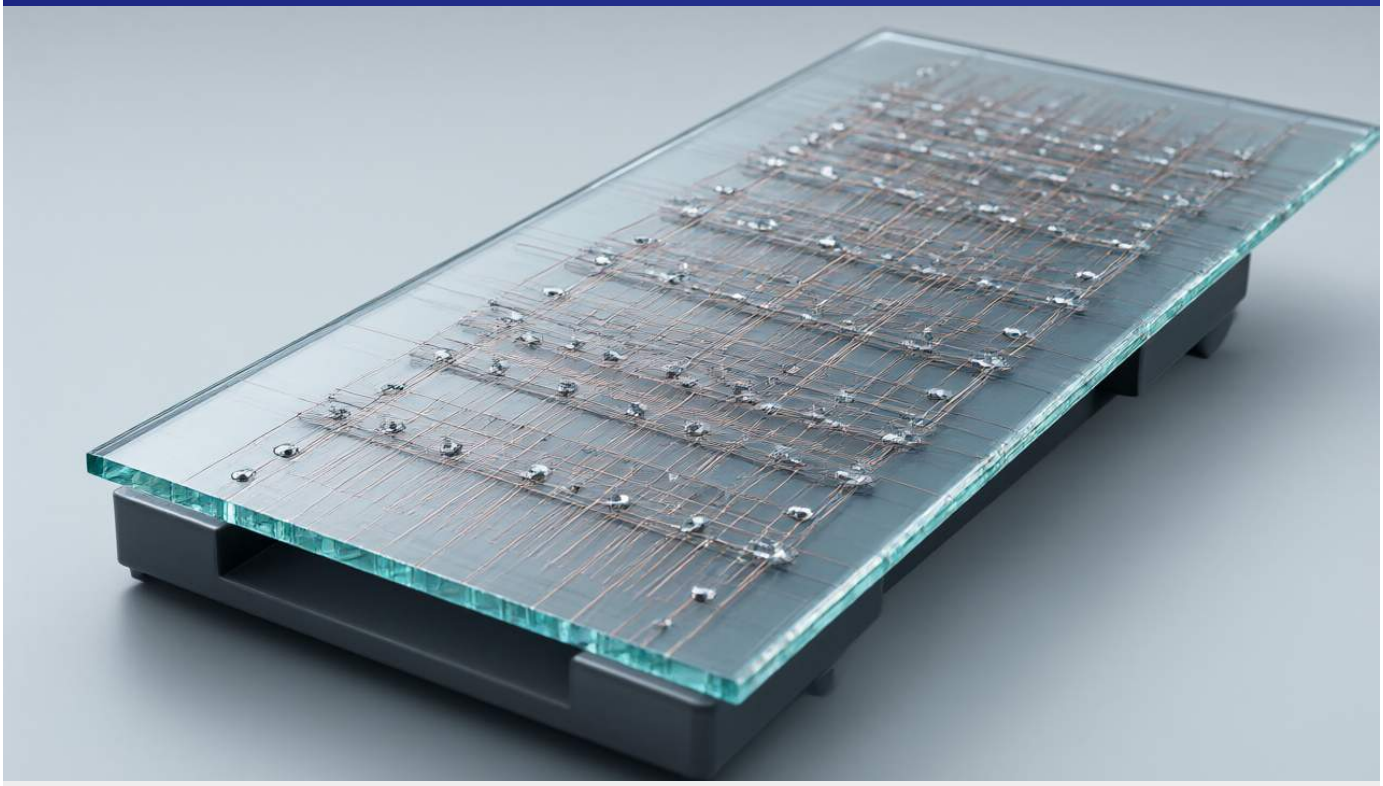
参考技術解説：チップレット：https://troy-technical.jp/semiconductor-back-end-term-chiplet/

元記事: https://www.semiconductor-digest.com/imec-and-asra-release-joint-architectural-requirements-for-interoperable-automotive-chiplets/

収集日: 2026年11月15日 | 自動記事収集・翻訳システム (AI使用)

#07 JX金属｜次世代ガラス基板の微細配線・ビア充填における材料活用と採用実績

公開日 2026年11月12日　MONOist　日本



概要

JX金属グループの材料が、台湾のITRI主導による次世代半導体パッケージ技術の開発プロジェクトに採用された。具体的には、ガラスインターポーザーの微細配線形成に同社のスパッタリングターゲットが、ガラスコア基板の貫通電極（TGV）充填にタツタ電線の導電性ペーストが活用された。これにより、AI半導体の高性能化に不可欠な、大型かつ高密度なパッケージ基板の実用化に向けたプロセス開発が進展する。

詳細

主要成果

JX金属は、台湾工業技術研究院（ITRI）が設立した国際的なアライアンス「Hi-CHIP（Heterogeneous Integration and Chiplet System Package Alliance）」において、次世代半導体パッケージ向けの材料提供を行い、プロセス開発に貢献した。この成果は、2026年10月21日に台湾で開催された国際会議「IMPACT 2026」で発表された。

技術・詳細

今回のプロジェクトでは、ガラス基板を用いた2つの異なるアプローチで材料が活用されている。

- **ガラスインターポーザーの微細配線形成：** JX金属の半導体用スパッタリングターゲットが使用された。これにより、配線形成の基礎となるシード層を良好に形成することに成功した。
- **ガラスコア基板のビア充填：** ガラス貫通電極（Through Glass Via：TGV）への充填工程において、グループ会社であるタツタ電線の導電性ペーストが活用され、ビア充填および導通形成が実施された。

ガラス基板（インターポーザーおよびコア基板）は、従来の材料と比較して平たん性が高く、寸法安定性に優れている。そのため、基板を大面積化しても反りや変形を抑制しやすく、極めて微細な配線を高精度に形成できるという特長を持つ。

背景・業界の文脈

AI（人工知能）半導体の進化に伴い、複数のチップを高密度に実装する「異種集積」や「チップレット」技術への需要が高まっている。Hi-CHIPは、Intel、ASML Holding、Applied Materialsの台湾拠点を含む台湾国内企業に加え、海外の材料・装置・実装メーカーが参画する国際的な連携基盤であり、設計から量産化までの技術開発を推進している。このような背景から、大型化と高密度化を同時に実現できるガラス基板が、次世代のパッケージ材料として期待を集めている。

今後の展望

ガラスインターポーザーやガラスコア基板の実用化が進むことで、その製造プロセスに不可欠なスパッタリングターゲットや導電性ペーストの重要性はさらに高まると見られている。JX金属グループは、これらの高機能材料を通じて、AI半導体の高性能化を支える次世代パッケージング技術の発展に寄与していく方針だ。

参考技術解説：ガラス基板：https://troy-technical.jp/semiconductor-back-end-term-glass-substrate/

参考技術解説：ビア：https://troy-technical.jp/semiconductor-back-end-term-via/

参考技術解説：チップレット：https://troy-technical.jp/semiconductor-back-end-term-chiplet/

参考企業解説：インテル：https://troy-technical.jp/semiconductor-back-end-company-intel/

参考企業解説：アプライド・マテリアルズ：https://troy-technical.jp/semiconductor-back-end-company-applied-materials/

元記事: https://monoist.itmedia.co.jp/mn/articles/2611/12/news020.html

収集日: 2026年11月15日 | 自動記事収集・翻訳システム (AI使用)

#08 ASE｜高雄市に新工場を建設、AI向け先端パッケージングの量産能力と投資規模

公開日 2026年11月13日　Taiwan News　台湾



概要

世界最大のOSAT（半導体後工程受託製造）プロバイダーであるASEが、台湾・高雄市の高雄科学工業団地に新工場「Luzhu（路竹）」を建設し、第1フェーズの稼働と第2フェーズの着工を行いました。本プロジェクトの総投資額は1,000億台湾ドル（30億米ドル）に達し、フル稼働後には年間最大800億台湾ドルの収益と5,000人の雇用創出が見込まれています。AIおよびハイパフォーマンスコンピューティング（HPC）向けチップの需要急増に伴い、より複雑な後工程サービスの提供能力を強化することが狙いです。

詳細

主要成果

ASEは、台湾・高雄市の高雄科学工業団地において、先端パッケージングの拠点となる新工場「Luzhu」の第1フェーズを開所し、同時に第2フェーズの着工を行いました。CTEEによると、このプロジェクトへの投資額は1,000億台湾ドル（30億米ドル）に及びます。両フェーズが完全に稼働した際、この施設は年間で最大800億台湾ドルの収益を上げ、5,000人の雇用を創出すると期待されています。

技術・詳細

Luzhu工場は、同社がすでに展開しているNanzi（楠梓）拠点に続き、高雄市における2つ目の主要な先端パッケージングハブとなります。拠点をNanziから北側へ拡張することで、台湾南部のウェハー製造メーカーやサプライヤーとの物理的な距離を縮め、パッケージングおよびテスト能力の最適化を図ります。

近年のAIチップの高度化に伴い、パッケージング技術には以下の高度な要求が課せられています。

- **異種チップの統合：** GPU（画像処理装置）とHBM（高帯域幅メモリ）など、異なる種類のチップを単一の基板上に統合し、コンピューティング性能を向上させる必要があります。
- **テスト工程の複雑化：** 製品出荷前に、多様な動作条件下で広範な機能チェックを行う必要があり、より高度な設備、プロセスの長期化、および高度な技術的専門知識が求められています。

背景・業界の文脈

ASEは市場シェアにおいて世界最大のOSATプロバイダーであり、チップのパッケージング、テスト、材料、および電子製造サービス（EMS）まで幅広くカバーしています。従来、パッケージングはチップの保護や信号接続という最終工程の役割に留まっていました。しかし、現在はパッケージング技術そのものがAIチップの性能と信頼性を決定づける重要な要因へと変化しています。

特にAI向けチップにおいては、パッケージングが単なる保護機能を超え、コンピューティング性能を直接的に左右する鍵となっているため、OSATプロバイダーの役割がこれまで以上に重要視されています。

今後の展望

ASEは、業界の急速な発展によって先端パッケージング技術への需要と生産能力の拡大が加速していると分析しています。同社は今後も、将来的な需要に応えるため、製造能力の拡充、技術開発、および人材への投資を継続的に行う方針です。

参考技術解説：OSAT：https://troy-technical.jp/semiconductor-back-end-term-osat/

参考技術解説：テスト：https://troy-technical.jp/semiconductor-back-end-term-test/

参考技術解説：HBM：https://troy-technical.jp/semiconductor-back-end-term-hbm/

参考企業解説：ASEグループ：https://troy-technical.jp/semiconductor-back-end-company-ase-group/

元記事: https://www.taiwannews.com.tw/news/6475880

収集日: 2026年11月15日 | 自動記事収集・翻訳システム (AI使用)

#09 Cu–Cu接合｜微量Niドープによる低温接合の実現とせん断強度153 MPaの達成

公開日 2026年11月13日　Research Square（Europe PMC）



概要

微量のニッケル（Ni）をドープしたナノ結晶銅（Cu）フィルムを用いることで、低温でのCu–Cu接合における粒界エネルギーの制御に成功しました。特にCu-0.5Ni（124 nm）は高い粒界エネルギーを保持しており、250°Cの熱圧着時に界面を越えた顕著な結晶成長を誘発し、120 MPaのせん断強度を実現しています。さらに、安定なCu-0.25Ni（171 nm）と活性なCu-0.5Niを組み合わせた非対称構造により、153 MPaという高いせん断強度を達成しました。この手法は、次世代の高度パッケージングにおける構造安定性と接合性の両立を実現する実用的な熱力学的枠組みを提供します。

詳細

主要成果

微量Niドープを施したナノ結晶Cuフィルムを用いることで、粒界エネルギーを制御し、低温でのCu–Cu接合強度を大幅に向上させる手法が開発されました。研究では、Niの濃度によって熱力学的安定性と接合性が変化することを明らかにしています。特に、安定なCu-0.25Ni（171 nm）と、熱力学的に活性なCu-0.5Ni（124 nm）を組み合わせた非対称接合構造を設計した結果、元の界面を効果的に消失させ、153 MPaという高いせん断強度を達成しました。

技術・詳細

本研究では、共電析法を用いて微量Niドープナノ結晶Cuフィルムを作製し、Ni濃度、粒界エネルギー、および低温接合性の関係を調査しました。実験の結果、Niドープ量によって粒界エネルギーが調整されることが判明しました。

- **Cu-0.25Ni（粒径171 nm）**：双晶境界の緩和により、高い熱的安定性を示す。
- **Cu-0.5Ni（粒径124 nm）**：相当量の粒界エネルギーを蓄積しており、熱力学的に活性な状態にある。

このCu-0.5Niの活性な状態は、250°Cでの熱圧着時に強力な駆動力を提供します。蓄積されたエネルギーが放出されることで拡散障壁を乗り越え、界面を横断する顕著な結晶成長がトリガーされ、単体で120 MPaの堅牢なせん断強度が得られました。

さらに、これら2種類のフィルムを組み合わせた「非対称接合アーキテクチャ」を導入しています。安定なCu-0.25Niと活性なCu-0.5Niをペアにすることで、界面に熱的安定性の勾配が生じます。これにより、一方向への顕著な粒界移動が促進され、接合界面が効果的に除去されることで、前述の153 MPaという高い強度を実現しました。

背景・業界の文脈

半導体パッケージングの高度化に伴い、Cu–Cu接合の低温化と高強度化の両立が重要な課題となっています。一般的に、構造的な安定性を高めると接合に必要なエネルギー（活性化エネルギー）が高くなり、低温での接合が困難になります。本研究で用いられた「粒界エンジニアリング」戦略は、材料内部にエネルギーを蓄積させることで、外部からの加熱温度を抑えつつ、接合時にそのエネルギーを効率的に利用して界面を消失させるアプローチです。

今後の展望

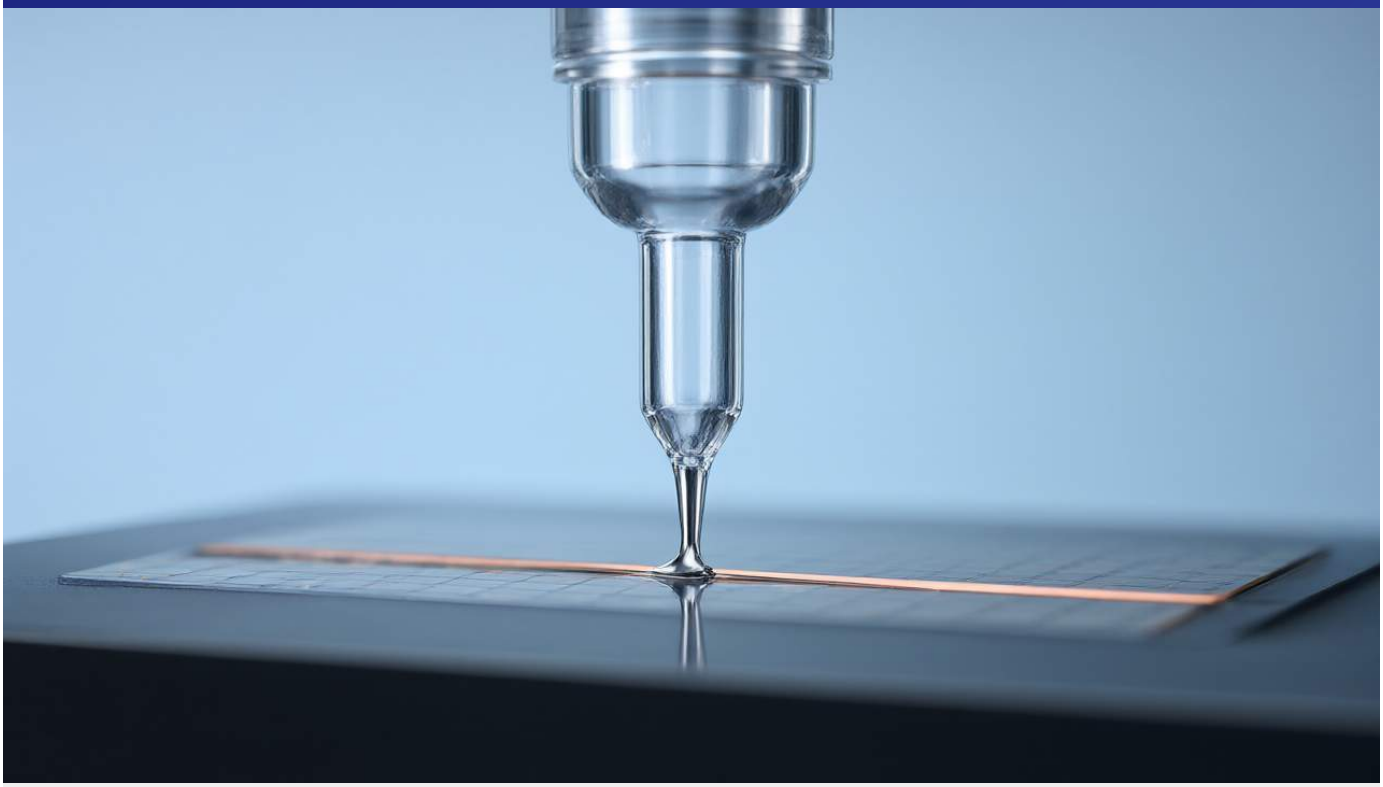
本研究で示された粒界エネルギーの制御手法は、構造安定性と接合性のバランスを最適化するための有望な経路となります。熱力学的な枠組みに基づいたこの設計指針は、次世代の高度パッケージングにおける実用的な実装技術としての活用が期待されます。

元記事: https://doi.org/10.21203/rs.3.rs-11337729/v1

収集日: 2026年11月15日 | 自動記事収集・翻訳システム (AI使用)

#10 BIRDモジュール｜Hummink社の高精度プリント技術による欠陥修復と歩留まり改善

公開日 2026年11月11日　Semiconductor Digest　アメリカ



概要

Hummink社が、高精度キャピラリープリント（HPCaP）技術を用いた「BIRDモジュール」をSEMICON Europa 2026で公開した。本モジュールは0.6〜50 μmのミクロン単位のプリントを可能にし、製造工程内での直接的な欠陥修復や表面機能化を実現する。これにより、特に高度なパッケージング工程における歩留まり損失を大幅に削減し、基板あたりの回収価値を数万ユーロにまで高めることが期待される。

詳細

主要成果

Hummink社は、SEMICON Europa 2026において、欠陥修復における画期的な統合と解像度を実現する「BIRD（Breakthrough Integration and Resolution in Defect Repair）モジュール」を発表した。本モジュールは、同社が独占的に提供する高精度キャピラリープリント（HPCaP）技術をベースにしており、製造ラインに直接組み込むことで、ミクロンスケールのプリント、局所的な材料堆積による欠陥修復、および表面機能化を可能にする。

技術・詳細

BIRDモジュールは、マスクレスの直接堆積に続き、局所的なレーザー焼結を行うダイレクトアディティブ（直接積層）プロセスを採用している。この方式により、設計から完成までをわずか数分で完了させることができる。具体的な性能仕様は以下の通りである。

- プリント解像度：0.6 μmから50 μmの範囲で対応。
- インク適合性：導電性、誘電性、および機能性インクに対応し、粘度は最大250,000 cPまで許容。
- 基板適合性：ガラスを含む幅広い基板に対応。

このターゲットを絞った堆積プロセスは、材料および化学薬品の消費量を削減すると同時に、欠陥を修復して廃棄品を減らすことで、歩留まりの向上に寄与する。

背景・業界の文脈

電子部品の高性能化と小型化に伴い、高度なパッケージング技術の重要性が増しているが、同時に歩留まり、精度、統合に関する課題も深刻化している。特に、ファンアウト・パネルレベルパッケージング（FOPLP）への移行に伴い、アーキテクチャの複雑化と再配線層（RDL）の微細化が進んでおり、前例のない歩留まりの課題に直面している。

高度なパッケージングにおいて、RDLにたった一つの欠陥があるだけでパネル全体を廃棄しなければならない状況がある。しかし、廃棄せずに修復できれば、基板1枚あたり数万ユーロに達する価値を回収できる計算となる。このため、AI、ICT（情報通信技術）、およびマルチチップアーキテクチャ分野のメーカーにとって、本技術による歩留まり改善は極めて重要な意味を持つ。

今後の展望

HPCaP技術はすでに研究開発環境で能力が実証されており、現在はディスプレイ製造ラインでのパイロットフェーズに移行している。さらに、BIRDモジュールは現在、アジアの主要な半導体およびディスプレイメーカーにおいてパイロットラインでの導入が進んでいる。今後は、ディスプレイ分野に続き、半導体製造および高度なパッケージング分野への適用が展開される計画である。

参考技術解説：RDL：https://troy-technical.jp/semiconductor-back-end-term-rdl/

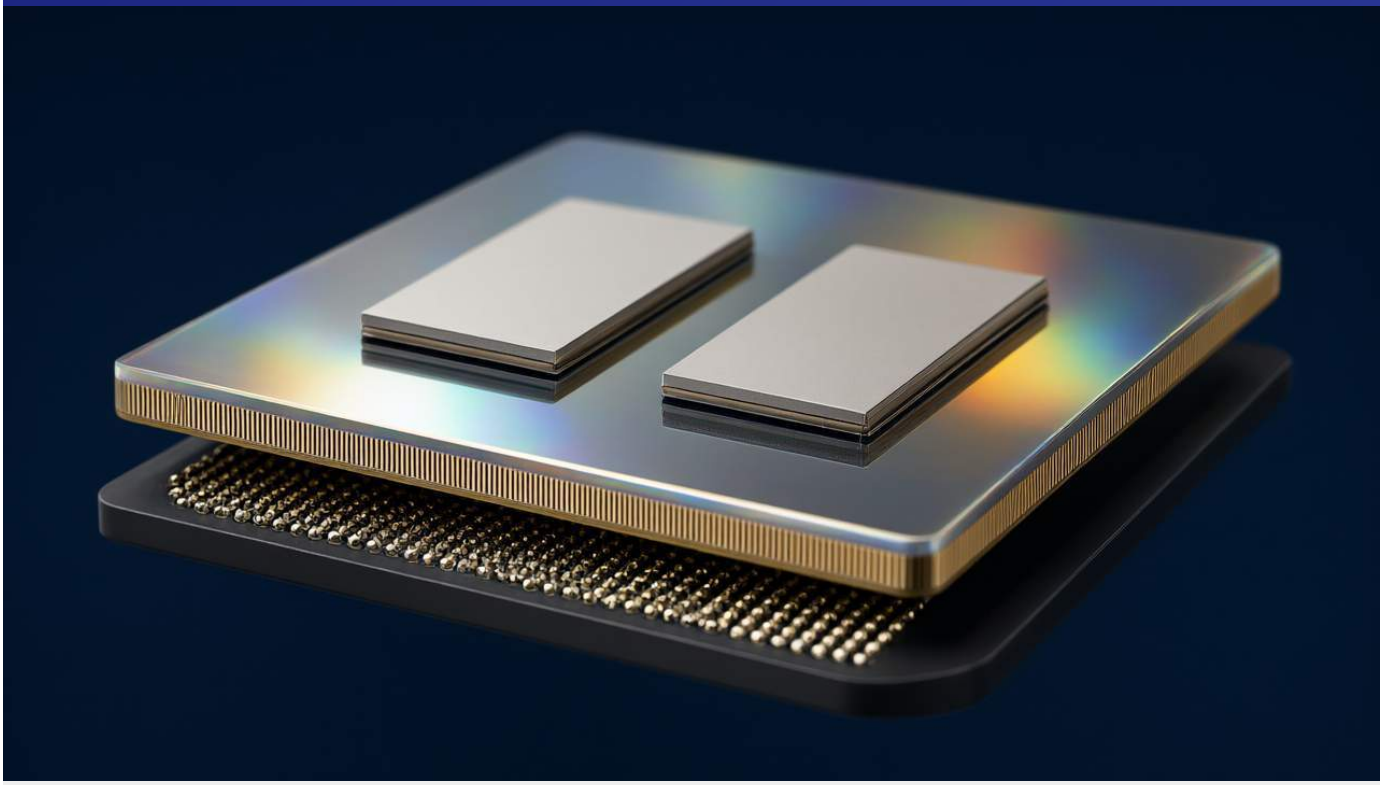
参考技術解説：ファンアウト：https://troy-technical.jp/semiconductor-back-end-term-fanout/

元記事: https://www.semiconductor-digest.com/hummink-unveils-the-bird-module-at-semicon-europa-2026/

収集日: 2026年11月15日 | 自動記事収集・翻訳システム (AI使用)

#11 imecのシリコンインターポーザ｜欧州チップレット開発向けプラットフォームの仕様とPDK提供時期

公開日 2026年11月11日　Semiconductor Digest　ベルギー



概要

imecは、NanoICパイロットラインで開発中のシリコンインターポーザ・プラットフォームのベースラインフローを完了した。このプラットフォームは、TSV（シリコン貫通電極）や20 μmまでのマイクロバンプピッチをサポートし、高密度な2.5Dパッケージングを実現する。2027年初頭には専用のPDK（プロセス設計キット）が提供される予定であり、欧州におけるチップレット統合のハードルを下げ、AIや車載向け次世代システムの開発を加速させる。

詳細

主要成果

imecは、SEMICON Europa 2026において、NanoICパイロットライン内で開発されているシリコンインターポーザ・プラットフォームのベースラインフローを納品したことを発表した。これは、欧州における高度なパッケージング・イノベーションへのアクセスを向上させる重要なマイルストーンとなる。本プラットフォームは、チップレット統合の鍵となる技術的なリファレンスを提供し、設計者が次世代のチップレットベース・システムをより効率的に探索・準備することを可能にする。

技術・詳細

シリコンインターポーザは、ダイの下に配置される高密度ルーティング層として機能し、演算チップレット、広帯域メモリ（HBM）、その他の専用コンポーネントを接続するための短く密な接続を提供し、2.5Dパッケージを実現する。本プラットフォームの具体的な技術仕様には、以下の機能が含まれる。

- シリコン貫通電極（TSV）の搭載
- 複数のメタルルーティング層の構成
- 最小20 μmまでのマイクロバンプピッチへの対応

これらの機能により、AIアクセラレータやGPUなどのハイパフォーマンス・マルチダイシステムで不可欠となる、帯域幅の拡大とエネルギー効率の高いデータ移動が可能になる。

背景・業界の文脈

AI向け高度演算の性能要件が高まる中、半導体業界では複数の特化ダイを単一パッケージに統合するチップレットアーキテクチャへの移行が進んでいる。システムの性能は個々のチップレットだけでなく、それらを結ぶインターコネクト技術に依存するため、高帯域・低消費電力な接続技術の確立が急務となっている。NanoICでは、今回のシリコンインターポーザのほか、「ファインピッチRDLインターポーザ」および「ダイ・ツー・ウェハー・ハイブリッドボンディング」の3つの高度なインターコネクト技術を開発しており、それぞれが異なる統合ニーズ（コスト効率や超高密度接続など）に対応するツールボックスとして機能する。

今後の展望

imecは、このベースラインフローを基に、2027年初頭に専用のPDK（プロセス設計キット）をリリースする予定である。このPDKにより、大学、スタートアップ、ファブレス企業は、CadenceやSynopsysが提供する業界標準のEDA環境を用いて、仮想的にシリコンインターポーザ技術を探索できるようになる。将来的には、この仮想的な探索をパイロットラインでの物理的なシリコンデモンストレーターへと拡張することを目指している。これにより、AI、車載、高度コンピューティング分野における欧州の戦略的市場の競争力強化を図る。

参考技術解説：インターポーザ：https://troy-technical.jp/semiconductor-back-end-term-interposer/

参考技術解説：チップレット：https://troy-technical.jp/semiconductor-back-end-term-chiplet/

参考技術解説：TSV：https://troy-technical.jp/semiconductor-back-end-term-tsv/

元記事: https://www.semiconductor-digest.com/imec-advances-silicon-interposer-platform-for-european-chiplet-development/

収集日: 2026年11月15日 | 自動記事収集・翻訳システム (AI使用)

#12 SK Hynix HBM4｜第6世代高帯域幅メモリの歩留まりとSamsungの設備拡張

公開日 2026年11月13日　DIGITIMES　台湾



概要

SK Hynixの第6世代高帯域幅メモリ（HBM4）の生産歩留まりが70%を超えたことが明らかになりました。この数値は、半導体業界の情報筋によるChosun Bizの報道で伝えられたものです。競合するSamsung Electronicsがチップパッケージング能力の拡大に乗り出す中、SK Hynixが量産効率で優位性を示した形となります。

詳細

主要成果

SK Hynixの第6世代高帯域幅メモリである「HBM4」の生産歩留まりが、70%を突破したことが報告されました。この情報は、11月12日にChosun Bizが半導体業界の情報筋を引用して伝えたものです。

技術・詳細

HBM4（High Bandwidth Memory 4）は、AI処理に不可欠な超高速メモリの最新世代にあたります。歩留まり（Yield）とは、製造した製品のうち、欠陥がなく合格基準を満たした良品の割合を指します。量産段階において70%を超える歩留まりを達成したことは、製造プロセスの安定化が進んでいることを示唆しています。

背景・業界の文脈

この進展は、競合他社であるSamsung Electronicsがチップパッケージング能力の大幅な拡張を進めているという状況下で明らかになりました。HBM市場における主導権争いが激化する中、パッケージング工程のキャパシティ拡大と、実際の製造歩留まりの向上という、量と質の双方が競争の焦点となっています。

今後の展望

SK HynixがHBM4の歩留まりを早期に引き上げたことで、今後の供給能力およびコスト競争力に影響を与える可能性があります。Samsungによるパッケージング能力の拡張と、SK Hynixの製造効率の向上が、次世代AIメモリ市場の勢力図をどのように塗り替えるかが注目されます。

参考技術解説：HBM：https://troy-technical.jp/semiconductor-back-end-term-hbm/

参考企業解説：SKハイニックス：https://troy-technical.jp/semiconductor-back-end-company-sk-hynix/

参考企業解説：サムスン電子：https://troy-technical.jp/semiconductor-back-end-company-samsung-electronics/

元記事: https://www.digitimes.com/news/a20261113VL217/sk-hynix-hbm4-production-packaging-samsung.html

収集日: 2026年11月15日 | 自動記事収集・翻訳システム (AI使用)

#13 荏原製作所｜半導体関連装置の生産能力拡充、JDI茂原工場の賃借と2026年度比の目標

公開日 2026年11月13日　日本経済新聞（プレスリリース）　日本



概要

荏原製作所は、半導体関連装置の中長期的な需要増に対応するため、新光電気工業がジャパンディスプレイ（JDI）から取得予定の茂原工場の一部区画を賃借する契約を締結した。これにより、高規格なクリーンルームを備えた新たな生産基盤を確保し、2026年度比で最大2.5倍の生産能力を保有する計画である。AI普及に伴う先端ロジックやメモリ向け装置の需要急増への対応と、拠点分散によるBCP（事業継続計画）の強化を目的としている。

詳細

主要成果

荏原製作所は、半導体製造装置などの精密・電子事業における生産能力を大幅に拡充するため、千葉県茂原市にあるJDI茂原工場J1棟の一部区画を賃借する定期建物賃貸借契約を締結した。本物件は新光電気工業株式会社がJDIから取得予定のものであり、荏原はそこに含まれるクリーンルームなどの生産設備を借り上げる。この新拠点活用と既存拠点の増強を合わせることで、同社は2026年度と比較して最大2.5倍の生産能力を保有する見通しである。

技術・詳細

今回賃借する物件は、大型かつ高規格なクリーンルームを備えており、早期の立ち上げが可能である点が特徴となっている。荏原が展開する精密・電子事業の対象製品には、以下の装置が含まれる。

- CMP装置（化学機械研磨装置）
- めっき装置
- ベベル研磨装置
- ドライ真空ポンプ
- 排ガス処理装置
- オゾン水製造装置
- EUV露光装置向け排気システム

同社はこれまでも、主力製造拠点である熊本事業所や藤沢事業所において、設備増強や生産効率化を順次進めてきた。今回の新拠点確保は、これらの既存拠点での継続的な設備投資や工程改善、増産体制の強化を補完し、より強固な供給体制を構築するための戦略的な措置となる。

背景・業界の文脈

背景には、AIの急速な普及と世界的なデータセンター投資の拡大がある。これにより、半導体市場はAI関連分野を中心に中長期的な拡大が見込まれており、特に先端ロジック半導体やメモリ半導体の製造に不可欠な装置への需要が急速に高まっている。このような市場環境において、安定的な製品供給能力を確保することは、グローバルな顧客への対応において極めて重要な課題となっている。

今後の展望

荏原は、本物件を新たな生産拠点として活用することで、拡大する半導体需要に対して柔軟かつ十分に対応できる体制を整える。また、生産拠点を分散させることでBCP対応力を向上させ、災害などのリスク発生時においても安定的な製品供給を維持することを目指す。これらの取り組みを通じて、精密・電子事業の持続的な成長を推進していく方針である。

元記事: https://www.nikkei.com/article/DGXZRSP715256_T11C26A1000000/

収集日: 2026年11月15日 | 自動記事収集・翻訳システム (AI使用)

#14 三井金属｜AIデータセンター向け銅箔の新工場建設、投資額と量産時期

公開日 2026年11月10日　日本経済新聞　日本



概要

三井金属がマレーシアに1900億円を投じ、AIデータセンターや先端半導体向けの銅箔新工場を建設することを発表した。2031年4月から順次稼働させる予定で、世界シェアほぼ100%を誇る極薄銅箔「マイクロシン」と低伝送損失の「VSP」の2種類を生産する。AI特需による光通信部品などの旺盛な需要への対応を目的としており、生産能力を大幅に引き上げる計画である。

詳細

主要成果

三井金属は、マレーシアに銅箔の新工場を建設するため、総額1900億円の投資を行う。この投資の内訳は、生産設備に1440億円、建屋に320億円、土地に140億円となっており、資金は自己資金と借入金などで調達する。新工場は2031年4月から順次稼働を開始する予定であり、AIデータセンター向けなどの急増する需要への対応を目的としている。

技術・詳細

新工場では、用途の異なる2種類の銅箔を生産する。

- **マイクロシン**：極めて薄い銅箔であり、半導体パッケージ基板の微細な回路形成に使用される。三井金属はこの製品で世界シェアほぼ100%を保持している。
- **VSP**：表面の滑らかさが特徴の銅箔で、プリント基板における伝送損失を低減させる効果を持つ。主にサーバー、ルーター、スイッチなどに採用される。

これらの増産により、2033年度の生産能力は、2025年度比でマイクロシンが2.4倍（月1200万平方メートル）、VSPが3.6倍（月2600トン）まで高まる計画である。特にVSPについては、取得した土地を活用することで月3600トンまで拡大できる余地を残しており、今後の需要次第では他拠点と合わせて月5000トンまで引き上げる可能性があるとしている。

背景・業界の文脈

背景にあるのは、AIデータセンターにおける通信インフラの高度化である。特にサーバー間の通信を電気から光に切り替える「光トランシーバー」などの光通信機器において、同社の銅箔への引き合いが高まっている。業界全体でAI特需による増産傾向にあり、競合の古河電気工業も2024年11月9日に、VSPと同様の特徴を持つ「F0X-WS箔」の増産投資を発表した。古河電工は栃木県日光市と台湾の拠点で増強を進め、2029年度末の生産能力を2026年度末比で約2倍に引き上げる計画である。

今後の展望

三井金属は、AIデータセンター向け銅箔への投資を加速させており、今年度だけで3回目の増産計画を打ち出すなど、需要の前倒しに対応している。2031年の新工場稼働に向けて、生産能力の劇的な向上を図ることで、AI通信部品市場における競争力の維持と供給体制の強化を目指す。

参考技術解説：パッケージ基板：https://troy-technical.jp/semiconductor-back-end-term-package-substrate/

元記事: https://www.nikkei.com/article/DGXZQOUC106U90Q6A111C2000000/

収集日: 2026年11月15日 | 自動記事収集・翻訳システム (AI使用)