TROY TECHNICAL

# 半導体後工程

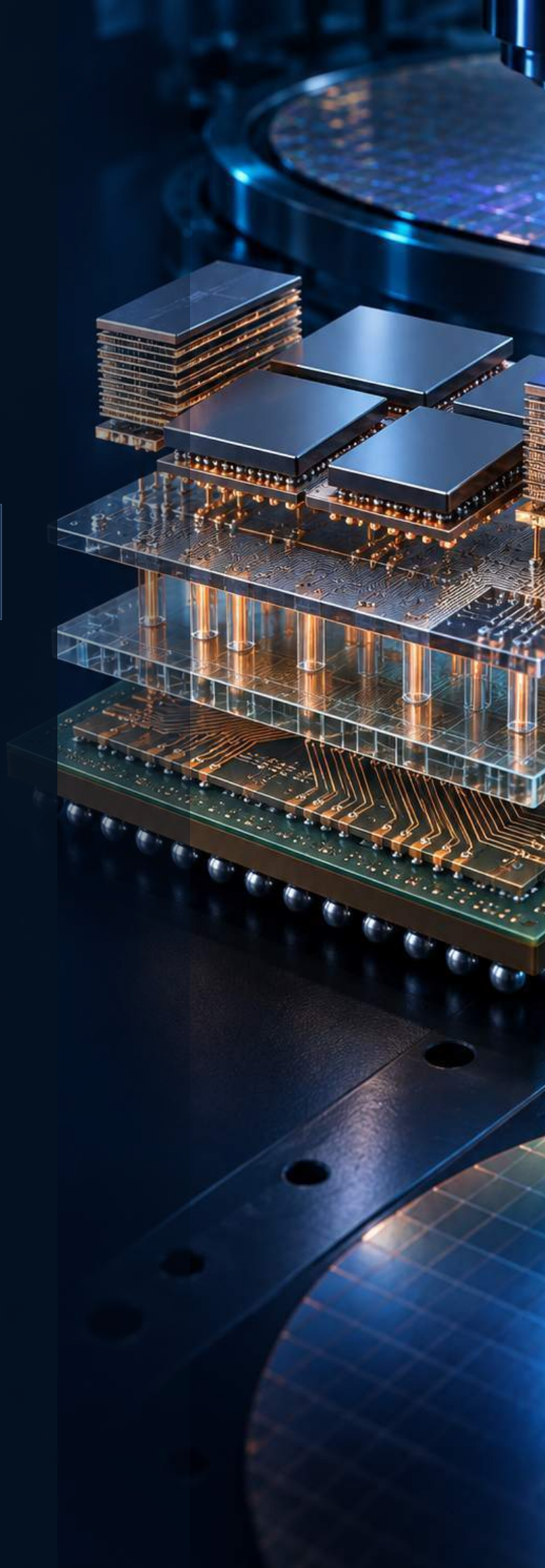
## ウィークリーレポート

2026年10月24日-10月30日 | Issue 2026-W43

**パッケージ性能、工程歩留まり、検査、認定能力**

| 9 | 9 |
| --- | --- |
| 分析対象 | 重点テーマ |

発行 2026-10-30 | 日本語版 | 承認済み固定表紙



# 半導体後工程:個別発表から認定証拠へ境界が移動

日本語記事9件を棚卸しし、意思決定に重要なテーマを選定した。

シグナル 01 | 材料

## Lam ResearchとimecがHigh-NA EUV向けドライレジストプラットフォームの研究開発を加速

Lam Researchとimecが、次世代メモリおよび先端パッケージング向けの3D集積化技術の量産準備を加速させるため協調します。両社は、厚膜誘電体堆積やプラズマダイシングなどのプロセス課題の解決に加え、High-NA EUV向けドライレジストプラットフォーム「Aether」の研究開発に取り組みます。AIワークロードによるメモリ密度と帯域幅への需要増、およびロジックデバイスの微細化への対応を目的としています。

シグナル 02 | 接合・組立

## 多結晶SiC基板|Hunan Titan Futureが開発した12インチ基板の性能と用途

Hunan Titan Future Technologyが、中国初となる12インチの多結晶シリコンカーバイド(SiC)基板を開発した。この基板は280 W/(m·K)を超える熱伝導率を実現し、AIコンピューティングチップなどの高出力チップにおける放熱課題の解決を目指す。パワーデバイス向けの単結晶基板とは異なり、主に熱管理や結晶成長のキャリアとしての活用を想定している。

シグナル 03 | 先端PKG

## CoPoSとは|TSMCやサムスン電気が検討するパネル型パッケージングの仕組みと設備

AIチップの大型化に伴い、従来のウェハレベルパッケージングに代わる新手法「CoPoS(Chip-on-Panel-on-Substrate)」への移行が進んでいる。CoPoSは処理キャリアを円形ウェハから矩形パネルに変更することで、面積利用率の向上と生産効率の改善を図る技術である。この転換により、チップ実装やダイシング工程における製造装置への新たな需要が発生している。

シグナル 04 | 試験・検査

## AIチップ・パッケージング|CoWoS-LとEMIB-Tの比較と2028年までのロードマップ

AIチップのパッケージサイズがレティクル限界の4倍に迫る中、TSMCのCoWoS-Lが2028年まで主流のソリューションになると予測されています。NvidiaのBlackwellはレティクル限界の約3.3倍に達しており、次世代のRubinでは4倍に拡大する見込みです。パッケージの巨大化は歩留まりリスクを伴いますが、チップレットやHBMの統合密度を高めるために不可欠なトレンドとなっています。

編集判断

**今週の経営判断は パッケージ性能、工程歩留まり、検査、認定能力 に集中する。自社条件で関連証拠を再現できる場合だけ次へ進む。**

経営の3アクション

1. 事業会社: 熱・電気・歩留まり・修理・供給の同一条件で方式を比較する.
2. 供給企業: 材料、接合、検査、信頼性の工程窓を顧客と共同設計する.
3. 経営層: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定.

証拠の読み方

FACTは収集記事に書かれた内容、事業への読みとACTIONは編集判断、UNKNOWNは記事だけでは確定しない項目を示す。リンク先があることだけで、全主張が独立検証済みとは扱わない。

## 条件と一緒に読む主要数値・証拠5件

**280 W**
A09

数値の条件
Hunan Titan Future Technologyが、中国初となる12インチの多結晶シリコンカーバイド(SiC)基板を開発した。この基板は280 W/(m·K)を超える熱伝導率を実現し、AIコンピューティングチップなどの高出力チップにおける放熱課題の解決を目指す。パワーデバイス向けの単結晶基板とは異なり、主に熱管理や結晶成長のキャリアとしての活用を想定している。

**4倍**
A01

数値の条件
AIチップのパッケージサイズがレティクル限界の4倍に迫る中、TSMCのCoWoS-Lが2028年まで主流のソリューションになると予測されています。NvidiaのBlackwellはレティクル限界の約3.3倍に達しており、次世代のRubinでは4倍に拡大する見込みです。パッケージの巨大化は歩留まりリスクを伴いますが、チップレットやHBMの統合密度を高めるために不可欠なトレンドとなっています。

**2028年**
A02

数値の条件
Micronは、次世代DRAMにウェーハボンディングとHigh-NA EUVリソグラフィを導入する開発ロードマップを公開しました。あわせて、演算チップ上にメモリを積層する「vHBM」とエッジAI推論向けの「vEIM」を開発し、2028年に第1世代の量産を開始することを目指しています。メモリセルの微細化と、メモリ・演算チップ間のデータパスを短縮するパッケージング技術を並行して進める戦略です。

**515mm**
A08

数値の条件
次世代のパネルレベルパッケージングにおいて、510×515mmというサイズが業界のデファクトスタンダードになりつつある。このサイズは面積利用率を向上させ、TSMCのCoWoSなどの供給不足を解消する手段となる一方、物理的な「翹曲(反り)」のリスクが面積の二乗で増大するという課題を抱えている。本技術の成否は、材料・構造・工程の統合的な制御による反り抑制能力にかかっている。

**310mm**
A04

数値の条件
ASEがAMDの次世代サーバープロセッサ「Venice」向けに、パネルレベルパッケージング(PLP)ソリューションを披露しました。310×310mmの方形パネルを採用することで、従来の300mm円形ウェハ比でインターポーザの搭載数を約14%向上させています。初期量産は2027年第1四半期を目標としており、パッケージングの大型化に伴う生産効率の向上が期待されます。

数値の読み方
数値は収集記事が示した条件と一緒に掲載する。試験法、寸法、温度、商用段階が異なる値を、条件補正なしで比較しない。

# バリューチェーンはどこで動いたか

各段階に主テーマと補助テーマを接続する。矢印は装飾ではなく、次工程へ渡す証拠を示す。

1

## 材料

P01/P06

Lam Researchとimecが、次世代メモリおよび先端パッケージング向けの3D集積化技術の量産準備を加速させるため協調します。

2

## 接合・組立

P02/P07

Hunan Titan Future Technologyが、中国初となる12インチの多結晶シリコンカーバイド(SiC)基板を開発した。

3

## 先端PKG

P03/P08

AIチップの大型化に伴い、従来のウェハレベルパッケージングに代わる新手法「CoPoS(Chip-on-Panel-on-Substrate)」への移行が進んでいる。

4

## 試験・検査

P04/P09

AIチップのパッケージサイズがレティクル限界の4倍に迫る中、TSMCのCoWoS-Lが2028年まで主流のソリューションになると予測されています。NvidiaのBlackwellはレティクル限界の約3.

5

## 量産供給

P05/P01

Micronは、次世代DRAMにウェーハボンディングとHigh-NA EUVリソグラフィを導入する開発ロードマップを公開しました。

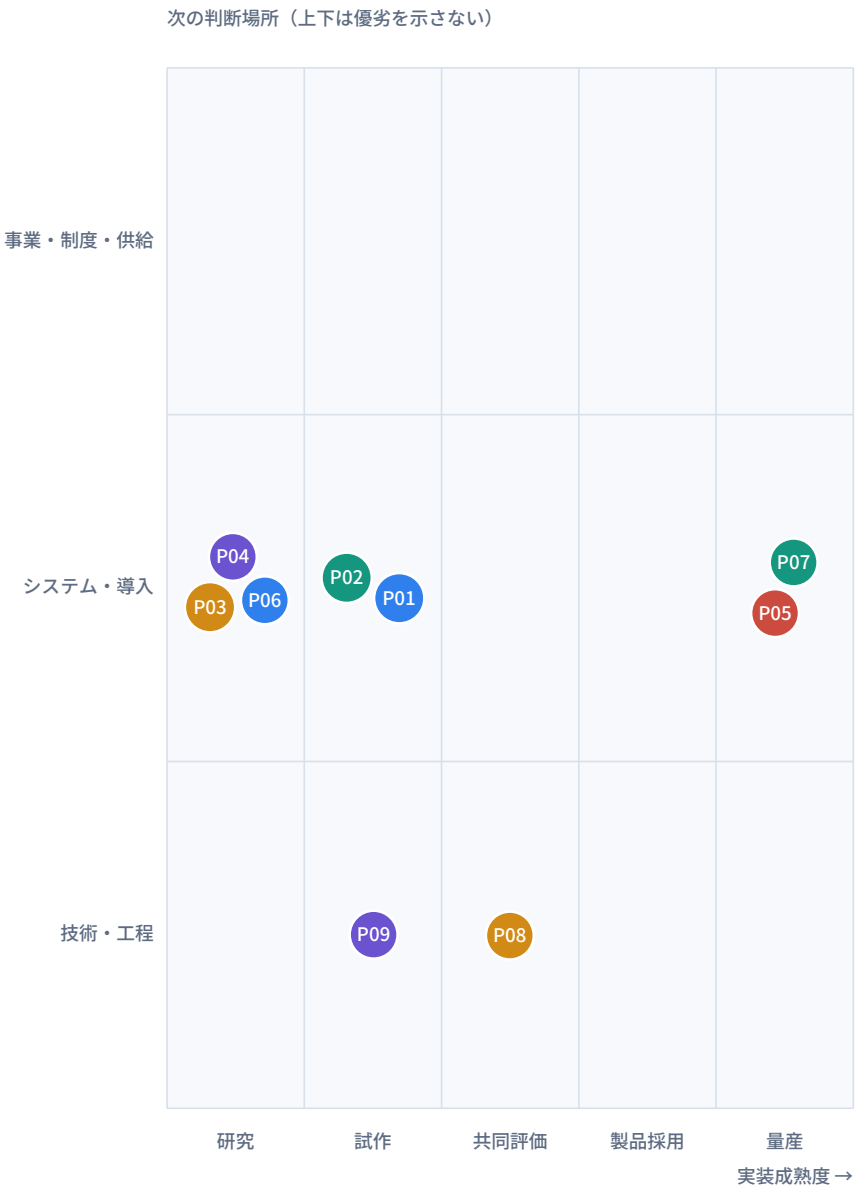
**各受渡しで必要な証拠**

| | |
|---|---|
| **材料 → 接合・組立** | 試験条件、受入基準、故障データ、担当、判断日を渡し、再確認する: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定. |
| **接合・組立 → 先端PKG** | 試験条件、受入基準、故障データ、担当、判断日を渡し、再確認する: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定. |
| **先端PKG → 試験・検査** | 試験条件、受入基準、故障データ、担当、判断日を渡し、再確認する: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定. |
| **試験・検査 → 量産供給** | 試験条件、受入基準、故障データ、担当、判断日を渡し、再確認する: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定. |

共通管理点

**担当者が関連証拠を再現し、次を記録するまで商用判断へ進めない: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定.**

# プライオリティマップ:実装成熟度と次の判断場所




| | |
|---|---|
| P01 | Lam Researchとimec|3D集積化とHigh-NA EUVの量産化に向けた共同研究の内容<br>システム・導入 | 根拠: 量産 |
| P02 | 多結晶SiC基板|Hunan Titan Futureが開発した12インチ基板の性能と用途<br>システム・導入 | 根拠: 用途 |
| P03 | CoPoSとは|TSMCやサムスン電気が検討するパネル型パッケージングの仕組みと設備<br>システム・導入 | 根拠: 実装 |
| P04 | AIチップ・パッケージング|CoWoS-LとEMIB-Tの比較と2028年までのロードマップ<br>システム・導入 | 根拠: 統合 |
| P05 | Micronの次世代DRAM|Wafer BondingとHigh-NA EUVの導入時期と戦略<br>システム・導入 | 根拠: 導入 |
| P06 | ガラス基板パッケージング|510×515mmのサイズ選定理由と翅曲(反り)の課題<br>システム・導入 | 根拠: 統合 |
| P07 | ASE|AMD向けパネルレベルパッケージング(PLP)の量産時期と詳細<br>システム・導入 | 根拠: 量産 |
| P08 | 感光性結晶化ガラス|次世代半導体基板のTGV加工技術と200mm級試作の成果<br>技術・工程 | 根拠: 統合・事業語なし |
| P09 | 半導体ガラス基板|GISTが開発した低誘電率材料の特性とAIチップへの適用課題<br>技術・工程 | 根拠: 統合・事業語なし |

**再現可能な配置ルール**
横軸は研究・試作・共同評価・製品採用・量産の5段階。縦の帯は次の判断場所を技術・工程、システム・導入、事業・制度・供給に分ける。まず記事見出しの根拠語を使い、見出しで判断できない場合だけ概要を参照する。上下は影響の大小を意味しない。円径は編集スコアを示す。

FACTは収集記事に接続し、事業への読み、ACTION、UNKNOWNは編集判断として分離する。

## P01 Lam Researchとimec|3D集積化とHigh-NA EUVの量産化に向けた共同研究の内容

A10 | 材料 | 試作

日付未収録

FACT

Lam Researchとimecが、次世代メモリおよび先端パッケージング向けの3D集積化技術の量産準備を加速させるため協調します。両社は、厚膜誘電体堆積やプラズマダイシングなどのプロセス課題の解決に加え、High-NA EUV向けドライレジストプラットフォーム「Aether」の研究開発に取り組みます。AIワークロードによるメモリ密度と帯域幅への需要増、およびロジックデバイスの微細化への対応を目的としています。

なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP01の評価票へ記録する。

UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 19/25 | 成熟度 2/5 | 判断場所: システム・導入

## P02 多結晶SiC基板|Hunan Titan Futureが開発した12インチ基板の性能と用途

A09 | 接合・組立 | 試作

日付未収録

FACT

Hunan Titan Future Technologyが、中国初となる12インチの多結晶シリコンカーバイド(SiC)基板を開発した。この基板は280 W/(m·K)を超える熱伝導率を実現し、AIコンピューティングチップなどの高出力チップにおける放熱課題の解決を目指す。パワーデバイス向けの単結晶基板とは異なり、主に熱管理や結晶成長のキャリアとしての活用を想定している。

なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP02の評価票へ記録する。

UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 19/25 | 成熟度 2/5 | 判断場所: システム・導入

FACTは収集記事に接続し、事業への読み、ACTION、UNKNOWNは編集判断として分離する。

## P03 CoPoSとは|TSMCやサムスン電気が検討するパネル型パッケージングの仕組みと設備

A03 | 先端PKG | 研究

日付未収録

FACT

AIチップの大型化に伴い、従来のウェハレベルパッケージングに代わる新手法「CoPoS(Chip-on-Panel-on-Substrate)」への移行が進んでいる。CoPoSは処理キャリアを円形ウェハから矩形パネルに変更することで、面積利用率の向上と生産効率の改善を図る技術である。この転換により、チップ実装やダイシング工程における製造装置への新たな需要が発生している。

なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP03の評価票へ記録する。

UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 19/25 | 成熟度 1/5 | 判断場所: システム・導入

## P04 AIチップ・パッケージング|CoWoS-LとEMIB-Tの比較と2028年までのロードマップ

A01 | 試験・検査 | 研究

日付未収録

FACT

AIチップのパッケージサイズがレティクル限界の4倍に迫る中、TSMCのCoWoS-Lが2028年まで主流のソリューションになると予測されています。NvidiaのBlackwellはレティクル限界の約3.3倍に達しており、次世代のRubinでは4倍に拡大する見込みです。パッケージの巨大化は歩留まりリスクを伴いますが、チップレットやHBMの統合密度を高めるために不可欠なトレンドとなっています。

なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP04の評価票へ記録する。

UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 18/25 | 成熟度 1/5 | 判断場所: システム・導入

FACTは収集記事に接続し、事業への読み、ACTION、UNKNOWNは編集判断として分離する。

## P05 Micronの次世代DRAM|Wafer BondingとHigh-NA EUVの導入時期と戦略

A02 | 量産供給 | 量産

日付未収録

FACT

Micronは、次世代DRAMにウェーハボンディングとHigh-NA EUVリソグラフィを導入する開発ロードマップを公開しました。あわせて、演算チップ上にメモリを積層する「vHBM」とエッジAI推論向けの「vEIM」を開発し、2028年に第1世代の量産を開始することを目指しています。メモリセルの微細化と、メモリ・演算チップ間のデータパスを短縮するパッケージング技術を並行して進める戦略です。

なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP05の評価票へ記録する。

UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 18/25 | 成熟度 5/5 | 判断場所: システム・導入

## P06 ガラス基板パッケージング|510×515mmのサイズ選定理由と翅曲(反り)の課題

A08 | 材料 | 研究

日付未収録

FACT

次世代のパネルレベルパッケージングにおいて、510×515mmというサイズが業界のデファクトスタンダードになりつつある。このサイズは面積利用率を向上させ、TSMCのCoWoSなどの供給不足を解消する手段となる一方、物理的な「翅曲(反り)」のリスクが面積の二乗で増大するという課題を抱えている。本技術の成否は、材料・構造・工程の統合的な制御による反り抑制能力にかかっている。

なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP06の評価票へ記録する。

UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 18/25 | 成熟度 1/5 | 判断場所: システム・導入

FACTは収集記事に接続し、事業への読み、ACTION、UNKNOWNは編集判断として分離する。

## P07 ASE|AMD向けパネルレベルパッケージング(PLP)の量産時期と詳細

A04 | 接合・組立 | 量産

日付未収録

FACT

ASEがAMDの次世代サーバープロセッサ「Venice」向けに、パネルレベルパッケージング(PLP)ソリューションを披露しました。310×310mmの方形パネルを採用することで、従来の300mm円形ウェハ比でインターポーザの搭載数を約14%向上させています。初期量産は2027年第1四半期を目標としており、パッケージングの大型化に伴う生産効率の向上が期待されます。

なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP07の評価票へ記録する。

UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 18/25 | 成熟度 5/5 | 判断場所: システム・導入

## P08 感光性結晶化ガラス|次世代半導体基板のTGV加工技術と200mm級試作の成果

A07 | 先端PKG | 共同評価

日付未収録

FACT

韓国セラミック技術院が、次世代半導体パッケージングに使用される特種ガラス素材「感光性結晶化ガラス」を開発し、国産化の基盤を構築した。本素材を用いることで、ガラス基板に微細な貫通孔(TGV)を精密に形成する加工技術を確立し、直径200mm級のガラス基板試作に成功した。これにより、従来のプラスチック系基板に比べ、熱変形が少なく信号損失を低減できる高密度な回路構成が可能になる。

なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP08の評価票へ記録する。

UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 18/25 | 成熟度 3/5 | 判断場所: 技術・工程

FACTは収集記事に接続し、事業への読み、ACTION、UNKNOWNは編集判断として分離する。

P09

## 半導体ガラス基板|GISTが開発した低誘電率材料の特性とAIチップへの適用課題

A05 | 試験・検査 | 試作

日付未収録

FACT

光州科学技術院(GIST)が、AI半導体向けの次世代ガラス基板用低誘電率材料技術を開発した。アルミノホウケイ酸ガラスの組成を最適化することで、信号損失の低減と熱安定性の向上を同時に実現している。これにより、従来の有機基板で課題となっていた熱による反りや信号減衰を抑制し、AI半導体の電力効率と性能を底上げすることが期待される。

なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP09の評価票へ記録する。

UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 18/25 | 成熟度 2/5 | 判断場所: 技術・工程

# 関係者別プレイブックと0-5年ロードマップ

| 関係者 | NOW \| 0-30日 | NEXT \| 1-12か月 | LATER \| 1-5年 |
|---|---|---|---|
| 事業会社 | 熱・電気・歩留まり・修理・供給の同一条件で方式を比較する | 量産相当条件で受入基準と停止基準を明示して評価する。 | 技術・供給者の変更を吸収できるポートフォリオと設計へ移る。 |
| 材料・装置・技術企業 | 材料、接合、検査、信頼性の工程窓を顧客と共同設計する | 顧客と信頼性・工程窓・故障解析の共通データを作る。 | 界面、履歴、ライフサイクル支援、回収サービスを標準化する。 |
| 商社・投資・法務 | Map 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定. | 能力、品質、変更通知、責任、代替、撤退を契約へ入れる。 | 地域・技術・顧客の集中リスクを分散する。 |

ロードマップ

NOW | 0-30日
**証拠台帳**
担当: Strategy + quality
成果物: claim, source, condition, owner

NOW | 0-30日
**リスク選別**
担当: Procurement + legal
成果物: unknowns, alternatives, stop

NEXT | 1-12か月
**共同認定**
担当: R&D + supplier
成果物: 工程窓・故障データ

NEXT | 1-12か月
**商用ゲート**
担当: Business + finance
成果物: 単位採算・供給能力

LATER | 1-5年
**プラットフォーム戦略**
担当: 経営
成果物: ポートフォリオ・界面ロードマップ

LATER | 1-5年
**サービス層**
担当: Operations + channel
成果物: 監視・保守・回復

Go / No-Goゲート

| ゲート | 担当 | 必要な証拠 | 中止条件 |
|---|---|---|---|
| G1 証拠 | 品質 | 出典・試験条件・再現性 | 追跡可能な証拠なし |
| G2 統合 | 研究開発 | 界面・工程窓・故障解析 | システム条件を満たさない |
| G3 商用 | 事業 | 能力・総原価・契約・代替 | 採算または供給が成立しない |
| G4 運用 | 運用 | 監視・保守・変更通知・撤退 | 責任ある運用計画なし |

## 分析対象記事 | 01-10件目

全記事の正式タイトルと元記事URLを省略せず表示する。URLは折返しても全文を保持し、クリックできる。

| ID | 記事タイトル(全文) | 元記事URL(全文・クリック可能) |
|---|---|---|
| A01 | AIチップ・パッケージング|CoWoS-LとEMIB-Tの比較と2028年までのロードマップ | https://finance.biggo.com/news/4eb5b699-fd87-4922-8d26-0463a5d2360e |
| A02 | Micronの次世代DRAM|Wafer BondingとHigh-NA EUVの導入時期と戦略 | https://xenospectrum.com/en/micron-dram-bonding-vertical-memory/ |
| A03 | CoPoSとは|TSMCやサムスン電気が検討するパネル型パッケージングの仕組みと設備 | https://eu.36kr.com/en/p/4042012488962946 |
| A04 | ASE|AMD向けパネルレベルパッケージング(PLP)の量産時期と詳細 | https://www.blocktempo.com/ase-amd-venice-panel-level-packaging-powertech-broadcom-singapore-plant/ |
| A05 | 半導体ガラス基板|GISTが開発した低誘電率材料の特性とAIチップへの適用課題 | https://www.mt.co.kr/index.php/en/future/2026/10/25/2026101915054962909 |
| A07 | 感光性結晶化ガラス|次世代半導体基板のTGV加工技術と200mm級試作の成果 | https://www.fnnews.com/news/202610291026456501 |
| A08 | ガラス基板パッケージング|510×515mmのサイズ選定理由と翘曲(反り)の課題 | https://finance.sina.com.cn/wm/2026-10-27/doc-iniwrzht4588328.shtml |
| A09 | 多結晶SiC基板|Hunan Titan Futureが開発した12インチ基板の性能と用途 | https://www.trendforce.com/news/2026/10/29/news-chinas-first-12-inch-polycrystalline-silicon-carbide-substrate-unveiled/ |
| A10 | Lam Researchとimec|3D集積化とHigh-NA EUVの量産化に向けた共同研究の内容 | https://www.electronicsweekly.com/news/business/lam-and-imec-pursue-3-d-integration-2026-10/ |

# 半導体後工程 採用記事全文集

出力日: 2026-11-01

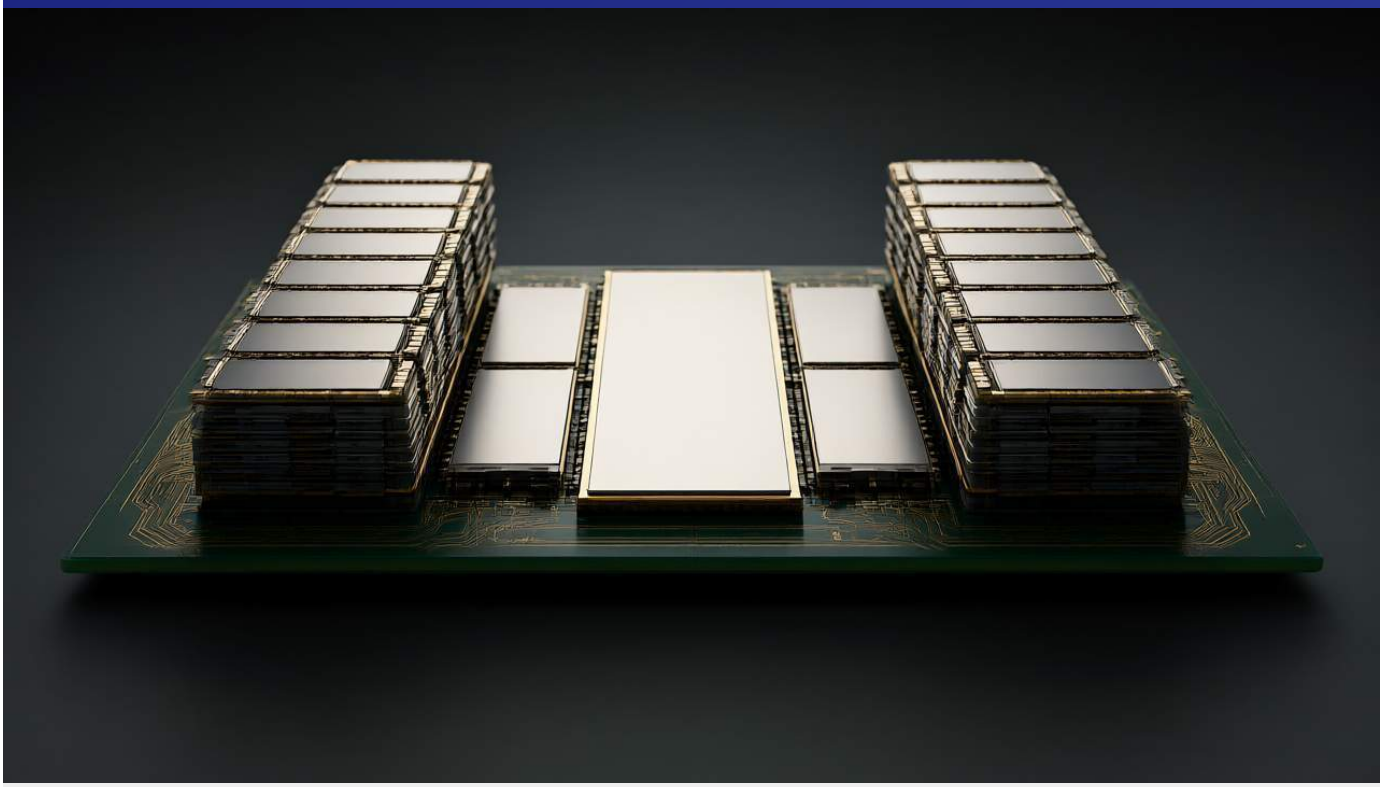
採用記事数: 9 件

# 収録記事一覧

#01 AIチップ・パッケージング｜CoWoS-LとEMIB-Tの比較と2028年までのロードマップ
#02 Micronの次世代DRAM｜Wafer BondingとHigh-NA EUVの導入時期と戦略
#03 CoPoSとは｜TSMCやサムスン電気が検討するパネル型パッケージングの仕組みと設備
#04 ASE｜AMD向けパネルレベルパッケージング（PLP）の量産時期と詳細
#05 半導体ガラス基板｜GISTが開発した低誘電率材料の特性とAIチップへの適用課題
#07 感光性結晶化ガラス｜次世代半導体基板のTGV加工技術と200㎜級試作の成果
#08 ガラス基板パッケージング｜510×515mmのサイズ選定理由と翅曲（反り）の課題
#09 多結晶SiC基板｜Hunan Titan Futureが開発した12インチ基板の性能と用途
#10 Lam Researchとimec｜3D集積化とHigh-NA EUVの量産化に向けた共同研究の内容

# #01 AIチップ・パッケージング｜CoWoS-LとEMIB-Tの比較と2028年までのロードマップ

公開日 2026年10月28日　BigGo Finance



## 概要

AIチップのパッケージサイズがレティクル限界の4倍に迫る中、TSMCのCoWoS-Lが2028年まで主流のソリューションになると予測されています。NvidiaのBlackwellはレティクル限界の約3.3倍に達しており、次世代のRubinでは4倍に拡大する見込みです。パッケージの巨大化は歩留まりリスクを伴いますが、チップレットやHBMの統合密度を高めるために不可欠なトレンドとなっています。

## 詳細

### 主要成果：パッケージサイズの巨大化と主流技術の予測

AIチップのトレンドはトランジスタレベルからパッケージングレベルへと移行しており、パッケージサイズがレティクル限界（露光装置で一度に描画できる最大面積）を大幅に超えて拡大しています。TrendForceの分析によると、技術的な成熟度と歩留まりの優位性から、TSMCのCoWoS-Lが2028年までAIチップ向け高度パッケージングの主流であり続ける見通しです。一方で、IntelのEMIB-Tなどの代替ソリューションがAIチップ顧客への導入を積極的に進めています。

### 技術詳細：CoWoS-LとEMIB-Tのアプローチ

TSMCのCoWoS-Lは、再配線層（RDL）に「ローカルシリコンインターコネクト（LSI）」と呼ばれる小さなシリコンダイを埋め込む構造を採用しています。LSIが高密度なダイ間接続（SoC間、SoC-チップレット間、SoC-HBM間）を担い、RDLが広範囲の信号・電力伝送を担うことで、コストと複雑さを抑えつつパッケージサイズの拡大を可能にしています。また、SoC直下に埋め込みディープトレンチキャパシタ（eDTC）を配置し、電力管理を向上させる構成も可能です。

対するIntelのEMIB-Tは、パッケージ基板に小さなシリコンブリッジを埋め込む手法です。最新のEMIB-Tではシリコンブリッジにシリコン貫通電極（TSV）を追加し、基板からチップへ電力を垂直に供給することで、電力経路の短縮と電力密度の向上を実現しています。ECTC 2026で提示された仕様では、第1層インターコネクトのバンプピッチを25マイクロメートルまで縮小し、パッケージサイズを120mm x 120mmまで拡大。レティクル面積の9倍以上の演算・メモリチップの統合をサポートし、12Gb/sのHBM4eや64Gb/sのUCIeなどの高速インターコネクトに対応しています。

### 背景：GPUおよびASICにおける統合密度の向上

パッケージの拡大はGPUだけでなくAI ASICにも波及しています。NvidiaのBlackwellはレティクル限界の約3.3倍の面積に達しており、次世代のRubinでは4倍になると予想されます。Rubin GPUは3,360億個のトランジスタを搭載し、HBM4の採用により最大288GBのメモリ容量と22TB/sのメモリ帯域幅を提供します。また、AMDの次世代MI455Xは8つの演算チップで構成され、72基のGPUを搭載するHeliosラックスケールシステムをターゲットとしています。クラウド事業者では、GoogleのTPU v7やAWSのTrainium v3などが2026年以降の展開を見せています。

### 今後の展望：量産スケジュールと採用動向

TSMCは2024年に3.5倍レティクルのCoWoS-Lを量産開始し、2025年の公開資料では5.5倍レティクルソリューションの認定を完了させ、2026年の量産開始を計画しています。Nvidia、AMD、Meta（MTIA 400）がすでにCoWoS-Lを採用しており、MicrosoftやAWSも2027年に採用すると予想されます。一方、IntelのEMIB-Tは、CoWoS-Lのコストやキャパシティを懸念するメーカーにとっての代替案となっており、Googleが2027年に採用し、AWSが技術テストを行う見込みです。

参考技術解説：CoWoS：https://troy-technical.jp/semiconductor-back-end-term-cowos/

参考技術解説：HBM：https://troy-technical.jp/semiconductor-back-end-term-hbm/

参考技術解説：インターコネクト：https://troy-technical.jp/semiconductor-back-end-term-interconnect/

参考企業解説：TSMC：https://troy-technical.jp/semiconductor-back-end-company-tsmc/

参考企業解説：NVIDIA：https://troy-technical.jp/semiconductor-back-end-company-nvidia/

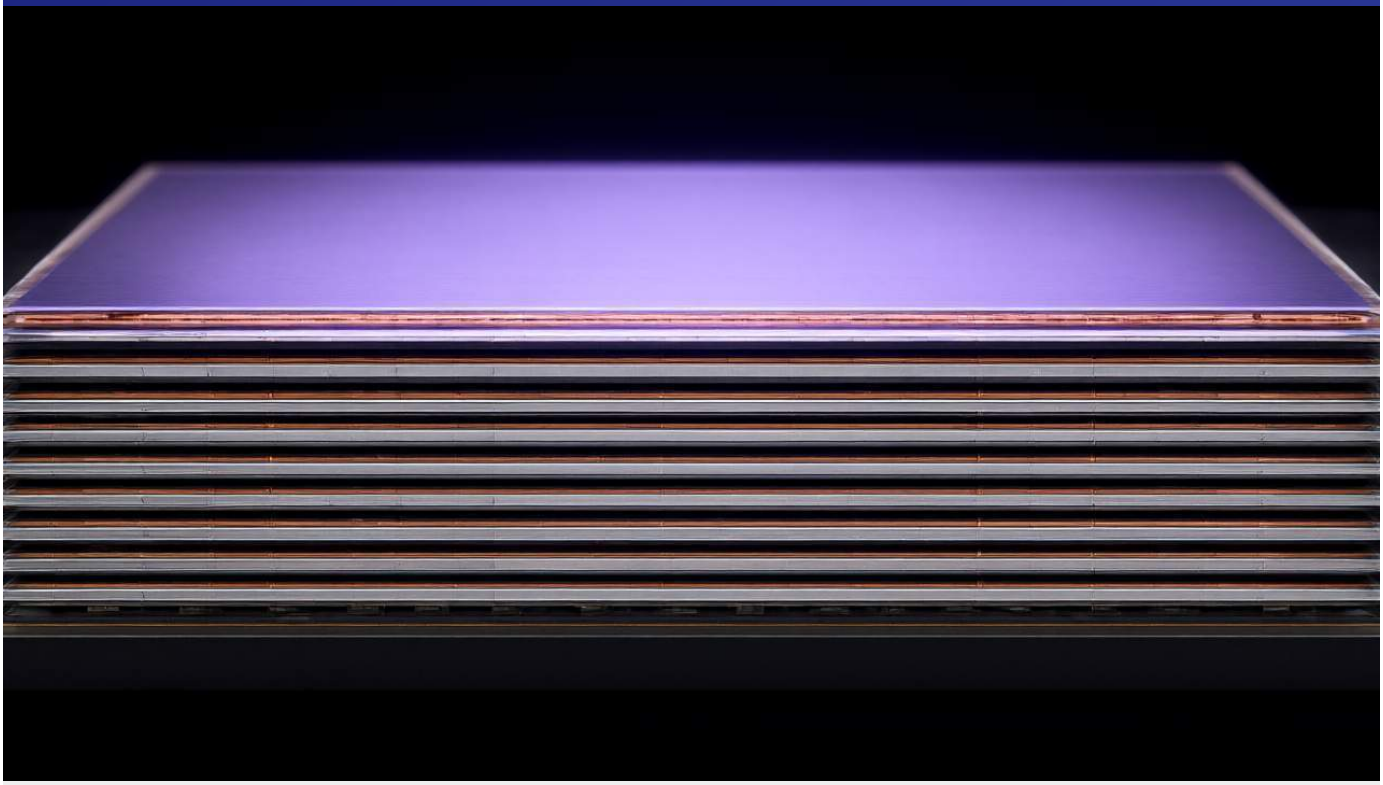
参考企業解説：インテル：https://troy-technical.jp/semiconductor-back-end-company-intel/

元記事: https://finance.biggo.com/news/4eb5b699-fd87-4922-8d26-0463a5d2360e

収集日: 2026年10月31日 | 自動記事収集・翻訳システム (AI使用)

# #02 Micronの次世代DRAM｜Wafer BondingとHigh-NA EUVの導入時期と戦略

公開日 2026年10月26日　Xenospectrum　アメリカ



## 概要

Micronは、次世代DRAMにウェーハボンディングとHigh-NA EUVリソグラフィを導入する開発ロードマップを公開しました。あわせて、演算チップ上にメモリを積層する「vHBM」とエッジAI推論向けの「vEIM」を開発し、2028年に第1世代の量産を開始することを目指しています。メモリセルの微細化と、メモリ・演算チップ間のデータパスを短縮するパッケージング技術を並行して進める戦略です。

## 詳細

### 主要成果

Micronは2026年10月21日の技術ウェビナーにおいて、次世代DRAMの製造プロセスおよび製品ロードマップを明らかにしました。特筆すべきは、メモリセルの微細化を追求する製造技術と、データ転送経路を短縮するパッケージング技術の両面からアプローチしている点です。具体的には、2028年に「vHBM」および「vEIM」の第1世代の量産開始を目標として掲げています。

### 技術・詳細

製造プロセスの展開では、現行の「1γ (1-gamma)」に続き、2027年後半に量産拡大を予定している「1δ (1-delta)」が基盤となります。1δは1γに対して20%台半ばのビット密度向上を目指しており、これが将来のHBM5、vHBM、vEIMの基礎となる計画です。さらに、開発中の「1ε (1-epsilon)」ではウェーハボンディングを導入し、初期開発段階にある「ζÅ」ではHigh-NA EUVリソグラフィを採用します。また、技術探索段階の「ηÅ」では新材料の導入を検討しています。

ここで導入されるHigh-NA EUVは、露光光の波長（13.5 nm）は維持しつつ、光学系の開口数（NA）を従来の0.33から0.55に高めることで解像度を向上させ、より微細なパターン形成を可能にする技術です。また、ウェーハボンディングは、別々に製造した回路を結合させる手法であり、これにより製造プロセスの最適化を図ります。

### 背景・業界の文脈

Micronは、メモリセル面積を定義する指標において、4F²セルの採用を見送る方針を決定しました。20年以上にわたり4F²を研究してきましたが、複雑性の増大とコスト面でのデメリットがあるため、既存の6F²セルの改良と3D DRAMの開発に注力します。これは同社独自の戦略であり、業界全体で4F²が不可能と結論づけられたわけではないとしています。

また、ウェーハボンディングの導入背景には、周辺回路の制約があります。従来のプロセスでは、周辺回路形成後にメモリセルを製造するため、周辺回路が550〜600°Cの高熱処理に耐える必要があり、高性能ロジック半導体の技術を直接適用することが困難でした。周辺回路とメモリセルを別々のウェーハで製造して結合させれば、それぞれの回路に最適な製造条件を選択でき、性能向上とプロセス最適化が期待できます。

## 今後の展望

Micronは、メモリセルの三次元化を図る「3D DRAM」、製造手法を変える「ウェーハボンディング」、そして完成したメモリダイを演算チップ上に配置する「vHBM」という、異なる段階の技術を使い分けることで、AI時代のメモリ構造の変革を目指しています。具体的な量産年については、1δ以外の世代では明言されていませんが、ロードマップを通じて技術開発の方向性を明確に示しています。

参考技術解説：ボンディング：https://troy-technical.jp/semiconductor-back-end-term-bonding/

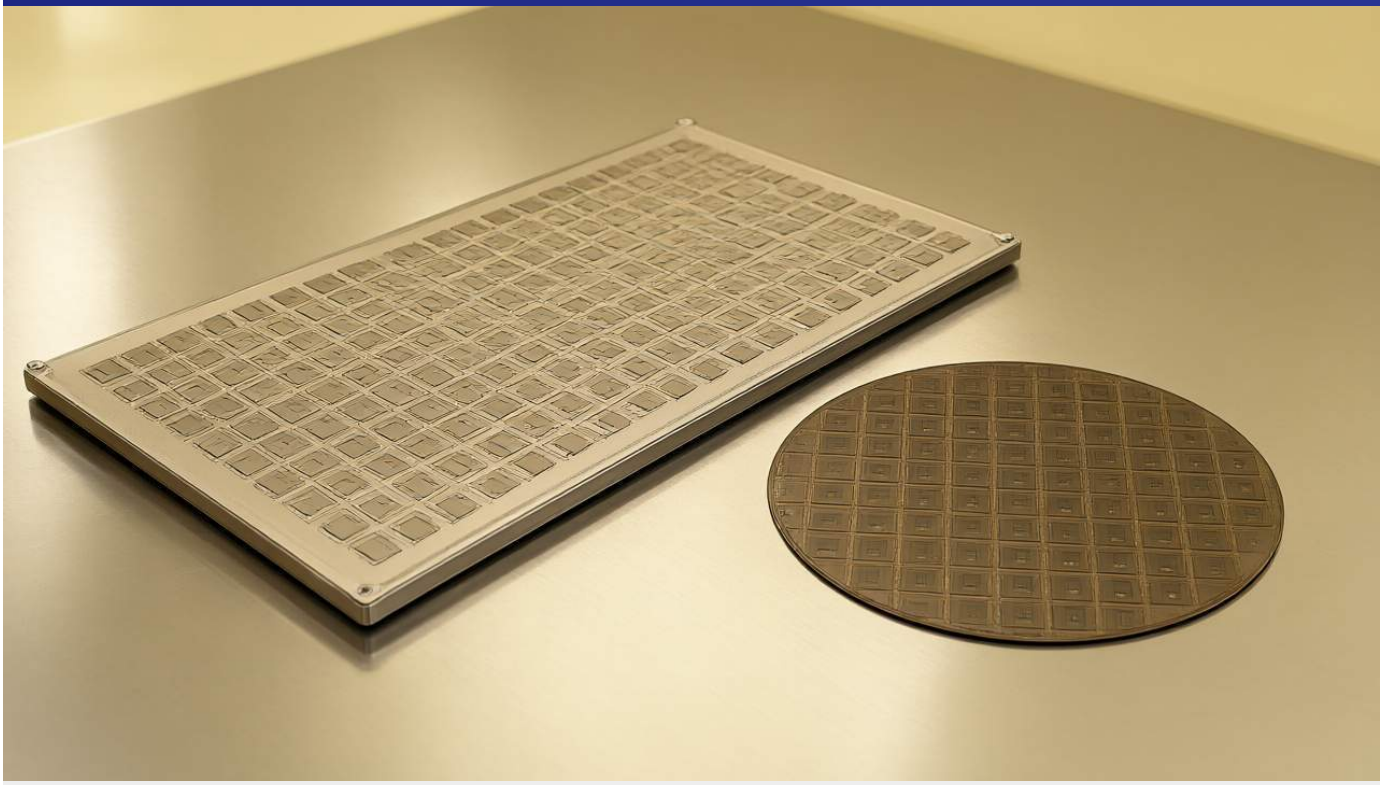
---

元記事: https://xenospectrum.com/en/micron-dram-bonding-vertical-memory/

収集日: 2026年10月31日 | 自動記事収集・翻訳システム (AI使用)

# #03 CoPoSとは｜TSMCやサムスン電気が検討するパネル型パッケージングの仕組みと設備

公開日 2026年10月26日　36Kr Europe　中国



## 概要

AIチップの大型化に伴い、従来のウェハレベルパッケージングに代わる新手法「CoPoS（Chip-on-Panel-on-Substrate）」への移行が進んでいる。CoPoSは処理キャリアを円形ウェハから矩形パネルに変更することで、面積利用率の向上と生産効率の改善を図る技術である。この転換により、チップ実装やダイシング工程における製造装置への新たな需要が発生している。

## 詳細

### CoPoSによるパッケージング工程の刷新

AIチップの大型化とHBM（高帯域幅メモリ）の統合規模拡大に伴い、従来のCoWoSなどのウェハレベルパッケージングでは面積利用率に限界が生じている。これに対する解決策として、処理キャリアを円形ウェハから矩形パネルに変更する「CoPoS（Chip-on-Panel-on-Substrate）」への移行が注目されている。InfomarketのCEOであるYong-woon Kang氏の分析（10月22日発表）によると、TSMCがこの方向での研究開発を進めており、サムスン電気も関連技術を探索しているとされている。

### CoPoSの製造ワークフローと技術的詳細

CoPoSでは、有機再配線層（RDL）をインターポーザ構造として採用する。具体的な工程は以下の通りである。

- 一時的なガラスキャリア上に微細回路（RDL）を形成する。この際、RDLの線幅は約2ミクロンと極めて細く、従来のパッケージ基板の10ミクロン以上に比べて大幅に微細化されている。
- 形成されたRDL上に、GPUチップ（約26×33mm）とHBMスタック（約11×12mm）を並べて実装する。
- モールディング化合物でチップとRDLを封止し、機械的強度を確保した後、ガラスキャリアを剥離させる。
- パネルを個別のパッケージユニットにダイシングし、最終的に有機パッケージ基材に接続する。

ここで重要な点は、現在のCoPoSソリューションにおけるガラスはあくまで「一時的なキャリア」であり、最終的なRDLインターポーザは依然として有機材料構造であることだ。ガラスを恒久的な基材やインターポーザとして利用するのは、今後の発展段階における別の技術ルートとされる。

### パネル化がもたらす設備需要の変化

処理キャリアがウェハからパネルに変わることで、扱う面積が劇的に拡大する。パネルサイズは310×310mmから515×510mmへと拡大しており、後者は300mmウェハの3.5倍以上の面積を持つ。これにより、矩形パッケージ配置時の端部での面積損失を削減できる。この大型化に伴い、以下の3種類の装置に新たな需要が生まれている。

- **40mm級TC（熱圧着）ボンダー：**マイクロバンプピッチ25〜40ミクロン、実装精度±1〜2ミクロンという高精度なチップ実装を実現する。
- **MSVP（Micro SAW & VISION PLACEMENT）システム：**ダイシング、洗浄、検査、配置を統合したシステム。CoPoSで形成される69〜90mm角のパッケージユニットを精密に処理する。
- **120mm級TCボンダー：**ダイシング後のパッケージユニットを基板に接続するために使用される。

### 今後の展望

CoPoSへの移行は、単なる工程の変更に留まらず、装置および材料セクターに広範な機会をもたらす。将来的には、ガラスコア基板やガラスインターポーザの開発が進むことで、関連設備への需要がさらなる成長局面を迎えると予想されている。

参考技術解説：CoPoS：https://troy-technical.jp/semiconductor-back-end-term-copos/

参考技術解説：RDL：https://troy-technical.jp/semiconductor-back-end-term-rdl/

参考技術解説：インターポーザ：https://troy-technical.jp/semiconductor-back-end-term-interposer/

参考企業解説：TSMC：https://troy-technical.jp/semiconductor-back-end-company-tsmc/

参考企業解説：サムスン電子：https://troy-technical.jp/semiconductor-back-end-company-samsung-electronics/

---

元記事: https://eu.36kr.com/en/p/4042012488962946

収集日: 2026年10月31日 | 自動記事収集・翻訳システム (AI使用)

# #04 ASE｜AMD向けパネルレベルパッケージング（PLP）の量産時期と詳細

公開日 2026年10月29日　Blocktempo　台湾



## 概要

ASEがAMDの次世代サーバープロセッサ「Venice」向けに、パネルレベルパッケージング（PLP）ソリューションを披露しました。310×310mmの方形パネルを採用することで、従来の300mm円形ウェハ比でインターポーザの搭載数を約14%向上させています。初期量産は2027年第1四半期を目標としており、パッケージングの大型化に伴う生産効率の向上が期待されます。

## 詳細

### 主要成果

ASEは、AMDの次世代サーバープロセッサ「Venice」向けに、パネルレベルパッケージング（PLP）ソリューションを開発しました。この方案は、従来の円形ウェハではなく方形パネルを基板として利用するもので、初期量産の目標時期は2027年第1四半期に設定されています。量産規模は限定的となる見込みで、場所は高雄の工場になる可能性があります。

### 技術・詳細

本ソリューションでは、ASEおよび子会社のSPILがAMDと協力し、第2世代のファンアウト組み込みブリッジ（FOEB）技術を導入しています。具体的には、310×310mmの方形パネルを採用しており、エッジの損失分を差し引いた後、1枚のパネルに25個のVenice用インターポーザ（複数のチップを接続する底板）を配置可能です。

対して、従来の300mm円形ウェハ載板では22個しか配置できず、パネル化によって搭載数が約14%増加します。Veniceのインターポーザ面積はレチクルサイズの2.7倍ですが、インターポーザが大型化すればするほど、方形パネルの優位性は顕著になります。例えば、レチクルサイズの9.5倍のインターポーザを配置する場合、円形ウェハでは4個しか配置できないのに対し、パネルでは9個の配置が可能になります。ただし、この移行には設備成熟度の向上が前提となります。

### 背景・業界の文脈

ASEが発表したこの310×310mmパネルレベルパッケージング産線は、業界初の自動化産線とされており、2027年上半期の量産開始が予定されていました。一方、対象となるAMDの第6世代EPYCプロセッサ「Venice」は、TSMCの2nmプロセスでの量産立ち上げが既に発表されていますが、ASEのPLP方案の量産は2027年第1四半期からとなる見込みです。

また、ASEの子会社である力成（SPIL）は、ブロードコム（Broadcom）と共同でシンガポールに合弁工場を設立することを決定し、台湾経済部投資審議司（投審会）より4億ドルの投資承認を得ました。この合弁会社「XCIP TECHNOLOGIES PTE. LTD.」は、パネルレベルの先進パッケージング、組み立て、最終テストの受託を業務とし、特にCPO（共同封装光学）光通信需要をターゲットとしています。

### 今後の展望

力成とブロードコムの合弁工場は、最速で2026年末に起工し、2028年の量産開始を目指しています。ブロードコムが過半数の株式を保有して主導し、力成が運営と量産を担当する体制となる予定です。ASEおよび力成が掲げる2027年から2028年にかけての量産スケジュールは、TSMCが計画している次世代パッケージング技術「CoPoS」の量産時期（2028年）と概ね一致しており、業界全体でパネルレベルへの移行が進む局面にあると言えます。

参考技術解説：インターポーザ：https://troy-technical.jp/semiconductor-back-end-term-interposer/

参考技術解説：PLP：https://troy-technical.jp/semiconductor-back-end-term-plp/

参考技術解説：ファンアウト：https://troy-technical.jp/semiconductor-back-end-term-fanout/

参考企業解説：ASEグループ：https://troy-technical.jp/semiconductor-back-end-company-ase-group/

参考企業解説：AMD：https://troy-technical.jp/semiconductor-back-end-company-amd/

参考企業解説：シリコンウェア・プレシジョン・インダストリーズ（SPIL）：https://troy-technical.jp/semiconductor-back-end-company-spil/

---

元記事: https://www.blocktempo.com/ase-amd-venice-panel-level-packaging-powertech-broadcom-singapore-plant/

収集日: 2026年10月31日 | 自動記事収集・翻訳システム (AI使用)

# #05 半導体ガラス基板｜GISTが開発した低誘電率材料の特性とAIチップへの適用課題

公開日 2026年10月25日　Money Today (mt.co.kr)　韓国



## 概要

光州科学技術院（GIST）が、AI半導体向けの次世代ガラス基板用低誘電率材料技術を開発した。アルミノホウケイ酸ガラスの組成を最適化することで、信号損失の低減と熱安定性の向上を同時に実現している。これにより、従来の有機基板で課題となっていた熱による反りや信号減衰を抑制し、AI半導体の電力効率と性能を底上げすることが期待される。

## 詳細

### 主要成果

光州科学技術院（GIST）の高度光子技術研究センター（Advanced Photon Technology Research Institute）のKim Bok-hyunシニアリサーチフェローらのチームが、半導体ガラス基板向けの「低誘電率ガラス材料技術」を開発した。この技術は、AI半導体のパッケージングにおいて、従来のポリマーベースの有機基板を代替することを目的としており、信号伝送性能の向上と電力効率の改善を目指している。

### 技術・詳細

開発された材料は、二酸化ケイ素、酸化ホウ素、酸化アルミニウムを基本成分とするアルミノホウケイ酸ガラスであり、その組成と内部構造を最適化することで、半導体パッケージに特化した特性を持たせている。具体的には以下の物理的特性をバランスよく確保している。

- **低誘電特性：**誘電率（Dk）と誘電正接（Df）を低減し、10〜20ギガヘルツ（GHz）以上の高周波帯域における信号減衰と熱発生を抑制した。
- **熱安定性と機械的強度：**シリコンチップと同等の熱膨張特性を持たせることで、温度変化による基板の反りや接合部の亀裂を防止している。また、半導体製造における高温プロセスや微細加工、穴あけ工程に耐えうる強度を実現した。

既存のディスプレイ用ガラスを転用するのではなく、設計段階から高性能半導体パッケージング向けに組成を最適化した点が本研究の特徴である。

### 背景・業界の文脈

AI半導体では、複数のコンピューティングチップと高帯域幅メモリ（HBM）を単一パッケージに統合するため、パッケージの大型化と消費電力の増大が進行している。従来主流であった青や緑のプリント基板（PCB）などの有機基板は、高負荷時の熱によって基板が曲がる「反り（warpage）」の問題が発生しやすかった。また、表面の粗さによる微細配線の困難さや、データ伝送周波数の上昇に伴う信号減衰と発熱が、システム全体の性能を低下させるボトルネックとなっていた。

## 今後の展望

ガラス基板は、単なる電気的な特性向上にとどまらず、基板内部に光の経路を形成できるという利点を持つ。研究チームは今後、この技術を「光インターコネクト（optical interconnects）」へと拡張し、従来の銅配線による電力消費や損失を改善する方向で研究を進める計画である。

参考技術解説：ガラス基板：https://troy-technical.jp/semiconductor-back-end-term-glass-substrate/

参考技術解説：インターコネクト：https://troy-technical.jp/semiconductor-back-end-term-interconnect/

参考技術解説：HBM：https://troy-technical.jp/semiconductor-back-end-term-hbm/

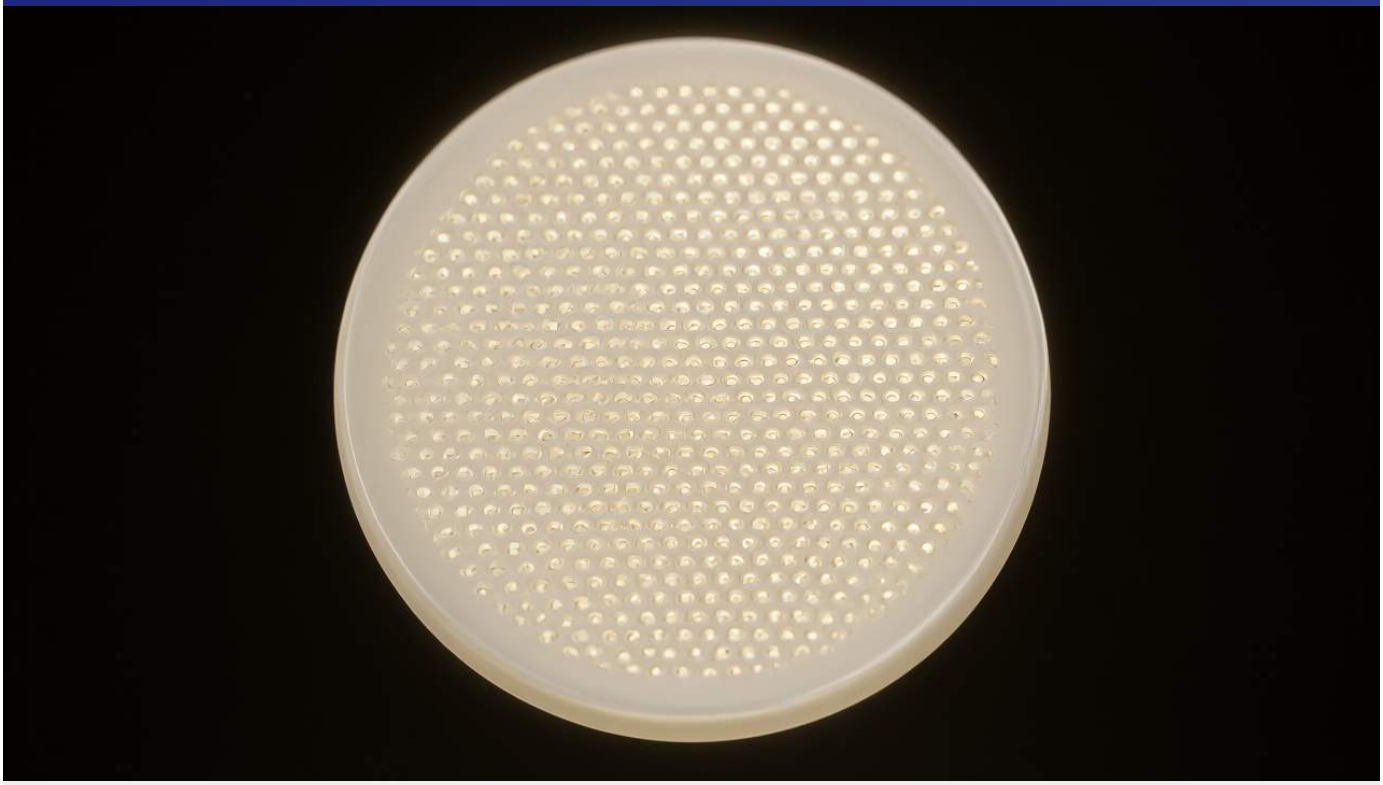
---

元記事: https://www.mt.co.kr/index.php/en/future/2026/10/25/2026101915054962909

収集日: 2026年10月31日 | 自動記事収集・翻訳システム (AI使用)

# #07 感光性結晶化ガラス｜次世代半導体基板のTGV加工技術と200㎜級試作の成果

公開日 2026年10月29日　Financial News (파이낸셜뉴스)　韓国



## 概要

韓国セラミック技術院が、次世代半導体パッケージングに使用される特種ガラス素材「感光性結晶化ガラス」を開発し、国産化の基盤を構築した。本素材を用いることで、ガラス基板に微細な貫通孔（TGV）を精密に形成する加工技術を確立し、直径200㎜級のガラス基板試作に成功した。これにより、従来のプラスチック系基板に比べ、熱変形が少なく信号損失を低減できる高密度な回路構成が可能になる。

## 詳細

### 主要成果

韓国セラミック技術院は、産学研の共同研究を通じて、次世代半導体向け特種ガラス素材である「感光性結晶化ガラス」の開発に成功した。本研究では、(株)ハス、韓国航空大学校、LXグラスとの共同で、半導体チップを接続するガラス基板に微細な貫通孔（TGV: Through Glass Via）を形成するための素材および加工技術を開発した。具体的な成果として、直径200㎜級のガラス基板試作および素材の強度向上を実現した。

### 技術・詳細

開発された「感光性結晶化ガラス」は、紫外線（UV）照射後に熱処理を行うことで、光が当たった部分に選択的に結晶を生成させる特性を持つ特種ガラスである。この結晶化した部分を化学溶液で除去することで、複数の微細な穴を精密に形成することが可能となり、半導体パッケージングへの適用が期待される。

研究チームは、原材料の配合から始まり、ガラス基板の製作、紫外線照射、熱処理、そして化学溶液を用いた加工に至るまでの一連のプロセス技術を確保した。実証実験では、直径200㎜級の大面積ガラス基板の試作に成功したほか、同一素材を用いた100㎜級の基板においても微細孔の形成を確認している。特に、大面積化の可能性に加え、素材自体の強度向上と精密な微細加工技術の両立において成果を上げたとしている。

### 背景・業界の文脈

半導体チップを搭載し接続するための「ガラス基板」は、従来のプラスチック系基板と比較して表面が滑らかであり、熱による変形が少ないという利点がある。そのため、より微細な回路を密に配置でき、電気信号の損失を抑えることができるため、次世代の基板素材として注目されている。

しかし、ガラスは衝撃に弱く破損しやすい点に加え、基板の上下を接続する微細な貫通孔（TGV）を一定のサイズで均一に形成することが困難であった。そのため、商用化に向けては、耐久性の高い素材の確保と、極めて精密な加工技術の確立が主要な課題となっていた。

## 今後の展望

韓国セラミック技術院のハン・ユンス博士は、今回の成果により、国内において半導体パッケージング用感光性結晶化ガラス素材を設計・製造するための技術的基盤が整ったと述べている。今後は、基板の大面積化および微細加工技術をさらに高度化させ、次世代半導体パッケージング素材の国産化を推進し、実際の産業現場への適用に寄与することを目指すとしている。

参考技術解説：ガラス基板：https://troy-technical.jp/semiconductor-back-end-term-glass-substrate/

参考技術解説：ビア：https://troy-technical.jp/semiconductor-back-end-term-via/

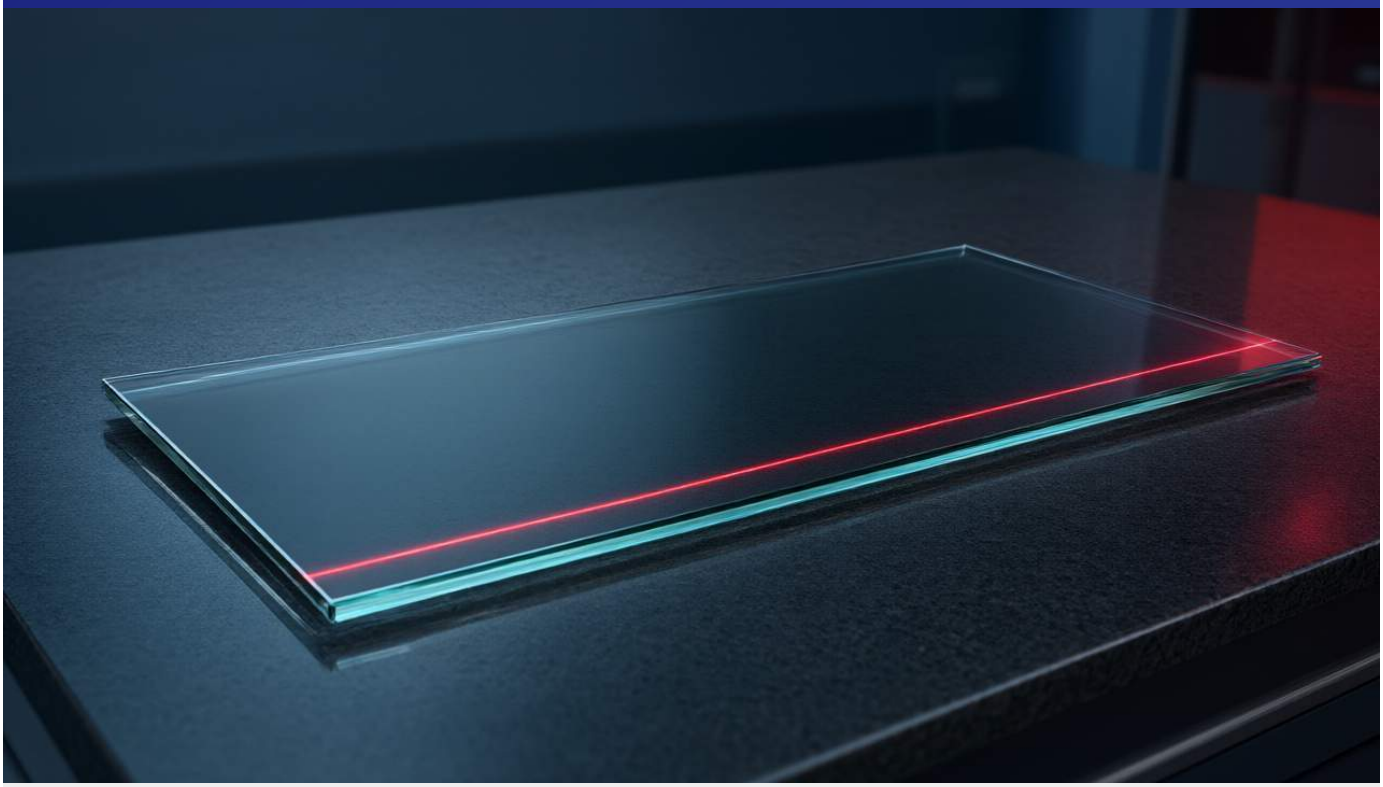
---

元記事: https://www.fnnews.com/news/202610291026456501

収集日: 2026年10月31日 | 自動記事収集・翻訳システム (AI使用)

# #08 ガラス基板パッケージング｜510×515mmのサイズ選定理由と翹曲（反り）の課題

公開日 2026年10月27日　21ic電子網（新浪財経転載）　中国



## 概要

次世代のパネルレベルパッケージングにおいて、510×515mmというサイズが業界のデファクトスタンダードになりつつある。このサイズは面積利用率を向上させ、TSMCのCoWoSなどの供給不足を解消する手段となる一方、物理的な「翹曲（反り）」のリスクが面積の二乗で増大するという課題を抱えている。本技術の成否は、材料・構造・工程の統合的な制御による反り抑制能力にかかっている。

## 詳細

### 主要成果とサイズ選定の論理

次世代パッケージングの主流として注目される510×515mmのガラス基板は、従来の300mm円形ウェハと比較して面積利用率を大幅に向上させる。300mmウェハでの有効利用率が約45%〜65%であるのに対し、510×515mmの方形パネルでは81%以上に達し、1バッチあたりの産出面積は12インチウェハの4〜8倍に相当する。このサイズが選ばれた最大の理由は、ディスプレイ業界のG8.5世代の半板サイズであり、既存の製造ラインや搬送設備、露光装置などの成熟したインフラを転用できるためである。

### 技術的課題：翹曲（反り）の物理的制約

パネルの大型化に伴い、最大の障壁となるのが「翹曲（反り）」である。薄板力学において、反りの変位量wは特徴的な辺長Lの二乗（$w \propto L^2$）に比例する。例えば、辺長を300mmから600mmに倍増させた場合、反りの駆動率は4倍に跳ね上がる。反りが数百ミクロンに達すると、露光機の焦点深度（数ミクロン）を超えてパターンがぼやけるほか、真空吸盤での搬送不能といった致命的な問題が発生する。そのため、AIチップのような高精度（線幅1〜10$\mu$m）を求める製品では保守的なサイズに留まり、精度要求が緩いPMICやRFチップ（線幅10〜20$\mu$m）の方が、600mm以上の大板での導入が進む傾向にある。

### 反り抑制へのアプローチ

業界では反りを制御するために以下の3つのアプローチを併用している。

- 材料面：ガラスの熱膨脹係数（CTE）をシリコンに近い3.2〜7.2 ppm/℃まで低減させる。ただし、低CTEガラスは脆く、TGV（ガラス貫通電極）形成時の微細亀裂リスクが高まり、良率が65%〜82%に低下する傾向がある。
- 構造面：上下対称の配線構造を採用し、応力を相殺させる。TSMCのCoPoSなどがこの手法を用いる。
- 工程面：一時的な接合・剥離（Temporary Bonding/Debonding）や、ガラスの薄層化（100〜150$\mu$m）による応力分散を図る。

## 業界の動向と今後の展望

主要企業の戦略は分かれている。TSMCは300mmから段階的に510mmへ移行する安定路線をとり、量産は2028〜2029年を見込む。一方、インテルは510×515mmの24層ガラス芯パネルを提示する激進的な路線を採る。中国勢では、沃格光電がTGV月産1万枚の能力を算出し、京東方は2026年上半期に全自動設備を通線させる計画である。また、原片供給の彩虹股份や、TGV中試線を計画する凱盛科技などがサプライチェーンを形成しつつある。今後の量産化の鍵は、面積拡大によるコストメリットと、指数関数的に増大する欠陥リスク（孔数増加による良率低下）のトレードオフをいかに制御できるかにかかっている。

参考技術解説：熱膨張係数：https://troy-technical.jp/semiconductor-back-end-term-cte/

参考技術解説：CoWoS：https://troy-technical.jp/semiconductor-back-end-term-cowos/

参考技術解説：ガラス基板：https://troy-technical.jp/semiconductor-back-end-term-glass-substrate/

参考企業解説：TSMC：https://troy-technical.jp/semiconductor-back-end-company-tsmc/

参考企業解説：インテル：https://troy-technical.jp/semiconductor-back-end-company-intel/

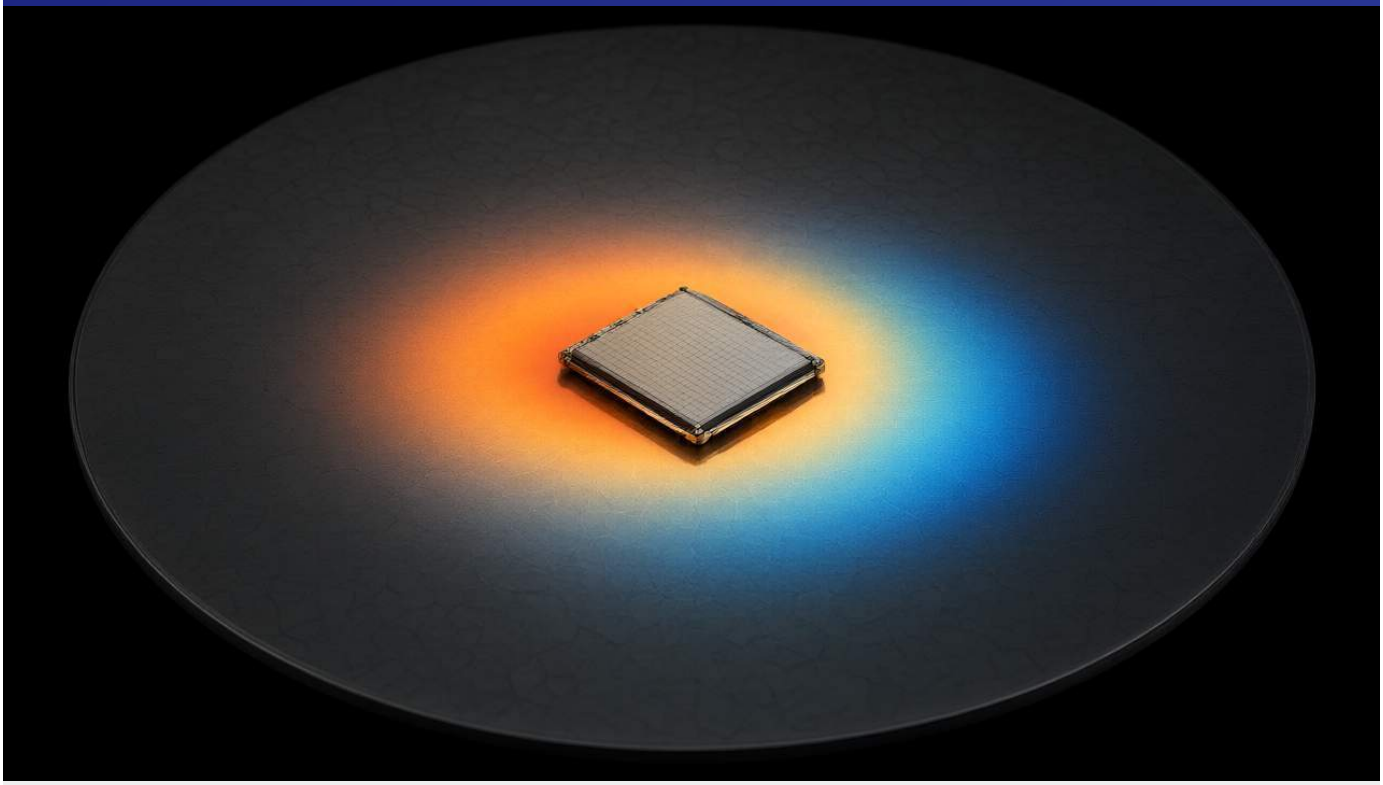
---

元記事: https://finance.sina.com.cn/wm/2026-10-27/doc-iniwrzht4588328.shtml

収集日: 2026年10月31日 | 自動記事収集・翻訳システム (AI使用)

# #09 多結晶SiC基板｜Hunan Titan Futureが開発した12インチ基板の性能と用途

公開日 2026年10月29日　TrendForce News　中国



## 概要

Hunan Titan Future Technologyが、中国初となる12インチの多結晶シリコンカーバイド（SiC）基板を開発した。この基板は280 W/(m·K)を超える熱伝導率を実現し、AIコンピューティングチップなどの高出力チップにおける放熱課題の解決を目指す。パワーデバイス向けの単結晶基板とは異なり、主に熱管理や結晶成長のキャリアとしての活用を想定している。

## 詳細

### 主要成果

Hunan Titan Future Technologyは、中国で初めて12インチの多結晶シリコンカーバイド（SiC）基板を開発した。この製品は、高出力チップの動作時に発生する熱蓄積を軽減するための熱伝導ベースとして、半導体パッケージング構造内で機能するように設計されている。現在、主要企業による検証を完了し、サンプル検証および小規模な試験生産の段階にある。

### 技術・詳細

本基板の最大の特徴は、280 W/(m·K)を超える高い熱伝導率を備えている点にある。これにより、AIコンピューティングチップや高度なパッケージングなど、極めて高い熱伝導性が要求されるアプリケーションへの適用が可能となる。

また、本製品は用途において従来のSiC基板と明確に差別化されている。一般的にパワーデバイスのエピタキシャル成長に用いられる「単結晶SiC基板」とは異なり、同社の「多結晶SiC基板」は主に以下の用途に位置づけられている。

- 高出力チップの熱管理（サーマルマネジメント）
- 結晶成長のためのキャリア（担体）
- 高温半導体プロセスのベース材

### 背景・業界の文脈

同社の技術開発は、中南大学（Central South University）の粉末冶金研究所による研究に基づいており、開発チームには同大学の博士号取得者が複数名を擁している。同社はこれまでにも、国内で6インチおよび8インチの多結晶SiC基板の開発を完了させてきた実績を持つ。

背景には、AIチップなどの高出力デバイスにおいて、熱放散が深刻な課題となっている現状がある。多結晶SiCは、こうした熱管理ニーズに応える素材として注目されている。

## 今後の展望

Hunan Titan Futureは、生産体制の拡充に向けて複数の拠点展開を計画している。2026年9月28日には、江蘇省金湖経済開発区において、高純度・高密度SiCコンポーネントおよび多結晶基板の統合製造ベースとなるプロジェクトが着工した。この施設では、高性能SiCコンポーネントおよびタンタルカーバイド（TaC）コーティング製品を主に生産し、フル稼働後の年間生産能力は20万ユニット、年間売上高は6億人民元、税収は3,000万人民元に達すると見込まれている。

また、地域ごとに役割を分担させ、長沙を技術開発およびアプリケーションのインキュベーションセンターとし、厦門（アモイ）の施設では複合SiC基板を年間50万枚生産する計画である。

---

元記事: https://www.trendforce.com/news/2026/10/29/news-chinas-first-12-inch-polycrystalline-silicon-carbide-substrate-unveiled/

収集日: 2026年10月31日 | 自動記事収集・翻訳システム (AI使用)

# #10 Lam ResearchとimecⅠ3D集積化とHigh-NA EUVの量産化に向けた共同研究の内容

公開日 2026年10月28日　Electronics Weekly　イギリス



## 概要

Lam Researchとimecが、次世代メモリおよび先端パッケージング向けの3D集積化技術の量産準備を加速させるため協調します。両社は、厚膜誘電体堆積やプラズマダイシングなどのプロセス課題の解決に加え、High-NA EUV向けドライレジストプラットフォーム「Aether」の研究開発に取り組みます。AIワークロードによるメモリ密度と帯域幅への需要増、およびロジックデバイスの微細化への対応を目的としています。

## 詳細

### 主要成果

Lam ResearchとimecIは、先端パッケージングおよび次世代メモリを支える3D集積化技術の製造準備を加速させるための共同研究を開始しました。Lamが持つ堆積（デポジション）およびエッチングの能力と、imecの世界的なインテグレーション・インフラを統合することで、研究段階のイノベーションを高速に大量生産（HVM）へと移行させることを目指します。

### 技術・詳細

共同研究の範囲は、ヘテロジニアス集積（異種集積）の業界規模での展開に不可欠なプロセス課題の解決に重点が置かれています。具体的には、以下の領域をカバーしています。

- **先端パッケージングおよびメモリ：**厚膜誘電体堆積、非対称ストレス補償、ベベル堆積、プラズマダイシング、およびプロセス検証。
- **次世代3Dメモリ：**新しい電荷トラップ材料、精密多層堆積、高アスペクト比チャネルエッチング、ディープメモリコンタクト、低抵抗インターコネクト。

また、ロジックデバイスの微細化に向けて、Lamのドライレジストプラットフォーム「Aether」の適用に関する研究開発も行います。imecのHigh-NA EUV研究環境を用い、解像度、感度、焦点深度、およびストカスティック欠陥の改善に注力します。特に、ルテニウム（Ruthenium）のダイレクトメタルエッチングを用いた先端インターコネクトのパターニングを探索しており、すでに単一露光のHigh-NA EUVパターニングにより、20nmピッチ以下のルテニウム直接金属エッチング・インターコネクトを実現したことを実証済みです。この成果では、ブリッジに敏感なフォーク構造で電気的歩留まり100%、断線に敏感なミアンダー構造で90%以上を達成しました。

## 背景・業界の文脈

AIワークロードの増大により、より高いメモリ密度と帯域幅への需要が高まっており、3D集積化や先端パッケージングの重要性が増しています。同時に、ロジックデバイスにおいては、オングストローム時代（angstrom-era）のノードに近づくにつれ、より小さな機能とトランジスタ密度の向上を実現するためにHigh-NA EUVリソグラフィが不可欠となっています。しかし、High-NA EUVの導入には、レジスト、マスク設計、パターニング、材料、堆積、エッチング、デバイス集積といった周辺技術の刷新が同時に求められます。

## 今後の展望

Aetherによるパターニングは、マルチパターニングの複雑さを軽減し、製造性を向上させる手法として期待されています。この技術は、LamのAkaraエッチングシステムやStriker ALDポートフォリオと共に、次世代のAIコンピューティングを支えるゲートオールアラウンド（GAA）および相補型FET（CFET）アーキテクチャを実現するための包括的なアプローチの一環として位置づけられています。

参考技術解説：インターコネクト：https://troy-technical.jp/semiconductor-back-end-term-interconnect/

参考技術解説：ブリッジ：https://troy-technical.jp/semiconductor-back-end-term-bridge/

参考企業解説：ラムリサーチ：https://troy-technical.jp/semiconductor-back-end-company-lam-research/

---

元記事: https://www.electronicsweekly.com/news/business/lam-and-imec-pursue-3-d-integration-2026-10/

収集日: 2026年10月31日 | 自動記事収集・翻訳システム (AI使用)