

TROY TECHNICAL

# 半導体後工程 ウィークリーレポート

2026年10月17日-10月23日 | Issue 2026-W42

パッケージ性能、工程歩留まり、検査、認定能力

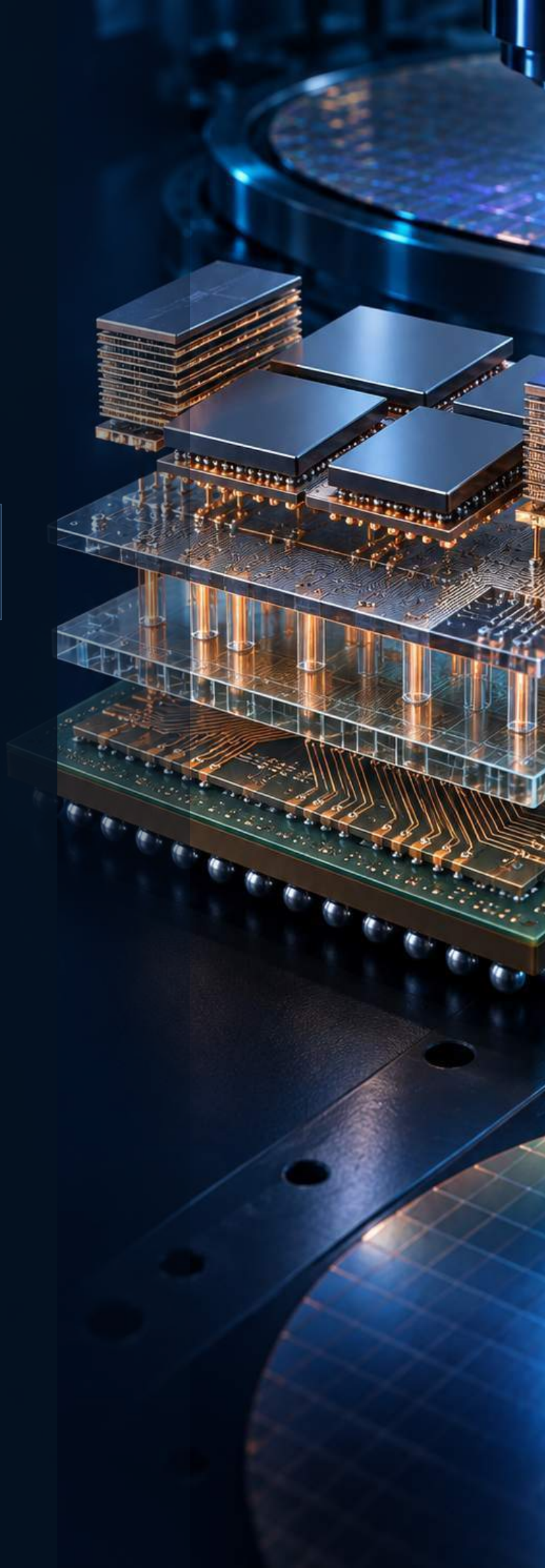
12

分析対象

10

重点テーマ

発行 2026-10-23 | 日本語版 | 承認済み固定表紙



# 半導体後工程:個別発表から認定証拠へ境界が移動

日本語記事12件を棚卸しし、意思決定に重要なテーマを選定した。

## シグナル 01 | 材料

### NVIDIAの次世代CPO|シリコンインターポーザ実装による帯域密度向上の詳細

NVIDIAが、光エンジンをコンピューティングチップに極限まで近づける次世代の共同パッケージ光学(CPO)プロトタイプを公開しました。シリコンインターポーザ上に光学素子を配置するOOI設計や、1光ファイバーあたり256 Gb/sを実現するDWDM技術を提示しています。これにより、AIシステムの帯域密度向上と消費電力の低減を目指します。

## シグナル 02 | 接合・組立

### Samsung|Nvidia向け次世代HBMのベースダイにTSMC 3nmプロセスを採用

Samsung Electronicsが、Nvidiaの次世代カスタム高帯域幅メモリ(HBM)向けベースダイの製造にTSMCの3ナノメートル(3nm)プロセスを採用します。NvidiaはSamsung、SK Hynix、Micron Technologyの各社に対し、ベースダイへのTSMCプロセスの利用と、コアダイへの第6世代DRAM技術の適用を要求しました。これにより、SamsungがHBMの製造段階でTSMCと協力するのは初めてとなります。

## シグナル 03 | 先端PKG

### 光電融合デバイス|NTTグループら5社による光チップレット量産技術の開発と課題

NTT Innovative Devicesを中心とする5社が、次世代AIコンピューティングを支える光電融合(PEC)デバイスの量産技術開発に着手した。NEDOの「Post-5G情報通信システム基盤強化研究開発事業」に採択され、光チップレットの製造生産性を現状のR&D段階から10倍以上に高めることを目指す。これにより、生成AIの普及に伴うデータセンターの消費電力増大という課題を解決し、超低消費電力な計算基盤の実現を加速させる。

## シグナル 04 | 試験・検査

### Google TPU v9|Intel EMIB-Tの採用状況と量産時期、歩留まりの課題

Googleの次世代AIチップ「TPU v9」のバリエーションの一つであるHumuFishが、歩留まりの課題を抱えながらもIntelの先端パッケージング技術「EMIB-T」を継続採用することが明らかになりました。EMIB-Tの基板歩留まりは2026年第3四半期時点で約35%にとどまり、目標の50%を大きく下回っています。この状況は、Intelが外部顧客を先端パッケージングで獲得できるかという重要な試金石となります。

## 編集判断

今週の経営判断は パッケージ性能、工程歩留まり、検査、認定能力 に集中する。自社条件で関連証拠を再現できる場合だけ次へ進む。

## 経営の3アクション

1. 事業会社: 熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。
2. 供給企業: 材料、接合、検査、信頼性の工程窓を顧客と共同設計する。
3. 経営層: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

## 証拠の読み方

FACTは収集記事に書かれた内容、事業への読みとACTIONは編集判断、UNKNOWNは記事だけでは確定しない項目を示す。リンク先があることだけで、全主張が独立検証済みとは扱わない。

## 条件と一緒に読む主要数値・証拠5件

256 G

A02

## 数値の条件

NVIDIAが、光エンジンをコンピューティングチップに極限まで近づける次世代の共同パッケージ光学(CPO)プロトタイプを公開しました。シリコンインターポーザ上に光学素子を配置するOOI設計や、1光ファイバーあたり256 Gb/sを実現するDWDM技術を提示しています。これにより、AIシステムの帯域密度向上と消費電力の低減を目指します。

3nm

A05

## 数値の条件

Samsung Electronicsが、Nvidiaの次世代カスタム高帯域幅メモリ(HBM)向けベースダイの製造にTSMCの3ナノメートル(3nm)プロセスを採用します。NvidiaはSamsung、SK Hynix、Micron Technologyの各社に対し、ベースダイへのTSMCプロセスの利用と、コアダイへの第6世代DRAM技術の適用を要求しました。

5社

A04

## 数値の条件

NTT Innovative Devicesを中心とする5社が、次世代AIコンピューティングを支える光電融合(PEC)デバイスの量産技術開発に着手した。NEDOの「Post-5G情報通信システム基盤強化研究開発事業」に採択され、光チップレットの製造生産性を現状のR&D段階から10倍以上に高めることを目指す。これにより、生成AIの普及に伴うデータセンターの消費電力増大という課題を解決し、超低消費電力な計算基盤の実現を加速させる。

2026年

A01

## 数値の条件

Googleの次世代AIチップ「TPU v9」のバリエーションの一つであるHumuFishが、歩留まりの課題を抱えながらもIntelの先端パッケージング技術「EMIB-T」を継続採用することが明らかになりました。EMIB-Tの基板歩留まりは2026年第3四半期時点で約35%にとどまり、目標の50%を大きく下回っています。この状況は、Intelが外部顧客を先端パッケージングで獲得できるかという重要な試金石となります。

300mm

A03

## 数値の条件

Intelが、業界で唯一、300mmウェハを用いたインジウムホスファイド(InP)シリコンフォトニクス的大量生産能力を持つと主張しています。従来のInP基板は150mm以下が主流でしたが、300mmプラットフォームへの統合により、AIやHPC向けCPO(共同パッケージ光学)の生産効率と拡張性を向上させます。これにより、次世代の近接パッケージ光学(NPO)やCPOの商用化が加速すると期待されています。

## 数値の読み方

数値は収集記事が示した条件と一緒に掲載する。試験法、寸法、温度、商用段階が異なる値を、条件補正なしで比較しない。

バリューチェーンはどこで動いたか

各段階に主テーマと補助テーマを接続する。矢印は装飾ではなく、次工程へ渡す証拠を示す。



各受渡しに必要な証拠

|               |                                                               |
|---------------|---------------------------------------------------------------|
| 材料 → 接合・組立    | 試験条件、受入基準、故障データ、担当、判断日を渡し、再確認する: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。 |
| 接合・組立 → 先端PKG | 試験条件、受入基準、故障データ、担当、判断日を渡し、再確認する: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。 |
| 先端PKG → 試験・検査 | 試験条件、受入基準、故障データ、担当、判断日を渡し、再確認する: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。 |
| 試験・検査 → 量産供給  | 試験条件、受入基準、故障データ、担当、判断日を渡し、再確認する: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。 |

共通管理点

担当者が関連証拠を再現し、次を記録するまで商用判断へ進めない: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

プライオリティマップ:実装成熟度と次の判断場所



|     |                                                                  |
|-----|------------------------------------------------------------------|
| P01 | NVIDIAの次世代CPO シリコンインターポーザ実装による帯域密度向上の詳細システム・導入   根拠: 実装          |
| P02 | Samsung Nvidia向け次世代HBMのベースダイにTSMC 3nmプロセスを採用システム・導入   根拠: 採用     |
| P03 | 光電融合デバイス NTTグループら5社による光チップレット量産技術の開発と課題システム・導入   根拠: 量産          |
| P04 | Google TPU v9 Intel EMIB-Tの採用状況と量産時期、歩留まりの課題システム・導入   根拠: 採用     |
| P05 | Intelの300mm InPシリコンフォトリソ CPO量産化への課題と主要企業の動向システム・導入   根拠: 量産      |
| P06 | NVIDIA Vera CPU モノリシック設計によるAgentic AI性能とx86比較事業・制度・供給   根拠: インフラ |
| P07 | パネルレベルパッケージング ウェハからパネル移行時の課題とIntel・ASEの戦略技術・工程   根拠: 統合・事業語なし    |
| P08 | NVIDIA AIインフラ構築に向けたサプライチェーン拡張、量産能力の拡大計画と時期事業・制度・供給   根拠: インフラ    |
| P09 | ニコン DSP-110 後工程向けデジタル露光装置の解像度とスループット性能システム・導入   根拠: 発売           |
| P10 | ICサブストレート Unimicronが警告する供給不足の要因と2027年の材料不足技術・工程   根拠: 統合・事業語なし   |

再現可能な配置ルール  
横軸は研究・試作・共同評価・製品採用・量産の5段階。縦の帯は次の判断場所を技術・工程、システム・導入、事業・制度・供給に分ける。まず記事見出しの根拠語を使い、見出しで判断できない場合だけ概要を参照する。上下は影響の大小を意味しない。円径は編集スコアを示す。

FACTは収集記事に接続し、事業への読み、ACTION、UNKNOWNは編集判断として分離する。

P01

## NVIDIAの次世代CPO|シリコンインターポーザ実装による帯域密度向上の詳細

A02 | 材料 | 研究

日付未収録

## FACT

NVIDIAが、光エンジンをコンピューティングチップに極限まで近づける次世代の共同パッケージ光学(CPO)プロトタイプを公開しました。シリコンインターポーザ上に光学素子を配置するOOI設計や、1光ファイバーあたり256 Gb/sを実現するDWDM技術を提示しています。これにより、AIシステムの帯域密度向上と消費電力の低減を目指します。

## なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

## 事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

## ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP01の評価票へ記録する。

## UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 19/25 | 成熟度 1/5 | 判断場所: システム・導入

P02

## Samsung|Nvidia向け次世代HBMのベースダイにTSMC 3nmプロセスを採用

A05 | 接合・組立 | 製品採用

日付未収録

## FACT

Samsung Electronicsが、Nvidiaの次世代カスタム高帯域幅メモリ(HBM)向けベースダイの製造にTSMCの3ナノメートル(3nm)プロセスを採用します。NvidiaはSamsung、SK Hynix、Micron Technologyの各社に対し、ベースダイへのTSMCプロセスの利用と、コアダイへの第6世代DRAM技術の適用を要求しました。これにより、SamsungがHBMの製造段階でTSMCと協力するのは初めてとなります。

## なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

## 事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

## ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP02の評価票へ記録する。

## UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 18/25 | 成熟度 4/5 | 判断場所: システム・導入

FACTは収集記事に接続し、事業への読み、ACTION、UNKNOWNは編集判断として分離する。

P03

## 光電融合デバイス|NTTグループら5社による光チップレット量産技術の開発と課題

A04 | 先端PKG | 量産

日付未収録

## FACT

NTT Innovative Devicesを中心とする5社が、次世代AIコンピューティングを支える光電融合(PEC)デバイスの量産技術開発に着手した。NEDOの「Post-5G情報通信システム基盤強化研究開発事業」に採択され、光チップレットの製造生産性を現状のR&D段階から10倍以上に高めることを目指す。これにより、生成AIの普及に伴うデータセンターの消費電力増大という課題を解決し、超低消費電力な計算基盤の実現を加速させる。

## なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

## 事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

## ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP03の評価票へ記録する。

## UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 18/25 | 成熟度 5/5 | 判断場所: システム・導入

P04

## Google TPU v9|Intel EMIB-Tの採用状況と量産時期、歩留まりの課題

A01 | 試験・検査 | 量産

日付未収録

## FACT

Googleの次世代AIチップ「TPU v9」のバリエーションの一つであるHumuFishが、歩留まりの課題を抱えながらもIntelの先端パッケージング技術「EMIB-T」を継続採用することが明らかになりました。EMIB-Tの基板歩留まりは2026年第3四半期時点で約35%にとどまり、目標の50%を大きく下回っています。この状況は、Intelが外部顧客を先端パッケージングで獲得できるかという重要な試金石となります。

## なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

## 事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

## ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP04の評価票へ記録する。

## UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 18/25 | 成熟度 5/5 | 判断場所: システム・導入

FACTは収集記事に接続し、事業への読み、ACTION、UNKNOWNは編集判断として分離する。

P05

Intelの300mm InPシリコンフォトニクス|CPO量産化への課題と主要企業の動向

A03 | 量産供給 | 量産

日付未収録

FACT

Intelが、業界で唯一、300mmウェハを用いたインジウムホスファイド(InP)シリコンフォトニクスの大量生産能力を持つと主張しています。従来のInP基板は150mm以下が主流でしたが、300mmプラットフォームへの統合により、AIやHPC向けCPO(共同パッケージ光学)の生産効率と拡張性を向上させます。これにより、次世代の近接パッケージ光学(NPO)やCPOの商用化が加速すると期待されています。

なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP05の評価票へ記録する。

UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 18/25 | 成熟度 5/5 | 判断場所: システム・導入

P06

NVIDIA Vera CPU|モノリシック設計によるAgentic AI性能とx86比較

A08 | 材料 | 製品採用

日付未収録

FACT

NVIDIAは、次世代CPU「Vera」にチップレットではなくモノリシック(単一ダイ)設計を採用した。これにより、Agentic AIで重要となる低レイテンシと高いシングルスレッド性能を実現し、特定のワークロードでx86プロセッサの最大2倍の性能を達成したと主張している。AIインフラにおけるCPUの役割を、GPUのホストからスタンドアロンの計算リソースへと拡大させる戦略的な転換を示している。

なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP06の評価票へ記録する。

UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 18/25 | 成熟度 4/5 | 判断場所: 事業・制度・供給

FACTは収集記事に接続し、事業への読み、ACTION、UNKNOWNは編集判断として分離する。

P07

## パネルレベルパッケージング|ウェハからパネル移行時の課題とIntel・ASEの戦略

A11 | 接合・組立 | 研究

日付未収録

## FACT

先端パッケージングの基板をウェハからパネルへ移行させることで、AIやHPC向けの大面積パッケージにおける面積利用効率を劇的に向上させることが可能になる。Intelの事例では、300mmウェハで約10ユニットだったパッケージが、510×515mmパネルでは約48ユニットまで増加することが示された。しかし、この移行は単なるサイズの拡大ではなく、製造装置やプロセス制御の根本的な再設計を必要とする。

## なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

## 事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

## ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP07の評価票へ記録する。

## UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 18/25 | 成熟度 1/5 | 判断場所: 技術・工程

P08

## NVIDIA|AIインフラ構築に向けたサプライチェーン拡張、量産能力の拡大計画と時期

A06 | 先端PKG | 量産

日付未収録

## FACT

NVIDIAが、AIインフラの需要増に対応するため、主要サプライチェーンパートナーとの製造能力拡張計画を発表した。基板能力の2.5倍増、高度パッケージング能力の300%以上の向上、光エンジン能力の最大30倍増など、広範な増強を計画している。これにより、加速コンピューティングおよびフルスタックAIファクトリープラットフォームの供給制約を解消し、グローバルな供給網の弾力性と冗長性を強化する。

## なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

## 事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

## ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP08の評価票へ記録する。

## UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 18/25 | 成熟度 5/5 | 判断場所: 事業・制度・供給

FACTは収集記事に接続し、事業への読み、ACTION、UNKNOWNは編集判断として分離する。

P09

## ニコン DSP-110|後工程向けデジタル露光装置の解像度とスループット性能

A12 | 試験・検査 | 製品採用

日付未収録

## FACT

ニコンは、半導体アドバンスドパッケージング向けに解像度1.5μmのデジタル露光装置「DSP-110」を2027年4月に発売する。光学系の再設計により、既存モデル比でスループットを約40%向上させ、510×515mm基板で毎時72パネルの処理能力を実現した。将来的に光学系を交換することで解像度1.0μmへの改造が可能であり、プロセスの高度化に柔軟に対応できる。

## なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

## 事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

## ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP09の評価票へ記録する。

## UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 18/25 | 成熟度 4/5 | 判断場所: システム・導入

P10

## ICサブストレート|Unimicronが警告する供給不足の要因と2027年の材料不足

A07 | 量産供給 | 研究

日付未収録

## FACT

台湾のICサブストレート大手Unimicronが、AIアクセラレータ需要の急増に伴う設備と材料の深刻な供給不足を警告した。主要設備のリードタイムが最大30ヶ月に達し、2027年には重要材料で20%の供給不足が生じる可能性があるという。AI向け基板の巨大化と技術的難易度の上昇が、業界全体のキャパシティ拡張の同期を困難にしている。

## なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

## 事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

## ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP10の評価票へ記録する。

## UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 18/25 | 成熟度 1/5 | 判断場所: 技術・工程

## 関係者別プレイブックと0-5年ロードマップ

| 関係者        | NOW   0-30日                      | NEXT   1-12か月               | LATER   1-5年                  |
|------------|----------------------------------|-----------------------------|-------------------------------|
| 事業会社       | 熱・電気・歩留まり・修理・供給の同一条件で方式を比較する     | 量産相当条件で受入基準と停止基準を明示して評価する。  | 技術・供給者の変更を吸収できるポートフォリオと設計へ移る。 |
| 材料・装置・技術企業 | 材料、接合、検査、信頼性の工程窓を顧客と共同設計する       | 顧客と信頼性・工程窓・故障解析の共通データを作る。   | 界面、履歴、ライフサイクル支援、回収サービスを標準化する。 |
| 商社・投資・法務   | Map 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。 | 能力、品質、変更通知、責任、代替、撤退を契約へ入れる。 | 地域・技術・顧客の集中リスクを分散する。          |

## ロードマップ

|                                                                                                     |                                                                                                    |                                                                                  |
|-----------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------|
| <b>NOW   0-30日</b><br><b>証拠台帳</b><br>担当: Strategy + quality<br>成果物: claim, source, condition, owner | <b>NOW   0-30日</b><br><b>リスク選別</b><br>担当: Procurement + legal<br>成果物: unknowns, alternatives, stop | <b>NEXT   1-12か月</b><br><b>共同認定</b><br>担当: R&D + supplier<br>成果物: 工程窓・故障データ      |
| <b>NEXT   1-12か月</b><br><b>商用ゲート</b><br>担当: Business + finance<br>成果物: 単位採算・供給能力                    | <b>LATER   1-5年</b><br><b>プラットフォーム戦略</b><br>担当: 経営<br>成果物: ポートフォリオ・界面ロードマップ                        | <b>LATER   1-5年</b><br><b>サービス層</b><br>担当: Operations + channel<br>成果物: 監視・保守・回復 |

## Go / No-Goゲート

| ゲート   | 担当   | 必要な証拠         | 中止条件          |
|-------|------|---------------|---------------|
| G1 証拠 | 品質   | 出典・試験条件・再現性   | 追跡可能な証拠なし     |
| G2 統合 | 研究開発 | 界面・工程窓・故障解析   | システム条件を満たさない  |
| G3 商用 | 事業   | 能力・総原価・契約・代替  | 採算または供給が成立しない |
| G4 運用 | 運用   | 監視・保守・変更通知・撤退 | 責任ある運用計画なし    |

分析対象記事 | 01-12件目

全記事の正式タイトルと元記事URLを省略せず表示する。URLは折返しても全文を保持し、クリックできる。

| ID  | 記事タイトル(全文)                                    | 元記事URL(全文・クリック可能)                                                                                                                                                                                                                                                                                                                 |
|-----|-----------------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| A01 | Google TPU v9 Intel EMIB-Tの採用状況と量産時期、歩留まりの課題  | <a href="https://www.trendforce.com/news/2026/10/22/breaking-google-reportedly-sticks-with-intel-emib-t-despite-35-substrate-yields-as-humufish-schedule-tightens/">https://www.trendforce.com/news/2026/10/22/breaking-google-reportedly-sticks-with-intel-emib-t-despite-35-substrate-yields-as-humufish-schedule-tightens/</a> |
| A02 | NVIDIAの次世代CPO シリコンインターポザ実装による帯域密度向上の詳細        | <a href="https://www.trendforce.com/news/2026/10/22/news-nvidia-unveils-next-gen-cpo-prototype-with-optics-on-silicon-interposer-targets-higher-bandwidth-density/">https://www.trendforce.com/news/2026/10/22/news-nvidia-unveils-next-gen-cpo-prototype-with-optics-on-silicon-interposer-targets-higher-bandwidth-density/</a> |
| A03 | Intelの300mm InPシリコンフォトニクス CPO量産化への課題と主要企業の動向  | <a href="https://www.trendforce.com/news/2026/10/20/news-intel-claims-industrys-only-high-volume-300mm-inp-silicon-photonics-capability-as-cpo-gains-momentum/">https://www.trendforce.com/news/2026/10/20/news-intel-claims-industrys-only-high-volume-300mm-inp-silicon-photonics-capability-as-cpo-gains-momentum/</a>         |
| A04 | 光電融合デバイス NTTグループら5社による光チップレット量産技術の開発と課題       | <a href="https://group.ntt/en/newsrelease/2026/10/20/261020a.html">https://group.ntt/en/newsrelease/2026/10/20/261020a.html</a>                                                                                                                                                                                                   |
| A05 | Samsung Nvidia向け次世代HBMのベースダイにTSMC 3nmプロセスを採用  | <a href="https://www.thestar.com.my/tech/tech-news/2026/10/18/samsung-to-use-tsmc-technology-for-nvidia039s-next-generation-memory-chips-seoul-newspaper-reports">https://www.thestar.com.my/tech/tech-news/2026/10/18/samsung-to-use-tsmc-technology-for-nvidia039s-next-generation-memory-chips-seoul-newspaper-reports</a>     |
| A06 | NVIDIA AIインフラ構築に向けたサプライチェーン拡張、量産能力の拡大計画と時期    | <a href="https://nvidianews.nvidia.com/news/nvidia-and-supply-chain-partners-expand-capacity-to-accelerate-ai-infrastructure-buildout">https://nvidianews.nvidia.com/news/nvidia-and-supply-chain-partners-expand-capacity-to-accelerate-ai-infrastructure-buildout</a>                                                           |
| A07 | ICサブストレート Unimicronが警告する供給不足の要因と2027年の材料不足    | <a href="https://www.trendforce.com/news/2026/10/20/news-unimicron-warns-of-ic-substrate-crunch-up-to-30-month-equipment-lead-times-20-material-gap-in-2027/">https://www.trendforce.com/news/2026/10/20/news-unimicron-warns-of-ic-substrate-crunch-up-to-30-month-equipment-lead-times-20-material-gap-in-2027/</a>             |
| A08 | NVIDIA Vera CPU モノリシック設計によるAgentic AI性能とx86比較 | <a href="https://www.trendforce.com/news/2026/10/19/news-nvidia-chooses-monolithic-die-over-chiplets-for-vera-cpu-claims-2x-x86-performance-in-agentic-ai/">https://www.trendforce.com/news/2026/10/19/news-nvidia-chooses-monolithic-die-over-chiplets-for-vera-cpu-claims-2x-x86-performance-in-agentic-ai/</a>                 |
| A09 | Groq 次世代AIチップのメモリ構成をSRAMから3D積層DRAMへ変更か        | <a href="https://www.trendforce.com/news/2026/10/22/news-nvidia-linked-groq-reportedly-eyes-shift-from-sram-to-3d-stacked-dram-for-next-gen-ai-chips/">https://www.trendforce.com/news/2026/10/22/news-nvidia-linked-groq-reportedly-eyes-shift-from-sram-to-3d-stacked-dram-for-next-gen-ai-chips/</a>                           |
| A10 | SK Hynix HBM5向けiHBM冷却技術の性能向上と量産化に向けたサプライヤー連携  | <a href="https://www.digitimes.com/news/a20261022VL218/sk-hynix-cooling-production-materials-equipment.html">https://www.digitimes.com/news/a20261022VL218/sk-hynix-cooling-production-materials-equipment.html</a>                                                                                                               |
| A11 | パネルレベルパッケージング ウェハからパネル移行時の課題とIntel・ASEの戦略     | <a href="https://semiengineering.com/what-breaks-when-packaging-moves-from-wafer-to-panel/">https://semiengineering.com/what-breaks-when-packaging-moves-from-wafer-to-panel/</a>                                                                                                                                                 |
| A12 | ニコン DSP-110 後工程向けデジタル露光装置の解像度とスループット性能        | <a href="https://monoist.itmedia.co.jp/mn/articles/2610/19/news040.html">https://monoist.itmedia.co.jp/mn/articles/2610/19/news040.html</a>                                                                                                                                                                                       |

# 半導体後工程 採用記事全文集

出力日: 2026-10-24

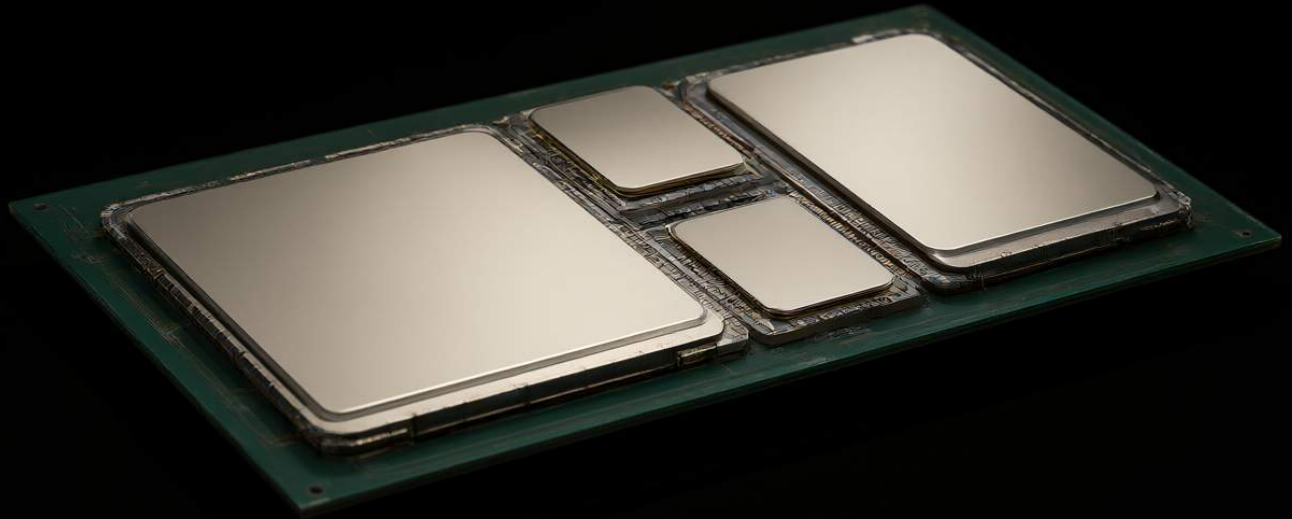
採用記事数: 12 件

## 収録記事一覧

- #01 Google TPU v9 | Intel EMIB-Tの採用状況と量産時期、歩留まりの課題
- #02 NVIDIAの次世代CPO | シリコンインターポーザ実装による帯域密度向上の詳細
- #03 Intelの300mm InPシリコンフォトニクス | CPO量産化への課題と主要企業の動向
- #04 光電融合デバイス | NTTグループら5社による光チップレット量産技術の開発と課題
- #05 Samsung | Nvidia向け次世代HBMのベースダイにTSMC 3nmプロセスを採用
- #06 NVIDIA | AIインフラ構築に向けたサプライチェーン拡張、量産能力の拡大計画と時期
- #07 ICサブストレート | Unimicronが警告する供給不足の要因と2027年の材料不足
- #08 NVIDIA Vera CPU | モノリシック設計によるAgentic AI性能とx86比較
- #09 Groq | 次世代AIチップのメモリ構成をSRAMから3D積層DRAMへ変更か
- #10 SK Hynix | HBM5向けiHBM冷却技術の性能向上と量産化に向けたサプライヤー連携
- #11 パネルレベルパッケージング | ウェハからパネル移行時の課題とIntel・ASEの戦略
- #12 ニコン DSP-110 | 後工程向けデジタル露光装置の解像度とスループット性能

# #01 Google TPU v9 | Intel EMIB-Tの採用状況と量産時期、歩留まりの課題

公開日 2026年10月22日   TrendForce   台湾



## 概要

Googleの次世代AIチップ「TPU v9」のバリエーションの一つであるHumuFishが、歩留まりの課題を抱えながらもIntelの先端パッケージング技術「EMIB-T」を継続採用することが明らかになりました。EMIB-Tの基板歩留まりは2026年第3四半期時点で約35%にとどまり、目標の50%を大きく下回っています。この状況は、Intelが外部顧客を先端パッケージングで獲得できるかという重要な試金石となります。

## 詳細

### 主要成果

GoogleのTPU v9ラインナップにおいて、MediaTekが設計を担当する「HumuFish」および「TriggerFish」がIntelのEMIB-Tを採用することが確認されました。特にHumuFishについては、基板の歩留まり低下によるTSMCのCoWoS-Lへの切り替えの可能性が取り沙汰されていましたが、現状では「100%」EMIB-Tにコミットしている状況です。

### 技術・詳細

EMIB-Tの基板製造において、歩留まりを押し下げている主な要因として以下の2つの技術的課題が挙げられています。

- 熱膨張係数の差：ABF基板と埋め込みシリコンブリッジの間で熱膨張の差があるため、高温処理時の精密なアライメント（位置合わせ）が困難であること。
- 気泡の混入：ブリッジのTSV（シリコン貫通電極）下に適用されるNCF（非導電性フィルム）において、ボンディング中に気泡が閉じ込められ、密着性が弱まる可能性があること。

これらの影響により、2026年第3四半期のEMIB-T基板歩留まりは約35%となり、年末目標の50%に届いていません。これに対し、Intelは基板の電気メッキ工程を調整し、Ibiden、Unimicron、Shinkoなどのサプライヤーが歩留まり改善に取り組んでいます。

### 背景・業界の文脈

GoogleのTPU v9は3つのバリエーションで構成されており、設計とパッケージングの組み合わせが分かれています。

- WhaleFish（Broadcom設計）：TSMCのCoWoS-Lを採用し、2027年後半に量産予定。
- HumuFish（MediaTek設計）：IntelのEMIB-Tを採用し、2028年上半期に量産予定。
- TriggerFish（MediaTek設計）：IntelのEMIB-Tを採用し、2028年後半以降に量産予定。

特にTriggerFishは、HumuFishに比べてSRAM容量を2～3倍に増やし、シミュレーションダイを追加したほか、メモリをHBM4からHBM4Eへ移行させることで、CPUおよびメモリのボトルネックを解消するアップグレード版として位置づけられています。

## 今後の展望

HumuFishのスケジュールには不透明感が出ています。TSMCのN2プロセスで製造されるCompute Die Aのテープアウトが10月後半にずれ込んだほか、設計変更によりMediaTekが関わるプロジェクトのテープアウトが2027年1月まで延期され、出荷が2028年第1四半期まで遅れる可能性が指摘されています。量産目標である2028年上半年までには時間的猶予があるものの、テープアウトの遅延はEMIB-Tの歩留まり改善に充てられる期間を圧縮することになります。基板歩留まりの回復速度と設計マイルストーンの遵守が、今後の量産スケジュールの鍵となります。

参考技術解説：CoWoS：<https://troy-technical.jp/semiconductor-back-end-term-cowos/>

参考技術解説：ブリッジ：<https://troy-technical.jp/semiconductor-back-end-term-bridge/>

参考技術解説：HBM：<https://troy-technical.jp/semiconductor-back-end-term-hbm/>

参考企業解説：インテル：<https://troy-technical.jp/semiconductor-back-end-company-intel/>

参考企業解説：TSMC：<https://troy-technical.jp/semiconductor-back-end-company-tsmc/>

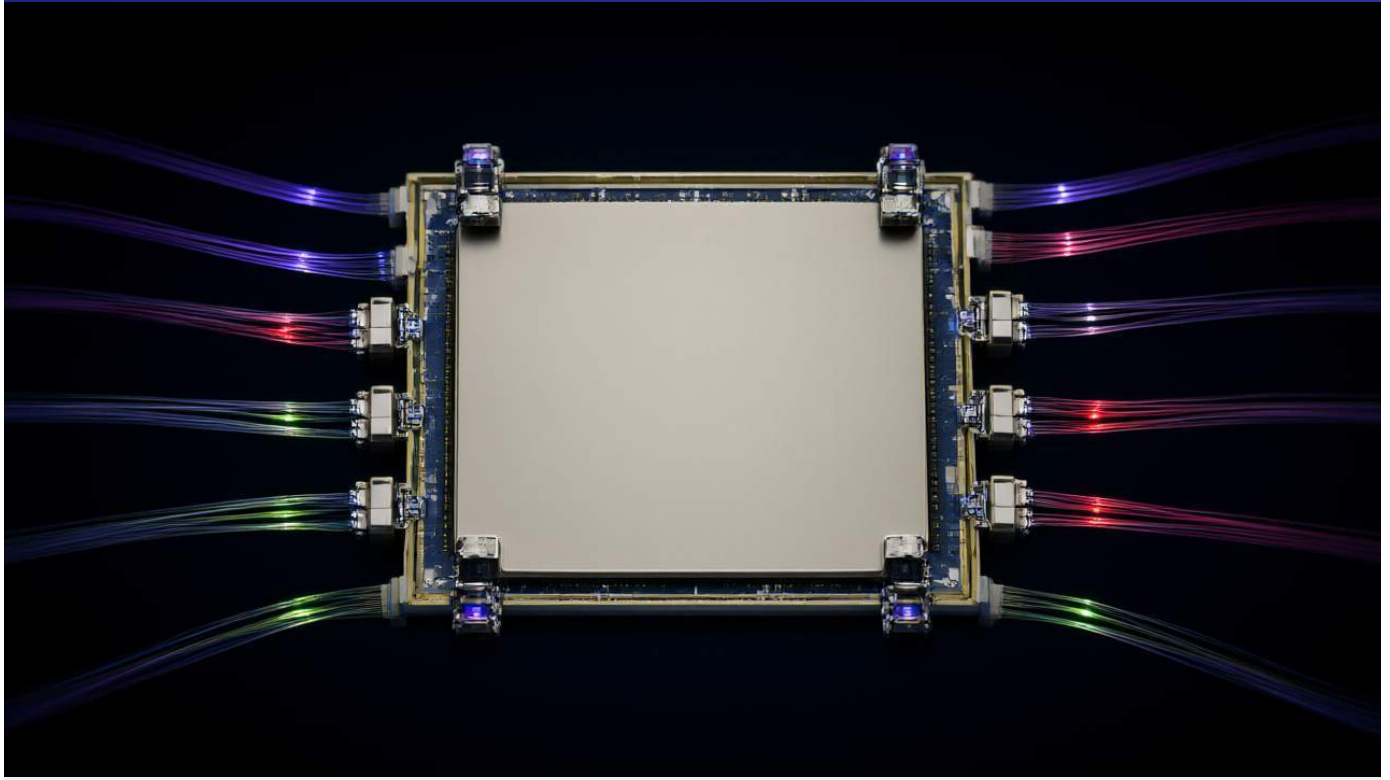
参考企業解説：イビデン：<https://troy-technical.jp/semiconductor-back-end-company-ibiden/>

---

元記事: <https://www.trendforce.com/news/2026/10/22/breaking-google-reportedly-sticks-with-intel-emib-t-despite-35-substrate-yields-as-humufish-schedule-tightens/>

## #02 NVIDIAの次世代CPO | シリコンインターポーザ実装による帯域密度向上の詳細

公開日 2026年10月22日 TrendForce 台湾



### 概要

NVIDIAが、光エンジンをコンピューティングチップに極限まで近づける次世代の共同パッケージ光学（CPO）プロトタイプを公開しました。シリコンインターポーザ上に光学素子を配置するOOI設計や、1光ファイバーあたり256 Gb/sを実現するDWDM技術を提示しています。これにより、AIシステムの帯域密度向上と消費電力の低減を目指します。

## 詳細

### 主要成果

NVIDIAは、SEMICON West 2026において「次世代AIのための光統合」をテーマに、最新の光統合研究を披露しました。中心となるのは、光学エンジンをシリコンインターポータ上に直接配置する「Optics-on-Interposer (OOI)」のプロトタイプと、高密度波長分割多重 (DWDM) 技術です。これらの技術により、AIコンピューティングにおけるデータ転送の効率化と帯域密度の向上が期待されます。

### 技術・詳細

OOI設計の最大の特徴は、光エンジンを従来の有機パッケージ基板から、コンピューティングチップを搭載するシリコンインターポータへと移動させた点にあります。これにより、電気信号の経路から有機基板を排除し、より短く微細なピッチのインターポータ接続を介して信号を伝送することが可能になります。結果として、帯域密度の向上と消費電力の削減が見込まれます。

また、1本の光ファイバーで伝送できるデータ容量を増やすDWDM技術についても実演が行われました。最大32 Gb/sで動作する8つの波長を組み合わせることで、1ファイバーあたり合計256 Gb/sの集約帯域を実現しています。

### 背景・業界の文脈

NVIDIAは研究段階の技術だけでなく、すでにCPOの商用生産にも着手しています。2026年5月には、Vera Rubinプラットフォーム向けに200Gb/s SerDesを統合した「Spectrum-X Ethernet Photonics」スイッチのフル生産開始を発表しました。この製品は、CoreWeave、Lambda、Oracle Cloud Infrastructureなどの企業が早期に採用しています。

製造エコシステムも構築されており、TSMCがシリコンフォトリソグラフィの製造を担い、SPILがチップスケールのパッケージング、組み立て、テストを担当しています。また、TFCがレーザーダイのモジュール化と信頼性検証を行い、FoxconnがSpectrum-X Photonicsスイッチを完製品のネットワークシステムへと統合する体制を整えています。その他、外部レーザー光源モジュールではCoherent、Lumentum、住友電気工業が、光ファイバー等のコンポーネントではCorning、Senko、Browaveが、冷却および最終テストではFabrinetがパートナーとして名を連ねています。

## 今後の展望

OOIおよびDWDM技術は現在研究段階にあり、商用化のタイムラインは未定ですが、将来の製品への適用を評価しています。NVIDIAの研究者であるNikola Nedovic氏は、今後のAIシステム向け光インターコネクトの開発には、デバイスと回路設計のトレードオフのバランス、熱管理、およびパッケージングの課題解決が必要であると指摘しています。

今後の展開として、NVIDIAは「Kyber NVL1152」アーキテクチャへの光インターコネクトの拡張を計画しています。これにより、8つのラックを単一の1,152 GPU NVLinkドメインとして接続し、「Feynman」プラットフォームをサポートする予定です。なお、Feynmanの登場は2028年になると予想されています。

参考技術解説：インターポザ： <https://troy-technical.jp/semiconductor-back-end-term-interposer/>

参考技術解説：Co-packaged Optics： <https://troy-technical.jp/semiconductor-back-end-term-cpo/>

参考技術解説：シリコンフォトニクス： <https://troy-technical.jp/semiconductor-back-end-term-siphotonics/>

参考企業解説：NVIDIA： <https://troy-technical.jp/semiconductor-back-end-company-nvidia/>

参考企業解説：TSMC： <https://troy-technical.jp/semiconductor-back-end-company-tsmc/>

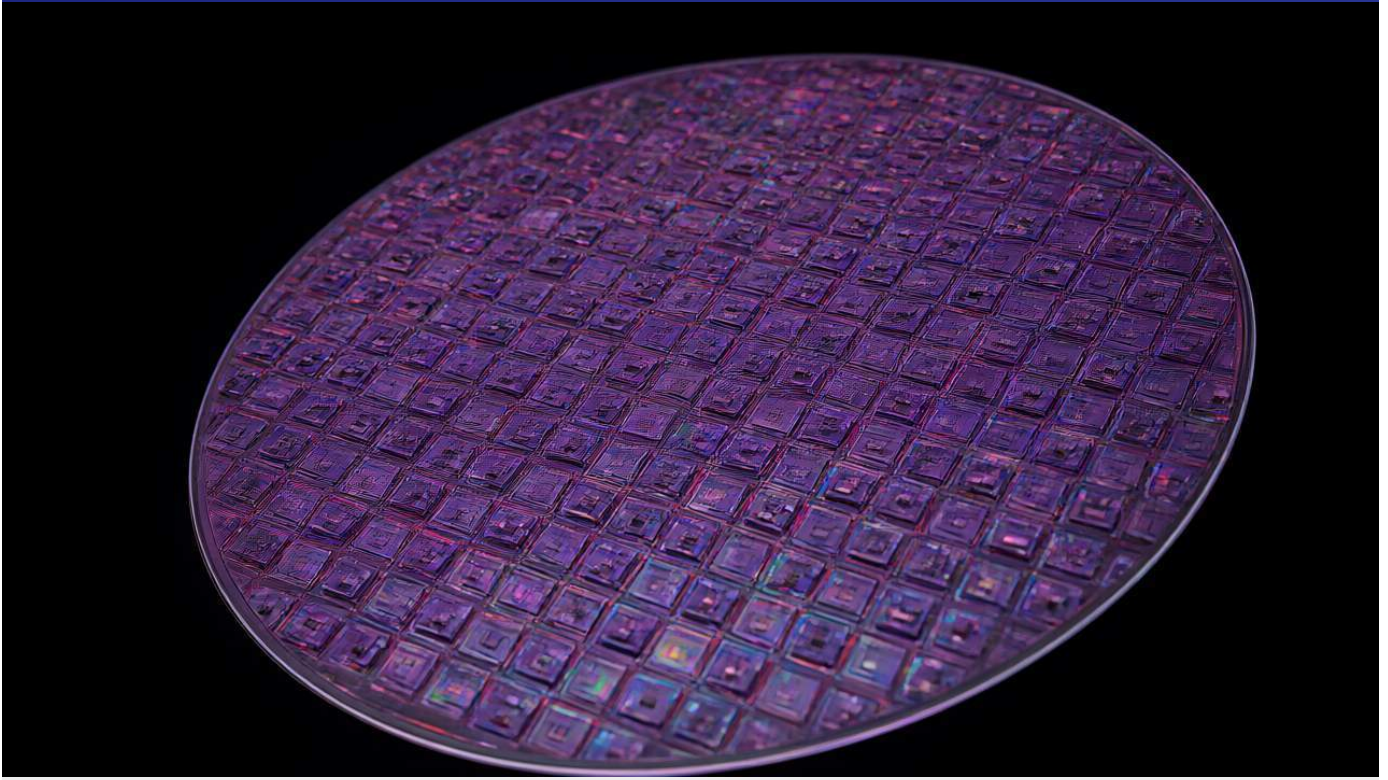
参考企業解説：シリコンウェア・プレシジョン・インダストリーズ（SPIL）：  
<https://troy-technical.jp/semiconductor-back-end-company-spil/>

---

元記事: <https://www.trendforce.com/news/2026/10/22/news-nvidia-unveils-next-gen-cpo-prototype-with-optics-on-silicon-interposer-targets-higher-bandwidth-density/>

# #03 Intelの300mm InPシリコンフォトニクス | CPO 量産化への課題と主要企業の動向

公開日 2026年10月20日 TrendForce 台湾



## 概要

Intelが、業界で唯一、300mmウェハを用いたインジウムホスファイド（InP）シリコンフォトニクスの大量生産能力を持つと主張しています。従来のInP基板は150mm以下が主流でしたが、300mmプラットフォームへの統合により、AIやHPC向けCPO（共同パッケージ光学）の生産効率と拡張性を向上させます。これにより、次世代の近接パッケージ光学（NPO）やCPOの商用化が加速すると期待されています。

### 主要成果

Intelは、AIおよびハイパフォーマンスコンピューティング（HPC）向けの高帯域幅光インターコネクト需要の増大に合わせ、シリコンフォトニクス能力を拡張しています。2026年のOpen Compute Project（OCP）グローバルサミットにおいて、同社は業界で唯一、300mmのインジウムホスファイド（InP）シリコンフォトニクスを大規模に供給できるハイボリュームファウンドリであると主張しました。この技術は、次世代の近接パッケージ光学（NPO）および共同パッケージ光学（CPO）をサポートすることを目的としています。

### 技術・詳細

従来のInP基板は、一般的に150mm（6インチ）ウェハに制限されており、実際には3インチや4インチ形式が広く使用されてきました。これは、シリコンベースのCMOS製造で標準となっている300mmとは大きな差があります。InP結晶は脆く、成長速度が遅いことに加え、欠陥制御が困難であるため、ウェハあたりのレーザーチップ出力が制限され、能力拡張の妨げとなっていました。Intelは、InPベースのレーザー技術を自社の300mmシリコンフォトニクス製造プラットフォームに統合することで、生産効率とスケーラビリティの改善を図っています。

### 背景・業界の文脈

CPOの商用化は業界全体で加速しています。NVIDIAは、TSMCのCompact Universal Photonic Engine（COUPE）技術を用いたSpectrum-X CPOスイッチを一部のパートナーに提供し始めています。BroadcomもCPOポートフォリオを拡大しており、OCP 2026では、スイッチング容量102.4 Tb/s、1チャンネルあたり200 Gbpsを実現する第3世代のTomahawk 6-Davisson CPOスイッチを披露しました。また、TSMCは2026年にCOUPE-on-substrateソリューションの生産を開始する計画で、ボードレベルのプラグ型光学と比較して、電力効率を2倍に高め、レイテンシを10分の1に削減することを目指しています。

中国勢の動きも活発です。Zhongji InnolightはCPO専用生産ラインを構築し、800G CPO光モジュールの小規模生産を開始しました。出荷は2027年に始まり、2028年には普及が進む見通しです。また、Huaweiは2026年9月、大規模なAIトレーニングおよび推論向けにNPOベースのAscend 960スーパーノードを導入しました。

## 今後の展望

商用化への進展の一方で、テスト工程が量産化の大きなボトルネックとなっています。光アライメント時間は数秒以下まで短縮されましたが、単一の光集積回路（PIC）の完全なテストには依然として100秒以上かかっており、テスト速度とコストが課題となっています。TrendForceは、2027年がCPOテストシステムの統合における重要な年となり、2028年が大規模生産への準備状況を評価する決定的な時期になると予測しています。

参考技術解説：Co-packaged Optics：<https://troy-technical.jp/semiconductor-back-end-term-cpo/>

参考技術解説：シリコンフォトニクス：<https://troy-technical.jp/semiconductor-back-end-term-siphotonics/>

参考技術解説：テスト：<https://troy-technical.jp/semiconductor-back-end-term-test/>

参考企業解説：インテル：<https://troy-technical.jp/semiconductor-back-end-company-intel/>

参考企業解説：TSMC：<https://troy-technical.jp/semiconductor-back-end-company-tsmc/>

参考企業解説：NVIDIA：<https://troy-technical.jp/semiconductor-back-end-company-nvidia/>

---

元記事: <https://www.trendforce.com/news/2026/10/20/news-intel-claims-industrys-only-high-volume-300mm-inp-silicon-photonics-capability-as-cpo-gains-momentum/>

## #04 光電融合デバイス | NTTグループら5社による光チップレット量産技術の開発と課題

公開日 2026年10月20日 NTT Group 日本



### 概要

NTT Innovative Devicesを中心とする5社が、次世代AIコンピューティングを支える光電融合（PEC）デバイスの量産技術開発に着手した。NEDOの「Post-5G情報通信システム基盤強化研究開発事業」に採択され、光チップレットの製造生産性を現状のR&D段階から10倍以上に高めることを目指す。これにより、生成AIの普及に伴うデータセンターの消費電力増大という課題を解決し、超低消費電力な計算基盤の実現を加速させる。

### 主要成果

NTT、NTT Innovative Devices、ジャパンセミコンダクター、古河電気工業、新光電気工業の5社による共同研究開発提案が、国立研究開発法人新エネルギー・産業技術総合開発機構（NEDO）の「Post-5G情報通信システム基盤強化研究開発事業／先端半導体製造技術開発」に採択された。本プロジェクトの目的は、次世代AIおよびデータ集約型コンピューティングを支える光電融合（PEC）デバイスの量産技術を確立することにある。特に、光チップレットの量産技術開発に重点を置き、現在の研究開発段階のプロセスと比較して、製造生産性を10倍以上に向上させることを目標としている。

### 技術・詳細

本プロジェクトで開発される「光チップレット」とは、光半導体デバイスを含む光集積回路（PIC）と電子集積回路（EIC）を高密度にパッケージングした光電融合デバイスである。従来のCPUやGPUなどのプロセッサ間通信において、電気信号を光信号に置き換えることでデータ伝送を行う。これにより、伝送距離に伴う消費電力の増加や帯域幅の制限という物理的な限界を克服し、大容量かつ超低消費電力なサーバーやデータセンターの構築が可能になる。

開発にあたっては、参加企業がそれぞれ以下の専門領域を統合し、将来的な商用製造を見据えたパイロット生産ラインの構築と評価を行う。

- 光半導体およびシリコンフォトリソグラフィの技術
- 光インターコネクトの最適化
- 先端半導体パッケージング技術
- 量産プロセスの確立

NTTはアドバイザーとして参画し、業界連携の促進やサプライチェーンの構築を通じて、PECデバイスの商用化と大規模生産を加速させる役割を担う。

## 背景・業界の文脈

生成AIの急速な普及により、AIデータセンターやハイパフォーマンスコンピューティング（HPC）システムにおけるデータ処理需要が爆発的に増加している。それに伴い、チップ間通信における消費電力の増大が深刻な課題となっており、低消費電力で高速なデータ転送を実現する光電融合技術が世界的に注目されている。NTTは2023年度より、NEDOの事業の下で半導体パッケージおよびチップ間を光で接続する光チップレット・パッケージング技術の研究開発を主導してきた経緯がある。

## 今後の展望

本プロジェクトを通じて、光デバイスの作製・試験から光インターコネクト、先端パッケージングに至る製造バリューチェーン全体の量産技術を確立し、台頭するPECデバイス市場への対応を図る。これにより、次世代AIコンピューティングインフラに不可欠な高速・大容量・低消費電力伝送を実現し、日本の国内半導体製造能力の強化を目指す。また、企業や研究機関の連携による競争力のあるサプライチェーンを構築することで、データセンターのエネルギー消費削減と持続可能な情報通信社会の実現に寄与することとしている。

参考技術解説：チップレット：<https://troy-technical.jp/semiconductor-back-end-term-chiplet/>

参考技術解説：インターコネクト：<https://troy-technical.jp/semiconductor-back-end-term-interconnect/>

参考技術解説：シリコンフォトンクス：<https://troy-technical.jp/semiconductor-back-end-term-siphotonics/>

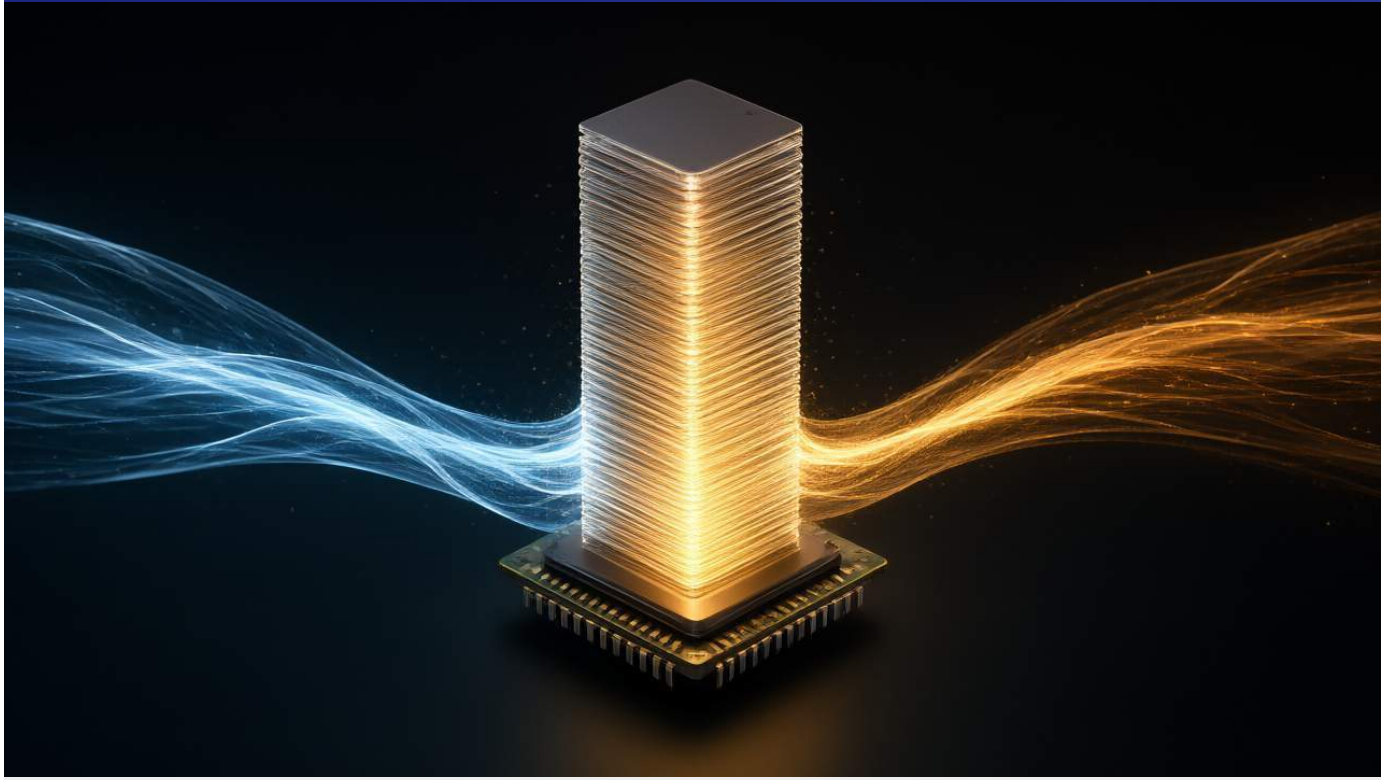
---

元記事: <https://group.ntt/en/newsrelease/2026/10/20/261020a.html>

収集日: 2026年10月24日 | 自動記事収集・翻訳システム (AI使用)

# #05 Samsung | Nvidia向け次世代HBMのベースダイにTSMC 3nmプロセスを採用

公開日 2026年10月18日 The Star (Reuters) マレーシア



## 概要

Samsung Electronicsが、Nvidiaの次世代カスタム高帯域幅メモリ（HBM）向けベースダイの製造にTSMCの3ナノメートル（3nm）プロセスを採用します。NvidiaはSamsung、SK Hynix、Micron Technologyの各社に対し、ベースダイへのTSMCプロセスの利用と、コアダイへの第6世代DRAM技術の適用を要求しました。これにより、SamsungがHBMの製造段階でTSMCと協力するのは初めてとなります。

## 詳細

### 主要成果

Samsung Electronics は、Nvidia が開発する次世代のカスタム高帯域幅メモリ（HBM）において、その基盤となるベースダイの製造に TSMC の 3 ナノメートル（3nm）プロセスを採用することを決定しました。ソウル経済日報の報道によると、Samsung が HBM の製造工程において台湾の受託製造企業である TSMC と連携するのは、今回が初めてとなります。

### 技術・詳細

今回の決定は、Nvidia が提示した仕様に基づいたものです。Nvidia は、Samsung、SK Hynix、Micron Technology のメモリサプライヤー各社に対し、以下の技術要件を求めています。

- ベースダイ（Base Die）：TSMC の製造プロセスを使用すること。
- コアダイ（Core Die）：第 6 世代 DRAM 技術を採用すること。

対象となるのは、本年 8 月に公開された「NVHBM」です。NVHBM は、Nvidia 独自のカスタムメモリコントローラーをベースダイに統合した設計となっており、複数のメモリサプライヤー間で実装を標準化することを目的としています。

### 背景・業界の文脈

Samsung は社内レビューを経て、Nvidia の要求を受け入れました。しかし、すべての製品で TSMC に依存するわけではありません。標準的な HBM 製品や、Nvidia 以外の顧客向けカスタム製品については、引き続き自社内での生産モデルを維持する計画です。メモリメーカーがベースダイの製造を外部のファウンドリに委託することは、設計の標準化と高度な微細化プロセスを確保するための戦略的な選択といえます。

### 今後の展望

Samsung は、自社ファウンドリによる代替案についても検討を続けています。具体的には、TSMC の生産能力（キャパシティ）を需要が上回った場合に備え、自社ファウンドリで NVHBM のベースダイを製造できるかどうかを評価しているとのこと。これにより、供給リスクの回避と自社技術の活用を両立させる構えです。

参考技術解説：HBM：<https://troy-technical.jp/semiconductor-back-end-term-hbm/>

参考企業解説：サムスン電子：<https://troy-technical.jp/semiconductor-back-end-company-samsung-electronics/>

参考企業解説：NVIDIA：<https://troy-technical.jp/semiconductor-back-end-company-nvidia/>

参考企業解説：TSMC：<https://troy-technical.jp/semiconductor-back-end-company-tsmc/>

---

元記事: <https://www.thestar.com.my/tech/tech-news/2026/10/18/samsung-to-use-tsmc-technology-for-nvidia039s-next-generation-memory-chips-seoul-newspaper-reports>

収集日: 2026年10月24日 | 自動記事収集・翻訳システム (AI使用)

# #06 NVIDIA | AIインフラ構築に向けたサプライチェーン拡張、量産能力の拡大計画と時期

公開日 2026年10月21日   NVIDIA Newsroom   アメリカ



## 概要

NVIDIAが、AIインフラの需要増に対応するため、主要サプライチェーンパートナーとの製造能力拡張計画を発表した。基板能力の2.5倍増、高度パッケージング能力の300%以上の向上、光エンジン能力の最大30倍増など、広範な増強を計画している。これにより、加速コンピューティングおよびフルスタックAIファクトリープラットフォームの供給制約を解消し、グローバルな供給網の弾力性と冗長性を強化する。

### 主要成果

NVIDIAは、加速コンピューティングおよびAIファクトリープラットフォームの需要増に応えるため、基板、高度パッケージング、テスト、光エンジンの各工程において製造能力を大幅に拡大する。具体的には、基板能力を今後3年間で2.5倍に引き上げ、高度パッケージング能力を2028年末までに300%以上増加させる計画である。また、光エンジンの製造能力については、2027年半ばまでに15倍に拡大し、さらに2028年末までにそこから倍増させることを目標としている。

### 技術・詳細

各工程におけるパートナー企業との具体的な連携内容は以下の通りである。

- **基板 (Substrate)** : IBIDEN (日本) の小野工場において、能力を現状の3倍に引き上げる計画であり、2028年第1四半期から能力増強が開始される。Samsung Electro-Mechanics (韓国) は既存設備に加え、世宗および釜山の工場を新設・アップグレードし、2028年までに同社の年間パッケージ基板生産能力の相当部分をNVIDIA向けに割り当てる。Unimicron Technology Corporation (台湾) のKF基板製造拡張は、2027年第2四半期に能力追加が始まり、2028年半ばにフル稼働する見込みである。
- **高度パッケージング** : Amkor Technology (韓国) において、2028年末までにインターポーザ・ウェハーの能力を300%以上増加させる。
- **半導体テスト** : 2026年から2027年にかけてテスト能力を倍増させる。KYTEC (台湾) に対し11億ドルの能力予約前払金を拠出し、米国に新施設を建設して2027年4月に量産を開始する。また、シンガポールでも2027年2月に量産開始を予定している。
- **光エンジン (Optical Engines)** : SPIL (台湾) において、共パッケージ光 (Co-Packaged Optics) 用光エンジンの能力を2027年半ばまでに15倍に拡大し、2028年末までにさらに倍増させる。

## 背景・業界の文脈

ジェンスン・ファンCEOは、現在「人類史上最大のインフラ構築」の最中にあり、需要が極めて高い一方で、製造能力が制約となっていると指摘している。AIスーパーコンピューティングシステムが牽引する新しい産業革命に対応するためには、世界最高水準の製造業パートナーとの連携によるスケールアップが不可欠な状況にある。

## 今後の展望

NVIDIAは、これらの投資と能力拡張を通じて、次世代プラットフォームの生産量を増大させ、グローバルなサプライチェーンの冗長性を高める。特に米国、台湾、韓国、シンガポール、日本にまたがる製造拠点の整備により、AIインフラの構築加速と供給の安定化を目指している。

参考技術解説：テスト：<https://troy-technical.jp/semiconductor-back-end-term-test/>

参考技術解説：パッケージ基板：<https://troy-technical.jp/semiconductor-back-end-term-package-substrate/>

参考技術解説：インターポザー：<https://troy-technical.jp/semiconductor-back-end-term-interposer/>

参考企業解説：NVIDIA：<https://troy-technical.jp/semiconductor-back-end-company-nvidia/>

参考企業解説：イビデン：<https://troy-technical.jp/semiconductor-back-end-company-ibiden/>

参考企業解説：サムスン電機：<https://troy-technical.jp/semiconductor-back-end-company-samsung-electro-mechanics/>

---

元記事: <https://nvidianews.nvidia.com/news/nvidia-and-supply-chain-partners-expand-capacity-to-accelerate-ai-infrastructure-buildout>

# #07 ICサブストレート | Unimicronが警告する供給不足の要因と2027年の材料不足

公開日 2026年10月20日 TrendForce 台湾



## 概要

台湾のICサブストレート大手Unimicronが、AIアクセラレータ需要の急増に伴う設備と材料の深刻な供給不足を警告した。主要設備のリードタイムが最大30ヶ月に達し、2027年には重要材料で20%の供給不足が生じる可能性があるという。AI向け基板の巨大化と技術的難易度の上昇が、業界全体のキャパシティ拡張の同期を困難にしている。

### 主要成果：設備リードタイムの長期化と材料不足の懸念

ICサブストレートメーカーのUnimicronは、AIアクセラレータ向け高度パッケージング技術（CoWoSやEMIBなど）の普及に伴い、サプライチェーンに深刻なボトルネックが発生していることを明らかにした。特に、重要設備のリードタイムは最大30ヶ月まで延伸しており、全設備の80%以上でリードタイムが長期化し、そのうち20%以上は当初の2倍以上の遅延が発生している。また、2027年には重要材料において20%の供給不足に直面する可能性があるかと警告している。

### 技術・詳細：基板の巨大化と設計上の課題

AI向けサブストレートは急速に大型化しており、技術的なハードルが上昇している。基板サイズは初期設計のレティクルサイズ1倍から、2025年には3倍、2026年には5倍、2027年から2028年にかけては5～9倍へと拡大し、最終的には12～14倍に達する可能性がある。この大型化に伴い、以下の技術的課題が顕在化している。

- 電力整合性：AIチップが1,000アンペアを超える電流を消費することによる負荷。
- 信号伝送と熱管理：高速信号伝送の維持および熱管理、熱機械的信頼性の確保。
- 微細配線：サイズ拡大に伴い、個別のメーカーの能力を超える厳格な微細ライン要件が課され、歩留まり改善を困難にしている。

### 背景・業界の文脈：キャパシティ拡張の乖離

AIサプライチェーン内での設備投資のペースに大きな乖離が生じている。Unimicronの予測によれば、2024年から2028年にかけて、CoWoSのキャパシティは6.8倍、ハイパースケーラーの設備投資額（Capex）は6.3倍に増加する。対して、ICサブストレートのキャパシティは2倍、DRAMのキャパシティは1.8倍の増加に留まる見通しである。材料面では、低CTE（熱膨張係数）ガラスクロス、銅積層板（CCL）、ABF（Ajinomoto Build-up Film）の供給が特に逼迫している。

## 今後の展望：歩留まり改善と同期の困難さ

2025年から2026年にかけてDRAMとサブストレートの不足が既に現れており、設備のリードタイム長期化と材料不足により、業界全体のキャパシティ拡張を同期させることが困難になると見られている。また、IntelのEMIB（Embedded Multi-die Interconnect Bridge）サプライチェーンにおけるサブストレートの歩留まりは、直近で約45%まで改善したが、依然として課題は多い。サプライヤーは2026年第4四半期までに50%、2027年第1四半期までに60%への向上を目指している。

参考技術解説：CoWoS：<https://troy-technical.jp/semiconductor-back-end-term-cowos/>

参考技術解説：熱膨張係数：<https://troy-technical.jp/semiconductor-back-end-term-cte/>

参考技術解説：ビルドアップフィルム：<https://troy-technical.jp/semiconductor-back-end-term-buildup-film/>

参考企業解説：ユニマイクロン：<https://troy-technical.jp/semiconductor-back-end-company-unimicron/>

参考企業解説：味の素：<https://troy-technical.jp/semiconductor-back-end-company-ajinomoto/>

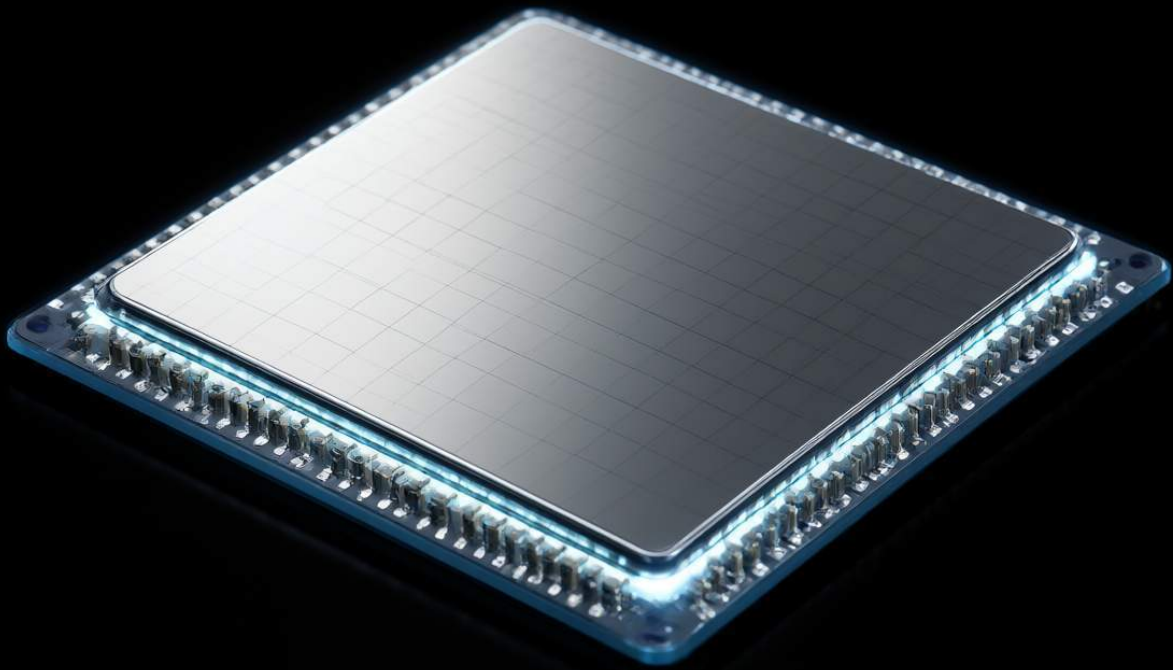
参考企業解説：インテル：<https://troy-technical.jp/semiconductor-back-end-company-intel/>

---

元記事: <https://www.trendforce.com/news/2026/10/20/news-unimicron-warns-of-ic-substrate-crunch-up-to-30-month-equipment-lead-times-20-material-gap-in-2027/>

# #08 NVIDIA Vera CPU | モノリシック設計による Agentic AI性能とx86比較

公開日 2026年10月19日   TrendForce   台湾



## 概要

NVIDIAは、次世代CPU「Vera」にチップレットではなくモノリシック（単一ダイ）設計を採用した。これにより、Agentic AIで重要となる低レイテンシと高いシングルスレッド性能を実現し、特定のワークロードでx86プロセッサの最大2倍の性能を達成したと主張している。AIインフラにおけるCPUの役割を、GPUのホストからスタンドアロンの計算リソースへと拡大させる戦略的な転換を示している。

### 主要成果

NVIDIAの次世代CPU「Vera」は、Agentic AI（自律型AIエージェント）のワークロードに最適化された設計となっており、先行モデルであるGraceと比較して1.5倍の性能を実現した。特にPythonスクリプトやコードコンパイルといった逐次的なタスクを伴うAgenticワークロードにおいて、主要なx86プロセッサに対し最大2倍の性能を達成し、幾何平均ベースでは1.6倍の優位性を持つとしている。

### 技術・詳細

Veraの最大の特徴は、競合するx86プロセッサが採用するチップレット構造ではなく、モノリシック（単一ダイ）計算ダイを選択した点にある。この設計により、CPUコア間がチップレットの境界を越えずに通信できるため、データ移動のレイテンシを削減している。具体的には、bisection bandwidth（二分帯域幅）で3.4 TB/sを達成しており、これは比較対象となった主要なx86プロセッサの3倍に相当する。これにより、共有データの処理におけるコア間の通信速度が大幅に向上した。

また、ハードウェア構成として以下の技術が導入されている。

- カスタムLPDDR5Xメモリサブシステム
- 第2世代Scalable Coherent Fabric
- Spatial Multithreading技術：ワーカースレッドとI/Oスレッドに専用リソースを割り当てることで、バックグラウンド操作がメイン処理を妨げるのを防ぎ、高負荷時でも計算リソースのバランスを一定に維持する。

### 背景・業界の文脈

従来のクラウドワークロードでは、コア数の多さとスループットが優先されていた。しかし、Agentic AIの台頭により、逐次的なタスクを迅速に実行し、GPUの利用率を高く維持するための「強力なシングルスレッド性能」「高メモリ帯域幅」「低レイテンシ」が設計の優先事項へと変化した。このニーズに応えるため、NVIDIAはあえてモノリシック設計を採用した形となる。

## 今後の展望

NVIDIAは、CPUの役割を再定義しようとしている。当初、Grace CPUは主にGPUシステムのホストプロセッサとして位置づけられていたが、Agentic AIや強化学習への需要増加に伴い、Vera CPUを搭載したスタンドアロンのCPUラックへの移行を推進している。これにより、大量のAIエージェントによるツール呼び出しなどのCPU負荷の高いタスクを処理させ、AIインフラ全体におけるCPUの重要性を高める狙いがある。

なお、同社は供給制約に関する噂を否定しており、フラッグシップGPUであるGeForce RTX 5090の生産を継続し、供給に努めるとしている。

参考技術解説：チップレット：<https://troy-technical.jp/semiconductor-back-end-term-chiplet/>

参考企業解説：NVIDIA：<https://troy-technical.jp/semiconductor-back-end-company-nvidia/>

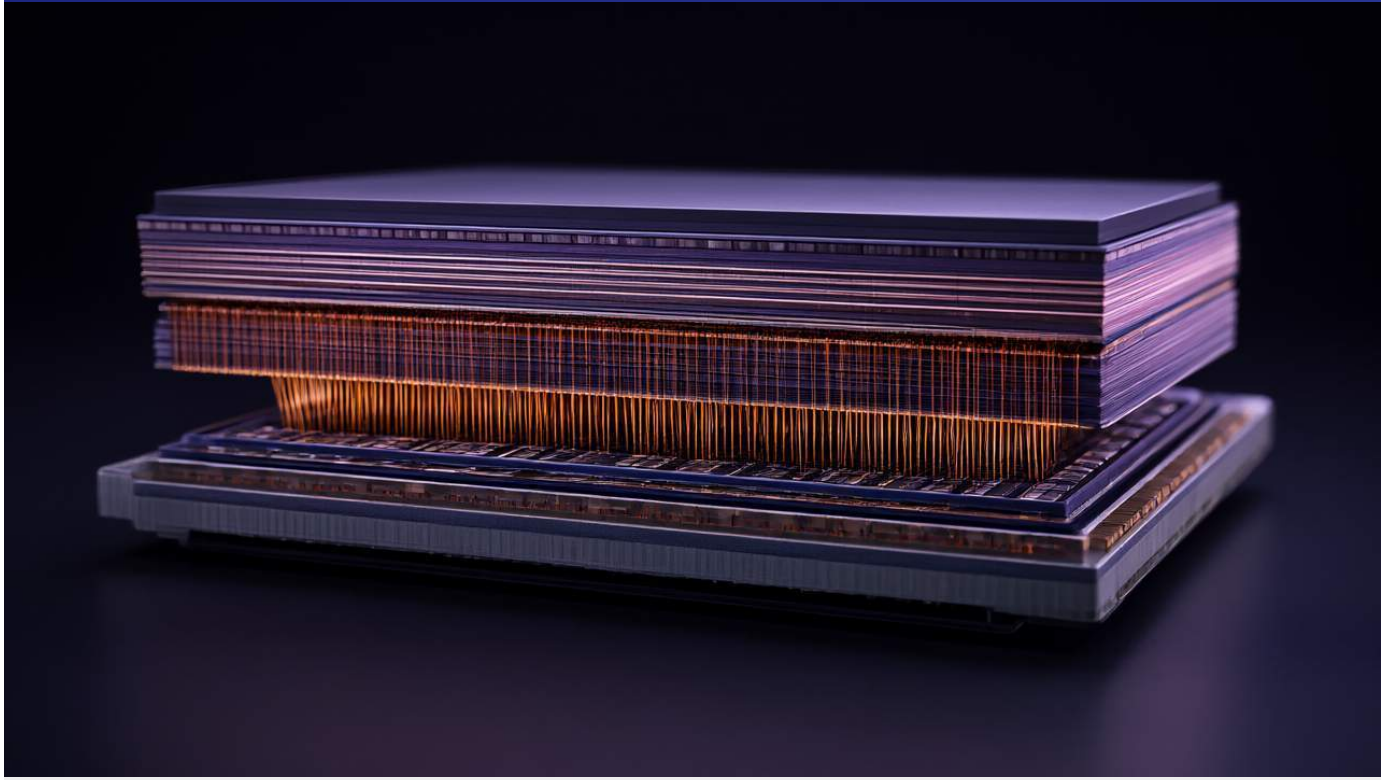
---

元記事: <https://www.trendforce.com/news/2026/10/19/news-nvidia-chooses-monolithic-die-over-chiplets-for-vera-cpu-claims-2x-x86-performance-in-agentic-ai/>

収集日: 2026年10月24日 | 自動記事収集・翻訳システム (AI使用)

# #09 Groq | 次世代AIチップのメモリ構成をSRAMから3D積層DRAMへ変更か

公開日 2026年10月22日 TrendForce 台湾



## 概要

NVIDIAに推論技術をライセンス供与しているGroqが、次世代AIチップにおいて従来のSRAM中心の設計から3D積層DRAMへの移行を検討している。AIモデルの巨大化に対し、SRAMの容量増加ペースが追いついていないことが背景にある。この転換が実現すれば、高速性を維持しつつオンチップメモリ容量を大幅に拡大できる可能性がある。

## 詳細

### 主要成果

AIチップメーカーのGroqが、次世代チップのメモリ構成を従来のSRAM（スタティックRAM）から3D積層DRAM（3DS）へ移行することを検討している。これにより、高速なデータアクセスを維持しながら、オンチップメモリの容量を大幅に増強することを目指す。

### 技術・詳細

Groqが検討している3DS（3D Stacked Memory）は、TSV（シリコン貫通電極）を用いてDRAMダイを垂直に接続する技術である。同様にTSVを利用するHBM（高帯域幅メモリ）がデータ転送速度の最大化を優先するのに対し、3DSは従来のDRAMインターフェースを維持しつつ、メモリ容量の拡大を優先する点に特徴がある。

現行のNVIDIA向け「Groq 3 LPX」は、Vera Rubinプラットフォーム上の低遅延・大規模コンテキスト向けラックスケールAI推論アクセラレータである。その性能構成は以下の通りとなっている。

- 単一のGroq 3 LPU：500MBのSRAMを統合し、150TB/sのオンチップメモリ帯域幅を実現。
- LPXラック全体（256 LPU）：合計128GBのSRAMと、40PB/sの集約SRAM帯域幅を提供。
- 外部メモリ：各ラックに12TBのDDR5メモリを併設。

### 背景・業界の文脈

今回の設計変更の背景には、AIモデルの規模拡大とSRAMの容量限界という深刻な乖離がある。d-MatrixのCEOであるSid Sheth氏によれば、SRAMの容量は2年ごとに約10～20%しか増加しないが、AIモデルのサイズは6～9ヶ月ごとに倍増する可能性がある。このギャップにより、SRAMのみでメモリ容量と帯域幅の需要を満たすことが困難になっている。

製造面では、Samsung Foundryが平택（ピョンテク）施設にて4nmプロセスを用いてNVIDIAのGroq 3 LPUを生産している。Samsung側は次世代Groq LPUでのファウンドリ協力についてNVIDIAと協議していると述べており、一方でTSMCのC.C. Wei会長も、顧客と次世代LPUの開発に取り組んでいると言及している。

## 今後の展望

メモリ構成の刷新を模索しているのはGroqだけではない。同様にSRAMに大きく依存しているCerebrasも、3D積層DRAMの採用を追求している。Cerebrasは、将来の「CS-6」システムにおいて、ウェハースケールのSRAMおよび演算ユニットに積層DRAMを統合し、高速アクセスを維持したままメモリ容量を大幅に拡張する計画である。

参考技術解説：TSV：<https://troy-technical.jp/semiconductor-back-end-term-tsv/>

参考技術解説：HBM：<https://troy-technical.jp/semiconductor-back-end-term-hbm/>

参考企業解説：NVIDIA：<https://troy-technical.jp/semiconductor-back-end-company-nvidia/>

参考企業解説：サムスン電子：<https://troy-technical.jp/semiconductor-back-end-company-samsung-electronics/>

参考企業解説：TSMC：<https://troy-technical.jp/semiconductor-back-end-company-tsmc/>

---

元記事: <https://www.trendforce.com/news/2026/10/22/news-nvidia-linked-groq-reportedly-eyes-shift-from-sram-to-3d-stacked-dram-for-next-gen-ai-chips/>

収集日: 2026年10月24日 | 自動記事収集・翻訳システム (AI使用)

# #10 SK Hynix | HBM5向けiHBM冷却技術の性能向上と量産化に向けたサプライヤー連携

公開日 2026年10月23日 DIGITIMES 台湾



## 概要

SK Hynixが次世代メモリHBM5の生産に向け、冷却効率を30%以上向上させる「iHBM」冷却技術の商用化に取り組んでいます。同社は熱抵抗を30%以上削減することを目標に、材料および装置サプライヤーとの連携を強化しています。この技術の導入により、高帯域幅メモリにおける深刻な課題である熱管理の効率化が期待されます。

## 詳細

### 主要成果

SK Hynixは、次世代の高帯域幅メモリであるHBM5の生産において、冷却効率を30%以上向上させる「iHBM」冷却技術の商用化を目指しています。具体的には、熱抵抗を30%以上削減することを目標に掲げており、この目標達成に向けて材料および装置サプライヤーとの協力体制を構築しています。

### 技術・詳細

今回の取り組みの核心は、iHBMと呼ばれる冷却技術の最適化にあります。メモリチップを垂直に積層するHBM構造では、積層数が増えるほど内部に熱がこもりやすく、性能低下や故障の原因となる熱抵抗の増大が課題となります。SK Hynixは、この熱抵抗を30%以上低減させることで、より効率的な排熱を実現し、HBM5の安定した動作と高性能化を追求しています。

### 背景・業界の文脈

AI処理に不可欠なHBM（高帯域幅メモリ）の世代交代が進む中、データ転送速度の向上に伴い、発熱問題はエンジニアにとって最大のボトルネックの一つとなっています。特に次世代規格となるHBM5では、さらなる高密度化と高速化が求められるため、従来の冷却手法では不十分な状況にあります。そのため、メモリメーカー単体ではなく、高度な材料技術や製造装置を持つサプライヤーと密接に連携し、物理的な冷却構造を刷新することが不可欠となっています。

### 今後の展望

SK Hynixは、サプライヤーとの連携を通じてiHBM冷却技術を量産プロセスに組み込むことで、HBM5の競争力を高める戦略です。熱抵抗の劇的な削減に成功すれば、AIアクセラレータ全体の電力効率向上や、より高いクロック周波数での動作が可能になります。今後、材料および装置の最適化が進むことで、次世代メモリ市場における熱管理技術の標準化が進むと考えられます。

参考技術解説：HBM：<https://troy-technical.jp/semiconductor-back-end-term-hbm/>

参考企業解説：SKハイニックス：<https://troy-technical.jp/semiconductor-back-end-company-sk-hynix/>

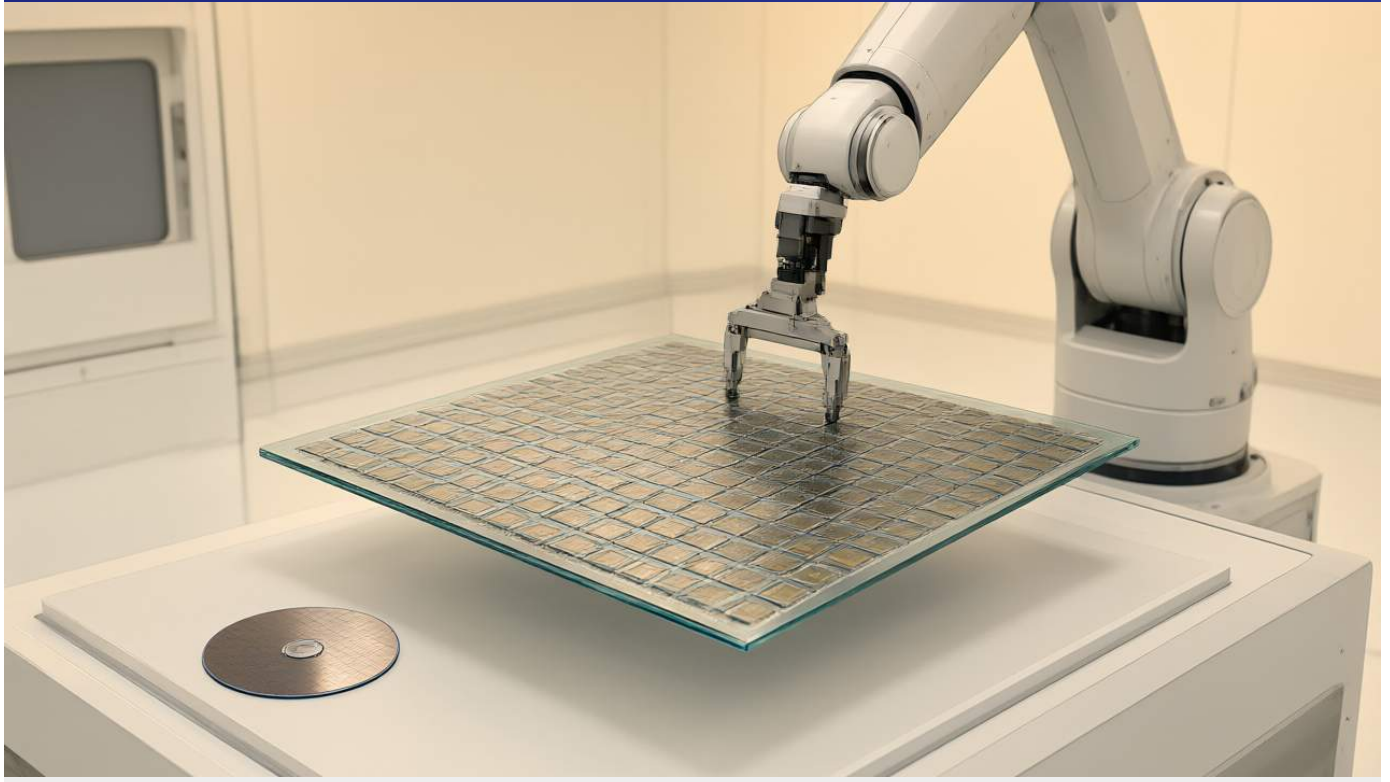
---

元記事: <https://www.digitimes.com/news/a20261022VL218/sk-hynix-cooling-production-materials-equipment.html>

収集日: 2026年10月24日 | 自動記事収集・翻訳システム (AI使用)

# #11 パネルレベルパッケージング | ウェハからパネル移行時の課題とIntel・ASEの戦略

公開日 2026年10月22日   Semiconductor Engineering   アメリカ



## 概要

先端パッケージングの基板をウェハからパネルへ移行させることで、AIやHPC向けの大面積パッケージにおける面積利用効率を劇的に向上させることが可能になる。Intelの事例では、300mmウェハで約10ユニットだったパッケージが、510×515mmパネルでは約48ユニットまで増加することが示された。しかし、この移行は単なるサイズの拡大ではなく、製造装置やプロセス制御の根本的な再設計を必要とする。

### 主要成果：面積利用率の劇的な向上

先端パッケージングをウェハからパネルへ移行させる最大のメリットは、経済性と面積利用率の向上にある。AIやHPC（ハイパフォーマンスコンピューティング）向けのパッケージは大型化し、形状も矩形（長方形）になる傾向がある。円形の300mmウェハでは、外周部分に利用不可能な領域が多く発生するが、矩形のパネルを用いることでこの無駄を排除できる。

具体的な数値として、Intel Foundryが510×515mmのパネルを用いた検証では、約4倍のレティクルサイズを持つパッケージにおいて、300mmウェハでは約10ユニットだったところ、パネルでは約48ユニットまで生産量が増加することが示された。また、300mmウェハで搭載可能な最大正方形サイズは約210×210mmという物理的な限界があるが、パネルはこの制約を解消できる。

### 技術的詳細：プロセス上の課題と変更点

一方で、数十年にわたり円形ウェハ向けに最適化されてきた製造インフラの転換が大きな課題となっている。具体的には以下のプロセス変更が必要となる。

- **塗布プロセス**：放射対称性を前提とするスピンコーティングは、矩形基板では四隅の膜厚が不均一になり、材料廃棄量も増える。そのため、600mmパネルフローではスリットまたはスロットダイコーティングによる塗布（有効面積 約586×586mm）が採用される。
- **リソグラフィ**：従来のウェハステッパーに代わり、マスクレスのダイレクトイメージングが多くのパネルフローで導入されている。
- **プロセス制御**：ウェハレベルでは片面処理が主であったが、パネルでは両面処理となる。また、大面積における温度管理やプロセスの均一性、Cpk（工程能力指数）の維持が困難となる。

さらに、ガラスパネル上の微細配線（RDL）では、ライン&スペースが5μmから2μm以下へと微細化しており、後工程に近いパッケージングプロセスに、前工程に近い高精度な制御が求められている。

## 背景と業界の戦略的アプローチ

製造インフラがパネルスケールに完全に対応していないため、リスクを抑えた段階的な移行戦略が検討されている。ASEのTeck Chong Lee氏は、600mmパネルでインターポーザを製造した後、アセンブリやC4プロセス（ bumps 接続）の前にパネルを4分割して処理するアプローチを提案している。この手法は、フルサイズの600mmパネルをそのまま処理するよりもリスクを低減できる。

なお、面積効率の比較では、5.5倍レティクルサイズのインターポーザを製造する場合、300mmウェハでは9ユニット、300mmパネルでは16ユニット、600mmパネルを4分割した場合は64ユニット、そして600mmパネルをそのまま処理した場合は72ユニットとなる。フルサイズパネルはウェハの約8倍のユニット数を生産可能であり、単純な面積差（約5倍）以上の効率を実現する。

## 今後の展望

パネルレベルパッケージングは、単にウェハフローをスケールアップさせることなく、新たな製造プロセスの構築に近い。フロントエンドの設備は300mmウェハを前提としており、従来の基板設備は許容誤差や機能サイズが異なるため、パネルレベルパッケージングはその中間に位置する新しい領域を切り拓くことになる。AIの進化に伴い超大型システムへの需要が高まる中、パネルへの移行は不可避な選択肢となっている。

参考技術解説：インターポーザ：<https://troy-technical.jp/semiconductor-back-end-term-interposer/>

参考技術解説：RDL：<https://troy-technical.jp/semiconductor-back-end-term-rdl/>

参考技術解説： bumps ：<https://troy-technical.jp/semiconductor-back-end-term-bump/>

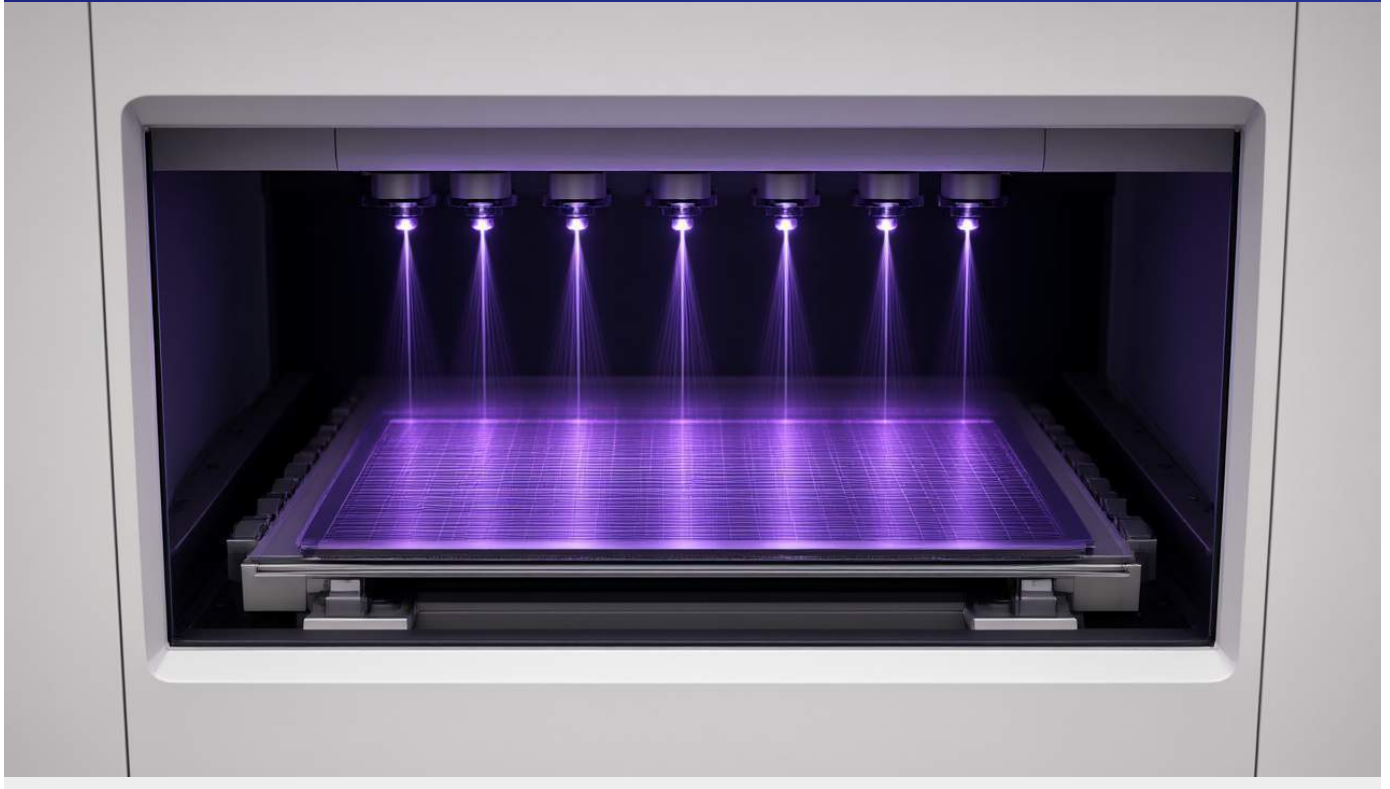
参考企業解説：インテル：<https://troy-technical.jp/semiconductor-back-end-company-intel/>

参考企業解説：ASEグループ：<https://troy-technical.jp/semiconductor-back-end-company-ase-group/>

収集日: 2026年10月24日 | 自動記事収集・翻訳システム (AI使用)

# #12 ニコン DSP-110 | 後工程向けデジタル露光装置の解像度とスループット性能

公開日 2026年10月20日 MONOist (ITmedia) 日本



## 概要

ニコンは、半導体アドバンストパッケージング向けに解像度 $1.5\mu\text{m}$ のデジタル露光装置「DSP-110」を2027年4月に発売する。光学系の再設計により、既存モデル比でスループットを約40%向上させ、 $510\times 515\text{mm}$ 基板で毎時72パネルの処理能力を実現した。将来的に光学系を交換することで解像度 $1.0\mu\text{m}$ への改造が可能であり、プロセスの高度化に柔軟に対応できる。

### 主要成果

ニコンは、半導体後工程のアドバンストパッケージング向けに、解像度 $1.5\mu\text{m}$  (L/S)を実現するデジタル露光装置「DSP-110」を開発し、2027年4月に発売することを発表した。本装置は、フォトマスクを必要としないデジタル露光方式を採用しており、高解像度と高い生産性を両立させている。特に、既存モデルと比較してスループットを約40%向上させた点が大きな特長である。

### 技術・詳細

DSP-110は、光学系の再設計を行うことで生産効率を大幅に改善している。具体的な性能として、 $510\times 515\text{mm}$ の基板を用いた場合に毎時72パネルのスループットを達成した。また、 $\pm 0.3\mu\text{m}$ 以下の重ね合わせ精度を備えており、顧客のトータルコスト低減と生産効率の向上に寄与する設計となっている。

対応する基板サイズは幅広く、以下の通りである。

- 角型基板： $310\times 310\text{mm}$ 、 $510\times 515\text{mm}$ 、 $600\times 600\text{mm}$ 、 $730\times 920\text{mm}$
- ウエハー：300mmなど

光源にはi線相当を採用している。また、光学系の再設計に伴いフォーカスマージンが拡大したことで、多様な基板条件においても安定したパターニングが可能となり、量産安定性と歩留まりの向上が期待できる。

### 背景・業界の文脈

半導体アドバンストパッケージング市場では、多層FC-BGA基板や大型インターポーザーにおいて、より高密度な配線への需要が拡大している。これに伴い、再配線層(RDL)を形成するための露光技術の重要性が高まっている。ニコンはこれまで、高解像度モデルである「DSP-100」(解像度 $1.0\mu\text{m}$ )を展開してきたが、多様な顧客ニーズに応えるため、スループットを重視したDSP-110をラインナップに加えた。

## 今後の展望

今後、アドバンストパッケージングの技術進化に伴い、RDL向け露光装置にはさらなる高解像度が求められると予想される。DSP-110は、将来的に光学系を交換することで、解像度 $1.0\mu\text{m}$ の装置へと改造することが可能な設計となっている。これにより、ユーザーは将来的なプロセスの高度化に対しても、装置を柔軟にアップグレードして対応することが可能となる。

参考技術解説：RDL：<https://troy-technical.jp/semiconductor-back-end-term-rdl/>

---

元記事: <https://monoist.itmedia.co.jp/mn/articles/2610/19/news040.html>

収集日: 2026年10月24日 | 自動記事収集・翻訳システム (AI使用)