

TROY TECHNICAL

半導体後工程 ウィークリーレポート

2026年10月10日-10月16日 | Issue 2026-W41

パッケージ性能、工程歩留まり、検査、認定能力

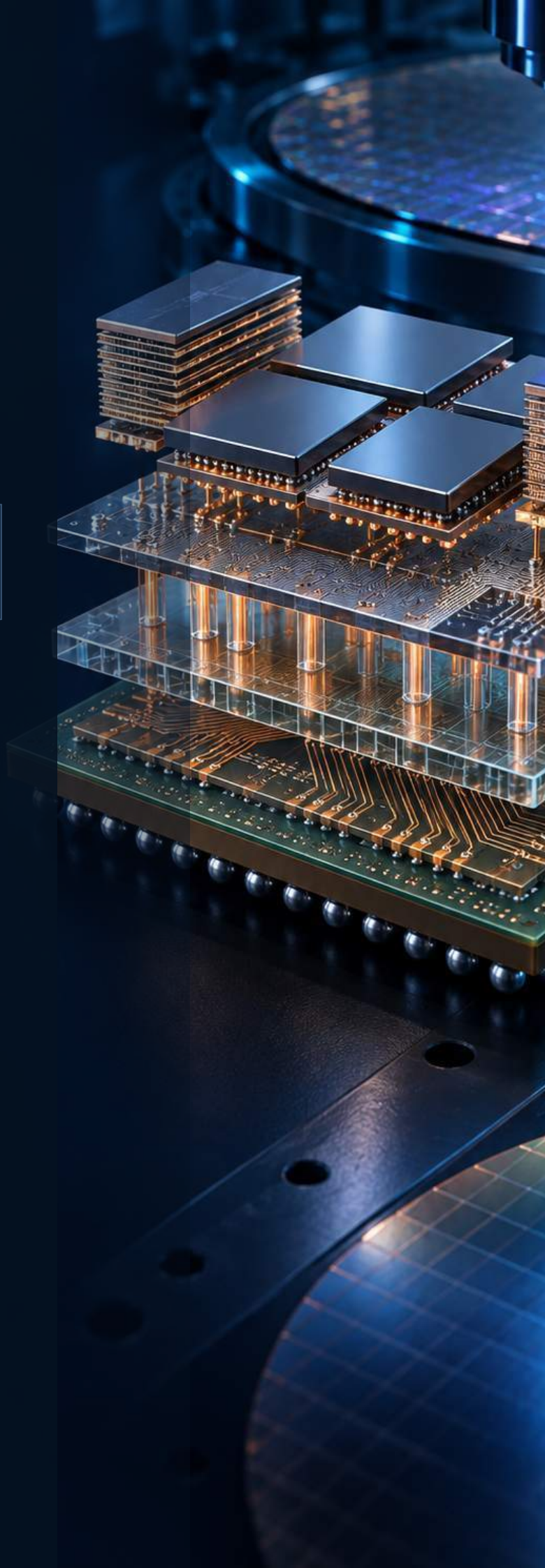
20

分析対象

10

重点テーマ

発行 2026-10-16 | 日本語版 | 承認済み固定表紙



半導体後工程:個別発表から認定証拠へ境界が移動

日本語記事20件を棚卸しし、意思決定に重要なテーマを選定した。

シグナル 01 | システム・導入

PowerSiPTM|ASEが展開するAI向け3D SiPによる垂直電源供給の効率化

一次資料で公表: ASEが、AIデータセンターおよびハイパフォーマンスコンピューティング(HPC)向けに、垂直統合型電圧レギュレータモジュール(VRM)を実現する3D System-in-Package(SiP)ソリューションを導入した。このPowerSiPTMプラットフォームは、電圧調整機能をプロセッサの直近に配置することで、寄生配線損失を50%以上削減できる。

シグナル 02 | 事業・制度・供給

日米戦略的投資イニシアティブ|ニューヨーク州の半導体製造プロジェクトの規模と参画企業

収集記事の報告(独立未検証): 日本とアメリカは、日米戦略的投資イニシアティブに基づき、ニューヨーク州で半導体製造プロジェクトを実施することで合意した。初期投資額は約100億ドル(約1.6兆円)と見込まれ、2026年末までに建設を開始する計画である。本プロジェクトは、自動車やAIデータセンター等に不可欠な成熟ノード半導体の生産能力を拡大し、経済安全保障上の強靱なサプライチェーンを構築することを目的としている。

シグナル 03 | システム・導入

ERSのPLPシステム|310mmパネルレベルパッケージングの自動化と性能

収集記事の報告(独立未検証): ERS electronicが、310×310mm基板に対応した完全自動のパネルレベルパッケージング(PLP)システムを発表した。本システムは、一時的なキャリアのボンディング、デボンディング、およびデテーピングの3工程を単一のプラットフォームに統合し、1時間あたり13パネルの処理能力を実現している。

シグナル 04 | 事業・制度・供給

Evatec CLUSTERLINE® 310|小型パネル用先端パッケージング装置

収集記事の報告(独立未検証): Evatecは、310×310mmの小型パネルフォーマットに対応した先端パッケージング専用装置「CLUSTERLINE® 310」を、世界的な大手IDM(垂直統合型デバイスメーカー)に納入した。本装置は、ガラスやガス放出量の多い有機材料の処理に向け、脱ガス、エッチング、PVD(物理気相成長)技術を統合している。

編集判断

今週の経営判断はパッケージ性能、工程歩留まり、検査、認定能力に集中する。自社条件で関連証拠を再現できる場合だけ次へ進む。

経営の3アクション

1. 事業会社: 熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。
2. 供給企業: 材料、接合、検査、信頼性の工程窓を顧客と共同設計する。
3. 経営層: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

証拠の読み方

FACTは収集記事に書かれた内容、事業への読みとACTIONは編集判断、UNKNOWNは記事だけでは確定しない項目を示す。リンク先があることだけで、全主張が独立検証済みとは扱わない。

条件と一緒に読む主要数値・証拠5件

>=50% A07	数値の条件 ASE・寄生配線損失低減の同社主張
310x310 mm A05	数値の条件 ERS・対象パネル寸法・報道値
450 nm A12	数値の条件 ハイブリッド接合・研究実証のピッチ
RM396M A06	数値の条件 Unisem・工場増強投資の報道額
未確認 A07	数値の条件 PowerSiPTMの熱・接合の信頼性、対象用途での再現性、導入条件は確定しない。公表値を自社性能として扱わない。
数値の読み方 数値は収集記事が示した条件と一緒に掲載する。試験法、寸法、温度、商用段階が異なる値を、条件補正なしで比較しない。	

バリューチェーンはどこで動いたか

各段階に主テーマと補助テーマを接続する。矢印は装飾ではなく、次工程へ渡す証拠を示す。

1

材料

P01/P06

一次資料で公表: ASEが、AIデータセンターおよびハイパフォーマンスコンピューティング (HPC) 向けに、垂直統合型電圧レギュレータモジュール (VRM) を実現する 3D System-in-Package (SiP) ソリューションを導入した。

2

接合・組立

P02/P07

収集記事の報告(独立未検証): 日本とアメリカは、日米戦略的投資イニシアティブに基づき、ニューヨーク州で半導体製造プロジェクトを実施することで合意した。初期投資額は約100億ドル(約1.6兆円)と見込まれ、2026年末までに建設を開始する計画である。

3

先端PKG

P03/P08

収集記事の報告(独立未検証): ERS electronicが、310×310mm基板に対応した完全自動のパネルレベルパッケージング (PLP) システムを発表した。

4

試験・検査

P04/P09

収集記事の報告(独立未検証): Evatecは、310×310mmの小型パネルフォーマットに対応した先端パッケージング専用装置「CLUSTERLINE® 310」を、世界的な大手IDM(垂直統合型デバイスメーカー)に納入した。

5

量産供給

P05/P10

収集記事の報告(独立未検証): ハイブリッドボンディングは、従来の bumps 制限を超えた高密度な相互接続を実現する 2.5D/3D パッケージング技術である。

各受渡しに必要な証拠

材料 → 接合・組立	試験条件、受入基準、故障データ、担当、判断日を渡し、再確認する: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。
接合・組立 → 先端PKG	試験条件、受入基準、故障データ、担当、判断日を渡し、再確認する: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。
先端PKG → 試験・検査	試験条件、受入基準、故障データ、担当、判断日を渡し、再確認する: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。
試験・検査 → 量産供給	試験条件、受入基準、故障データ、担当、判断日を渡し、再確認する: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

共通管理点

担当者が関連証拠を再現し、次を記録するまで商用判断へ進めない: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

プライオリティマップ:実装成熟度と次の判断場所



再現可能な配置ルール
横軸は研究・試作・共同評価・製品採用・量産の5段階。縦の帯は次の判断場所を技術・工程、システム・導入、事業・制度・供給に分ける。まず記事見出しの根拠語を使い、見出しで判断できない場合だけ概要を参照する。上下は影響の大小を意味しない。円径は編集スコアを示す。

スコア18点以下の円径は可読性確保のため18ptに固定。スコアそのものは補正していない。

FACTは収集記事に接続し、事業への読み、ACTION、UNKNOWNは編集判断として分離する。

P01

PowerSiPTM|ASEが展開するAI向け3D SiPによる垂直電源供給の効率化

A07 | システム・導入 | 製品採用

2026-10-14

FACT

一次資料で公表: ASEが、AIデータセンターおよびハイパフォーマンスコンピューティング(HPC)向けに、垂直統合型電圧レギュレータモジュール(VRM)を実現する3D System-in-Package(SiP)ソリューションを導入した。このPowerSiPTMプラットフォームは、電圧調整機能をプロセッサの直近に配置することで、寄生配線損失を50%以上削減できる。

なぜ重要か

つまり、PowerSiPTMの成果を採用へ移す際は、給電損失と熱・接合の信頼性を分けて測る必要がある。

事業への読み

編集推論: PowerSiPTMの採用余地は給電損失と熱・接合の信頼性の同条件比較で判断する。供給者には試験手順と適用範囲を求める。

ACTION

技術・品質担当は30日以内にPowerSiPTMの給電損失を対照条件で比較し、受入値と停止条件を評価票へ残す。

UNKNOWN

PowerSiPTMの熱・接合の信頼性、対象用途での再現性、導入条件は確定しない。公表値を自社性能として扱わない。

編集スコア 19/25 | 成熟度 4/5 | 判断場所: システム・導入

P02

日米戦略的投資イニシアティブ|ニューヨーク州の半導体製造プロジェクトの規模と参画企業

A04 | 事業・制度・供給 | 共同評価

2026-10-15

FACT

収集記事の報告(独立未検証): 日本とアメリカは、日米戦略的投資イニシアティブに基づき、ニューヨーク州で半導体製造プロジェクトを実施することで合意した。初期投資額は約100億ドル(約1.6兆円)と見込まれ、2026年末までに建設を開始する計画である。本プロジェクトは、自動車やAIデータセンター等に不可欠な成熟ノード半導体の生産能力を拡大し、経済安全保障上の強靱なサプライチェーンを構築することを目的としている。

なぜ重要か

つまり、日米戦略的投資イニシアティブの成果を採用へ移す際は、接合歩留まりと反りを分けて測る必要がある。

事業への読み

編集推論: 日米戦略的投資イニシアティブの採用余地は接合歩留まりと反りの同条件比較で判断する。供給者には試験手順と適用範囲を求める。

ACTION

技術・品質担当は30日以内に日米戦略的投資イニシアティブの接合歩留まりを対照条件で比較し、受入値と停止条件を評価票へ残す。

UNKNOWN

日米戦略的投資イニシアティブの反り、対象用途での再現性、導入条件は確定しない。一次原文の再確認が必要。

編集スコア 16/25 | 成熟度 3/5 | 判断場所: 事業・制度・供給

FACTは収集記事に接続し、事業への読み、ACTION、UNKNOWNは編集判断として分離する。

P03

ERSのPLPシステム|310mmパネルレベルパッケージングの自動化と性能

A05 | システム・導入 | 試作

2026-10-12

FACT

収集記事の報告(独立未検証): ERS electronicが、310×310mm基板に対応した完全自動のパネルレベルパッケージング(PLP)システムを発表した。本システムは、一時的なキャリアのボンディング、デボンディング、およびデレーピングの3工程を単一のプラットフォームに統合し、1時間あたり13パネルの処理能力を実現している。

なぜ重要か

つまり、ERSのPLPシステムの成果を採用へ移す際は、パネル反りと接合・検査歩留まりを分けて測る必要がある。

事業への読み

編集推論: ERSのPLPシステムの採用余地はパネル反りと接合・検査歩留まりの同条件比較で判断する。供給者には試験手順と適用範囲を求める。

ACTION

技術・品質担当は30日以内にERSのPLPシステムのパネル反りを対照条件で比較し、受入値と停止条件を評価票へ残す。

UNKNOWN

ERSのPLPシステムの接合・検査歩留まり、対象用途での再現性、導入条件は確定しない。一次原文の再確認が必要。

編集スコア 15/25 | 成熟度 2/5 | 判断場所: システム・導入

P04

Evatec CLUSTERLINE® 310|小型パネル用先端パッケージング装置

A10 | 事業・制度・供給 | 試作

2026-10-13

FACT

収集記事の報告(独立未検証): Evatecは、310×310mmの小型パネルフォーマットに対応した先端パッケージング専用装置「CLUSTERLINE® 310」を、世界的な大手IDM(垂直統合型デバイスメーカー)に納入した。本装置は、ガラスやガス放出量の多い有機材料の処理に向け、脱ガス、エッチング、PVD(物理気相成長)技術を統合している。

なぜ重要か

つまり、Evatec CLUSTERLINE® 310の成果を採用へ移す際は、パネル反りと接合・検査歩留まりを分けて測る必要がある。

事業への読み

編集推論: Evatec CLUSTERLINE® 310の採用余地はパネル反りと接合・検査歩留まりの同条件比較で判断する。供給者には試験手順と適用範囲を求める。

ACTION

技術・品質担当は30日以内にEvatec CLUSTERLINE® 310のパネル反りを対照条件で比較し、受入値と停止条件を評価票へ残す。

UNKNOWN

Evatec CLUSTERLINE® 310の接合・検査歩留まり、対象用途での再現性、導入条件は確定しない。一次原文の再確認が必要。

編集スコア 15/25 | 成熟度 2/5 | 判断場所: 事業・制度・供給

FACTは収集記事に接続し、事業への読み、ACTION、UNKNOWNは編集判断として分離する。

P05 ハイブリッドボンディング|3Dパッケージングの性能向上と実装課題、主要企業

A12 | システム・導入 | 試作

2026-10-14

FACT

収集記事の報告(独立未検証): ハイブリッドボンディングは、従来のバンプ制限を超えた高密度な相互接続を実現する2.5D/3Dパッケージング技術である。銅(Cu)同士と誘電体(ダイエレクトリック)を同時に直接接合することで、1um以下のピッチを実現し、信号帯域の向上や熱伝導の改善を可能にする。これにより、HBMの積層数増加や高密度チップレットブリッジなど、次世代のシステムアーキテクチャ設計に不可欠な技術となっている。

なぜ重要か

つまり、ハイブリッドボンディングの成果を採用へ移す際は、接合歩留まりと反りを分けて測る必要がある。

事業への読み

編集推論: ハイブリッドボンディングの採用余地は接合歩留まりと反りの同条件比較で判断する。供給者には試験手順と適用範囲を求める。

ACTION

技術・品質担当は30日以内にハイブリッドボンディングの接合歩留まりを対照条件と比較し、受入値と停止条件を評価票へ残す。

UNKNOWN

ハイブリッドボンディングの反り、対象用途での再現性、導入条件は確定しない。一次原文の再確認が必要。

編集スコア 15/25 | 成熟度 2/5 | 判断場所: システム・導入

P06 Intel EMIBとFoveros|次世代パッケージングのロードマップと量産時期

A15 | システム・導入 | 量産

2026-10-14

FACT

収集記事の報告(独立未検証): Intelは、チップレットを統合する2.5D技術「EMIB」と3D技術「Foveros」を組み合わせ、最大12レティクルサイズのシステム・イン・パッケージ(SiP)を実現する計画です。EMIBでは、配線密度の向上や電源供給を最適化するEMIB-MおよびEMIB-Tの開発を進めており、特にEMIB-Tは2027年の量産を目指しています。

なぜ重要か

つまり、Intel EMIBとFoverosの成果を採用へ移す際は、接合歩留まりと反りを分けて測る必要がある。

事業への読み

編集推論: Intel EMIBとFoverosの採用余地は接合歩留まりと反りの同条件比較で判断する。供給者には試験手順と適用範囲を求める。

ACTION

技術・品質担当は30日以内にIntel EMIBとFoverosの接合歩留まりを対照条件と比較し、受入値と停止条件を評価票へ残す。

UNKNOWN

Intel EMIBとFoverosの反り、対象用途での再現性、導入条件は確定しない。一次原文の再確認が必要。

編集スコア 17/25 | 成熟度 5/5 | 判断場所: システム・導入

FACTは収集記事に接続し、事業への読み、ACTION、UNKNOWNは編集判断として分離する。

P07

ZEISS SMT|次世代半導体製造向け検査・計測ソリューションの性能と製品群

A16 | システム・導入 | 量産

2026-10-15

FACT

収集記事の報告(独立未検証): ZEISS Semiconductor Manufacturing Technology (SMT)が、次世代半導体製造に向けた高度な検査および計測ソリューションを展開する。具体的には、チップレット等の高度なパッケージング向けに「ZEISS NLX」と「ZEISS DUNE」を、リソグラフィ工程向けに「ZEISS AIMS EUV 3.0」と「ZEISS MeRiT」を提供する。

なぜ重要か

つまり、ZEISS SMTの成果を採用へ移す際は、接合歩留まりと反りを分けて測る必要がある。

事業への読み

編集推論: ZEISS SMTの採用余地は接合歩留まりと反りの同条件比較で判断する。供給者には試験手順と適用範囲を求める。

ACTION

技術・品質担当は30日以内にZEISS SMTの接合歩留まりを対照条件と比較し、受入値と停止条件を評価票へ残す。

UNKNOWN

ZEISS SMTの反り、対象用途での再現性、導入条件は確定しない。一次原文の再確認が必要。

編集スコア 17/25 | 成熟度 5/5 | 判断場所: システム・導入

P08

Unisem|AI・データセンター向け先端パッケージング容量の拡張計画と投資額

A06 | 事業・制度・供給 | 試作

2026-10-09

FACT

収集記事の報告(独立未検証): Unisem (M) Bhdとその子会社が、マレーシア・ペラ州のゴペン工場を拡張するため、3億9600万リンギットを投資することを決定した。この第2段階の拡張により、AIやデータセンターで需要が高まっているウェハバンピングおよびポストバンプサービスの製造能力を増強する。先端パッケージング工程の強化を通じて、ハイパフォーマンスコンピューティングなどの成長市場への対応を加速させる狙いだ。

なぜ重要か

つまり、Unisemの成果を採用へ移す際は、接合歩留まりと反りを分けて測る必要がある。

事業への読み

編集推論: Unisemの採用余地は接合歩留まりと反りの同条件比較で判断する。供給者には試験手順と適用範囲を求める。

ACTION

技術・品質担当は30日以内にUnisemの接合歩留まりを対照条件と比較し、受入値と停止条件を評価票へ残す。

UNKNOWN

Unisemの反り、対象用途での再現性、導入条件は確定しない。一次原文の再確認が必要。

編集スコア 15/25 | 成熟度 2/5 | 判断場所: 事業・制度・供給

FACTは収集記事に接続し、事業への読み、ACTION、UNKNOWNは編集判断として分離する。

P09

AT&S|マレーシアに半導体施設を建設、IJM社が12.3億リングットを受注

A13 | 事業・制度・供給 | 製品採用

2026-10-12

FACT

収集記事の報告(独立未検証): IJM Corporation Bhdが、AT&S Austria Technologie & Systemtechnik (Malaysia) Sdn Bhdより、ケダ州のクディム・ハイテクパークにおける半導体製造施設の建設契約を受注した。契約額は12.3億リングットにのぼり、ICサブストレートおよびハイエンドプリント基板(PCB)の生産能力を拡張する。

なぜ重要か

つまり、AT&Sの成果を採用へ移す際は、接合歩留まりと反りを分けて測る必要がある。

事業への読み

編集推論: AT&Sの採用余地は接合歩留まりと反りの同条件比較で判断する。供給者には試験手順と適用範囲を求める。

ACTION

技術・品質担当は30日以内にAT&Sの接合歩留まりを対照条件で比較し、受入値と停止条件を評価票へ残す。

UNKNOWN

AT&Sの反り、対象用途での再現性、導入条件は確定しない。一次原文の再確認が必要。

編集スコア 17/25 | 成熟度 4/5 | 判断場所: 事業・制度・供給

P10

ガラス基板設備|FCSとCKSTが提携、AIチップ向け次世代パッケージングの展開

A18 | システム・導入 | 共同評価

2026-10-09

FACT

収集記事の報告(独立未検証): FCS Precision Industry(FCS)が、韓国のChina Korea Smart Technology(CKST)と戦略的協力協定を締結し、台湾および東南アジアにおけるCKST製設備の独占販売権を確保した。両社は、次世代AIチップやハイパフォーマンスコンピューティング(HPC)の高度パッケージングに不可欠なガラス基板製造設備の展開を共同で推進する。

なぜ重要か

つまり、ガラス基板設備の成果を採用へ移す際は、接合歩留まりと反りを分けて測る必要がある。

事業への読み

編集推論: ガラス基板設備の採用余地は接合歩留まりと反りの同条件比較で判断する。供給者には試験手順と適用範囲を求める。

ACTION

技術・品質担当は30日以内にガラス基板設備の接合歩留まりを対照条件で比較し、受入値と停止条件を評価票へ残す。

UNKNOWN

ガラス基板設備の反り、対象用途での再現性、導入条件は確定しない。一次原文の再確認が必要。

編集スコア 16/25 | 成熟度 3/5 | 判断場所: システム・導入

関係者別プレイブックと0-5年ロードマップ

関係者	NOW 0-30日	NEXT 1-12か月	LATER 1-5年
事業会社	熱・電気・歩留まり・修理・供給の同一条件で方式を比較する	量産相当条件で受入基準と停止基準を明示して評価する。	技術・供給者の変更を吸収できるポートフォリオと設計へ移る。
材料・装置・技術企業	材料、接合、検査、信頼性の工程窓を顧客と共同設計する	顧客と信頼性・工程窓・故障解析の共通データを作る。	界面、履歴、ライフサイクル支援、回収サービスを標準化する。
商社・投資・法務	Map 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。	能力、品質、変更通知、責任、代替、撤退を契約へ入れる。	地域・技術・顧客の集中リスクを分散する。

ロードマップ

NOW 0-30日 証拠台帳 担当: Strategy + quality 成果物: claim, source, condition, owner	NOW 0-30日 リスク選別 担当: Procurement + legal 成果物: unknowns, alternatives, stop	NEXT 1-12か月 共同認定 担当: R&D + supplier 成果物: 工程窓・故障データ
NEXT 1-12か月 商用ゲート 担当: Business + finance 成果物: 単位採算・供給能力	LATER 1-5年 プラットフォーム戦略 担当: 経営 成果物: ポートフォリオ・界面ロードマップ	LATER 1-5年 サービス層 担当: Operations + channel 成果物: 監視・保守・回復

Go / No-Goゲート

ゲート	担当	必要な証拠	中止条件
G1 証拠	品質	出典・試験条件・再現性	追跡可能な証拠なし
G2 統合	研究開発	界面・工程窓・故障解析	システム条件を満たさない
G3 商用	事業	能力・総原価・契約・代替	採算または供給が成立しない
G4 運用	運用	監視・保守・変更通知・撤退	責任ある運用計画なし

分析対象記事 | 01-10件目

全記事の正式タイトルと元記事URLを省略せず表示する。URLは折返しても全文を保持し、クリックできる。

ID	記事タイトル(全文)	元記事URL(全文・クリック可能)
A01	Micron HBMの台湾新工場AATT2稼働と2027年分完売、量産体制の現状	https://finance.biggo.com/news/b82e06b8-3991-4a72-8281-d310d2d97660
A02	Hanmi Semiconductor HBM4向けボンダー仕様と2027年展開	https://wisevoter.com/world/us/ca/san-francisco/2026/10/14/hanmi-semiconductor-unveiled-hbm4-equipment
A03	ASE AI向け先端パッケージング戦略とパネルレベル量産の時期・技術ロードマップ	https://techsoda.substack.com/p/dr-change-column-16-packaging-takes
A04	日米戦略的投資イニシアティブ ニューヨーク州の半導体製造プロジェクトの規模と参画企業	https://www.meti.go.jp/english/press/2026/10/20261015001.html
A05	ERSのPLPシステム 310mmパネルレベルパッケージングの自動化と性能	https://www.semiconductor-digest.com/ers-introduces-automated-310mm-panel-level-packaging-system/
A06	Unisem AI・データセンター向け先端パッケージング容量の拡張計画と投資額	https://theedgemalaysia.com/node/821171
A07	PowerSiPTM ASEが展開するAI向け3D SiPによる垂直電源供給の効率化	https://www.aseglobal.com/press-room/ase-expands-powersip-platform-for-next-generation-ai-power-delivery
A08	Samsung 半導体への91.5億ドル投資、ベトナム向け60億ドルの内訳と目的	https://manufacturing.economictimes.indiatimes.com/news/hi-tech/samsung-plans-9-15-bn-semiconductor-investment-with-nearly-6-bn earmarked-for-vietnam/134885720
A09	NXP マレーシアでの半導体後工程拡大に向けた2.5億ドルの融資と量産体制	https://news.fundsforngos.org/2026/10/16/eib-global-finances-nxp-250-million-malaysia-semiconductors/
A10	Evatec CLUSTERLINE® 310 小型パネル用先端パッケージング装置	https://chiplet-marketplace.com/insights/news/evatec-clusterline-310-advanced-packaging-small-panel-formats

分析対象記事 | 11-20件目

全記事の正式タイトルと元記事URLを省略せず表示する。URLは折返しても全文を保持し、クリックできる。

ID	記事タイトル(全文)	元記事URL(全文・クリック可能)
A11	バクニン省 半導体製造ハブ化への戦略と投資状況、2026年の量産計画	https://www.thestar.com.my/business/business-news/2026/10/16/bac-ninh-eyes-vietnams-semiconductor-hub-status
A12	ハイブリッドボンディング 3Dパッケージングの性能向上と実装課題、主要企業	https://www.3dincites.com/2026/10/why-hybrid-bonding-is-hard-to-perfect/
A13	AT&S マレーシアに半導体施設を建設、IJM社が12.3億リングットを受注	https://theedgemalaysia.com/node/821536
A14	ブリッジ技術 次世代大型半導体パッケージの課題と採用企業、ガラス基板の導入時期	https://www.thelec.net/news/articleView.html?idxno=14567
A15	Intel EMIBとFoveros 次世代パッケージングのロードマップと量産時期	https://www.tomshardware.com/tech-industry/semiconductors/analyzing-intels-emib-and-foveros-advanced-packaging-roadmaps-how-intel-plans-to-scale-chips-in-every-direction
A16	ZEISS SMT 次世代半導体製造向け検査・計測ソリューションの性能と製品群	https://metrology.news/zeiss-advances-inspection-and-metrology-for-next-generation-semiconductor-manufacturing/
A17	ASEDepとは CITが開発したAI半導体パッケージ向け単結晶銅析出ソリューション	https://www.donga.com/en/article/all/20261015/6420046/1
A18	ガラス基板設備 FCSとCKSTが提携、AIチップ向け次世代パッケージングの展開	https://www.adsalecprj.com/en/news/article_details/90309.html
A19	Samsung Electro-Mechanics 100mmガラス基板の商用化進捗	https://www.digitimes.com/news/a20261008VL220/semco-glass-substrate-testing-expansion.html
A20	Intel先端パッケージング EMIB-T量産時期と12倍レティクル展開	https://finance.biggo.com/news/03f6f05f-928f-44ea-a48e-4414bad68127

確認範囲: 原出典を取得できても、性能・原価・臨床有用性の独立検証を意味しない。企業発表、論文、二次報道を主張台帳で区別。公開日が対象週より前の資料は継続ウォッチとして扱う。編集推論と行動案は事実ではなく、投資・医療助言ではない。

半導体後工程 採用記事全文集

出力日: 2026-10-18

採用記事数: 20 件

収録記事一覧

- #01 Micron | HBMの台湾新工場AATT2稼働と2027年分完売、量産体制の現状
- #02 Hanmi Semiconductor | HBM4向けボンダー仕様と2027年展開
- #03 ASE | AI向け先端パッケージング戦略とパネルレベル量産の時期・技術ロードマップ
- #04 日米戦略的投資イニシアティブ | ニューヨーク州の半導体製造プロジェクトの規模と参画企業
- #05 ERSのPLPシステム | 310mmパネルレベルパッケージングの自動化と性能
- #06 Unisem | AI・データセンター向け先端パッケージング容量の拡張計画と投資額
- #07 PowerSiP™ | ASEが展開するAI向け3D SiPによる垂直電源供給の効率化
- #08 Samsung | 半導体への91.5億ドル投資、ベトナム向け60億ドルの内訳と目的
- #09 NXP | マレーシアでの半導体後工程拡大に向けた2.5億ドルの融資と量産体制
- #10 Evatec CLUSTERLINE® 310 | 小型パネル用先端パッケージング装置
- #11 バクニン省 | 半導体製造ハブ化への戦略と投資状況、2026年の量産計画
- #12 ハイブリッドボンディング | 3Dパッケージングの性能向上と実装課題、主要企業
- #13 AT&S | マレーシアに半導体施設を建設、IJM社が12.3億リンギットを受注
- #14 ブリッジ技術 | 次世代大型半導体パッケージの課題と採用企業、ガラス基板の導入時期
- #15 Intel EMIBとFoveros | 次世代パッケージングのロードマップと量産時期
- #16 ZEISS SMT | 次世代半導体製造向け検査・計測ソリューションの性能と製品群
- #17 ASEDepとは | CITが開発したAI半導体パッケージ向け単結晶銅析出ソリューション
- #18 ガラス基板設備 | FCSとCKSTが提携、AIチップ向け次世代パッケージングの展開
- #19 Samsung Electro-Mechanics | 100mmガラス基板の商用化進捗
- #20 Intel先端パッケージング | EMIB-T量産時期と12倍レティクル展開

#01 Micron | HBMの台湾新工場AATT2稼働と2027年分完売、量産体制の現状

公開日 2026年10月15日 BigGo Finance 台湾



概要

Micronが台湾・台中市に2棟目の先端パッケージング・テスト施設「AATT2」を開設し、HBM（高帯域幅メモリ）の量産を開始した。同社の2027年までのHBM生産能力はすでに完売しており、需要は2028年までDRAM業界全体の成長を上回る見通しである。AIコンピューティングの核心部品となったHBMの供給能力拡充を加速させ、グローバルなサプライチェーンの強化を図る。

詳細

主要成果

Micronは2026年10月15日、台湾の台中市に先端アセンブリ・テスト施設「AATT2」を正式に開所した。特筆すべきは、着工から量産開始まで約1年という極めて短期間で施設を完成させた点である。同社のManish Bhatia社長兼COOは、この新施設における2027年までのHBM生産能力がすでに完全に完売していることを明らかにした。また、HBMの成長速度は2028年までDRAM業界全体の成長を上回り続けると予測している。

技術・詳細

AATT2は、従来のバネ工場を完全に自動化された先端パッケージング工場へと転換した施設である。HBMの製造には、複数のDRAM層を積層させる高度な技術が必要であり、相互接続、熱管理、品質管理が大きな技術的課題となる。Micronは台湾におけるウェハー製造と先端パッケージング・テスト機能を統合することで、製品品質の向上と配送効率の最適化を目指す。また、台湾の深い人材プールとサプライヤーエコシステムを活用し、次世代製品の開発も継続的に行う方針である。

背景・業界の文脈

生成AIやデータセンターからの旺盛な需要により、HBMはニッチなメモリからAIコンピューティングに不可欠な重要コンポーネントへと変貌した。Bhatia氏は、AIが半導体業界の構造を根本的に変えていると指摘している。2016年に世界GDPの約0.5%だった半導体産業の規模はその後3倍に拡大し、メモリ業界が初めて世界半導体市場の半分以上を占めるに至った。技術革新の速度も加速しており、かつてはシリコン技術の突破口から企業が恩恵を受けるまで4～5年かかっていたが、現在はロジックおよびHBM技術が約12ヶ月ごとに1世代進化し、12～18ヶ月で新しいAIモデルの恩恵を享受できる時代となっている。

今後の展望

Micronは、HBMの生産能力拡大とランプアップ（増産）速度を競争の核心と位置づけている。台湾のAATT2に加え、シンガポールの先端HBMパッケージング工場も2027年から能力寄与を開始する予定である。さらに日本においても、広島工場に総額1.5兆円（約93億ドル）を投じて新クリーンルームを建設しており、日本経済産業省から最大5,360億円（約34億ドル）の補助金を受ける。広島工場では1 μ mプロセスノードを用いたHBM4向けDRAMを製造し、2028年の出荷開始を予定している。台湾、シンガポール、日本を連携させたサプライチェーンにより、AIメモリ競争における地位の確立を狙う。

参考技術解説：HBM：<https://troy-technical.jp/semiconductor-back-end-term-hbm/>

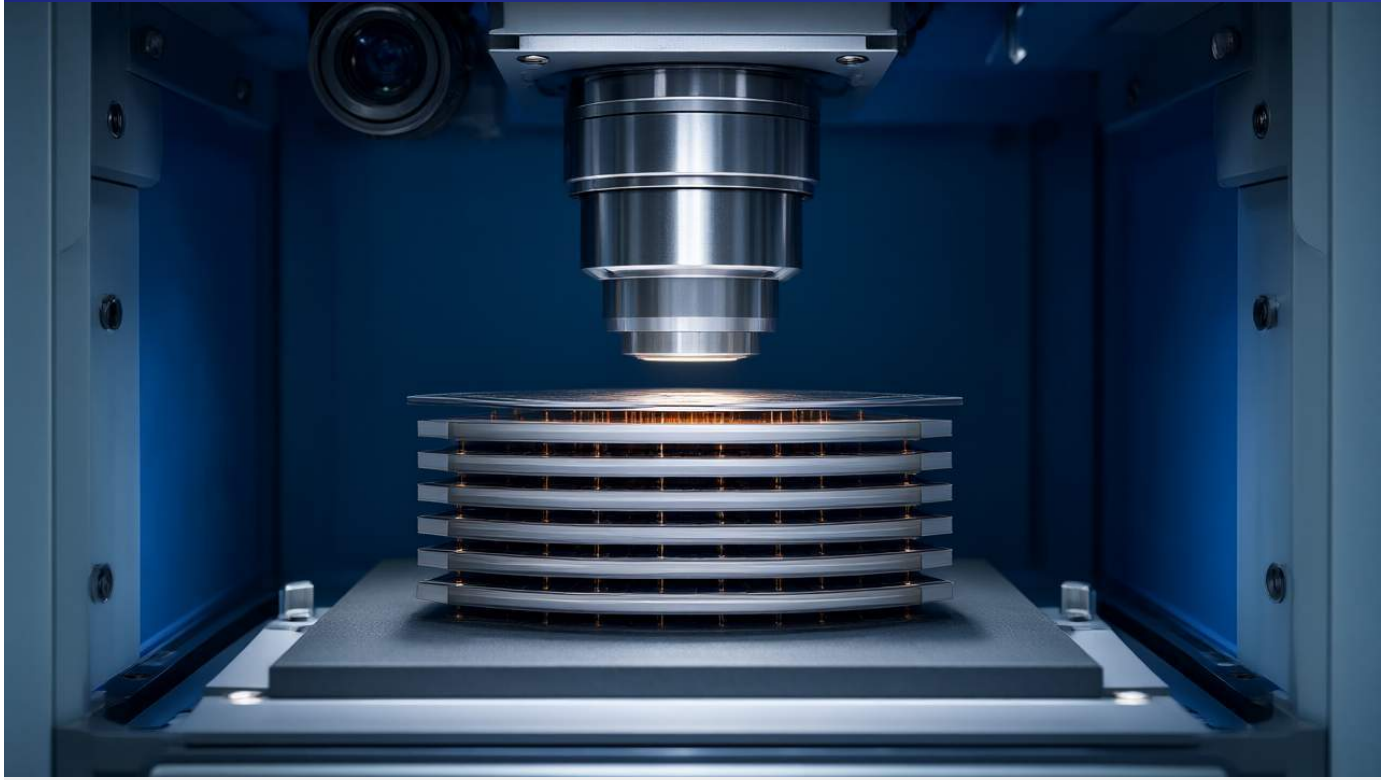
参考技術解説：テスト：<https://troy-technical.jp/semiconductor-back-end-term-test/>

元記事: <https://finance.biggo.com/news/b82e06b8-3991-4a72-8281-d310d2d97660>

収集日: 2026年10月17日 | 自動記事収集・翻訳システム (AI使用)

#02 Hanmi Semiconductor | HBM4向けボンダー仕様と2027年展開

公開日 2026年10月14日 Wisevoter アメリカ



概要

Hanmi Semiconductorが、次世代メモリHBM4の生産を支援する新しいパッケージング装置スイートを公開した。具体的にはHBM4生産用のTC Bonder 4をはじめ、2.5D TC Bonder 3台、FC Bonder 2台の計5モデルを披露している。これらの装置はAI半導体の製造ボトルネックとなっているパッケージング工程の効率化を図るものであり、将来的なAIハードウェアのコスト低減に寄与する可能性がある。

詳細

主要成果

Hanmi Semiconductor は、サンフランシスコの Moscone Center で開催された「Semicon West 2026」において、次世代AI半導体メモリであるHBM4の生産を最適化するための新しいパッケージング装置スイートを披露した。今回公開されたのは、HBM4生産用の「TC Bonder 4」を含む、計5つの専門モデルである。具体的には、TC Bonder 4に加え、2.5D TC Bonderが3台、FC Bonderが2台で構成されている。

技術・詳細

導入されたボンダー群は、熱と圧力を利用してメモリチップを高精度に接合および積層（スタッキング）させるプロセスを担う。特に注目される2.5Dパッケージング技術では、シリコンインターポーザを用いることで、GPU、CPU、およびHBMを単一の高パフォーマンスパッケージに統合することが可能となる。

また、同社は「Micro Saw & Vision Placement」プロセスも展示した。このプロセスは、半導体ウェハーなどの切断、洗浄、乾燥、検査、仕分け、およびロード（搬送）までの工程を自動化するものである。なお、このマイクロソー技術は2021年に同社によって開発された。

背景・業界の文脈

現在、AIハードウェアの生産速度とキャパシティにおける最大のボトルネックは、パッケージング技術の進展にある。世界的なメモリメーカーがHBM4の量産体制を強化する中で、高度な製造技術への需要が急増しており、特に米国におけるAI半導体生産への投資拡大に合わせる形で今回の装置群が投入された。

業界全体でAIハードウェア向けの2.5D積層プロセスの最適化を巡る競争が激化しており、Hanmi Semiconductorはこれらの専用ボンダーを投入することで、ファウンドリ市場における既存のバックエンドプロセス・プロバイダーへの挑戦を明確にしている。

今後の展望

専門的な組立装置の普及は、製造ラインのボトルネックを解消し、データセンターや開発者が利用する高性能AIハードウェアのコストを抑制する可能性がある。これにより、最新のGPUやCPUの製造パイプラインにおける効率向上が期待される。

今後の重要なマイルストーンとして、同社は「Wide TC Bonder」のリリースを2027年に予定している。この製品の展開は、HBM4の大量生産が次の成熟段階に達するタイミングを示す指標になるとされており、同社製品ラインの次なる拡張フェーズとなる見込みである。

参考技術解説：HBM：<https://troy-technical.jp/semiconductor-back-end-term-hbm/>

参考技術解説：スタッキング：<https://troy-technical.jp/semiconductor-back-end-term-stacking/>

参考技術解説：インターポザ：<https://troy-technical.jp/semiconductor-back-end-term-interposer/>

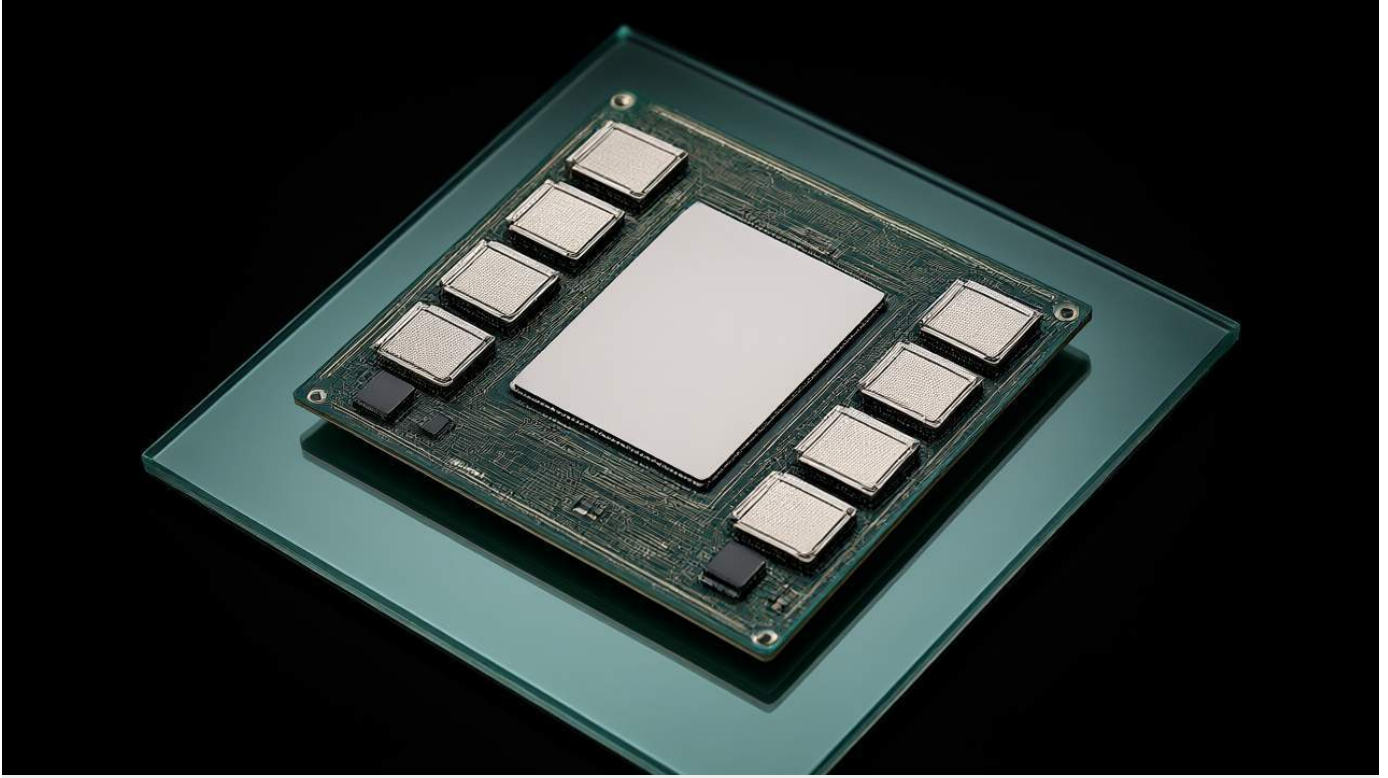
参考企業解説：ハンミ半導体：<https://troy-technical.jp/semiconductor-back-end-company-hanmi/>

元記事: <https://wisevoter.com/world/us/ca/san-francisco/2026/10/14/hanmi-semiconductor-unveiled-hbm4-equipment>

収集日: 2026年10月17日 | 自動記事収集・翻訳システム (AI使用)

#03 ASE | AI向け先端パッケージング戦略とパネルレベル量産の時期・技術ロードマップ

公開日 2026年10月15日 TechSoda アメリカ



概要

ASE Technology Holdingは、AI需要に伴う先端パッケージングへのシフトを加速させ、業界リーダーとしての地位を強固にしている。2025年の先端パッケージング収益は502億台湾ドルに達し、同社の組立・テスト事業に占める割合は13%まで上昇した。AIアクセラレータにおけるチップレットやHBMの統合が不可欠となる中、同社はシステムレベルのエンジニアリングへと領域を拡大している。

主要成果：先端パッケージングへの急激なシフト

ASEは、AI向け先端パッケージングへの移行により、事業構造の転換を成功させている。2024年に188億台湾ドルであった先端パッケージングサービスの収益は、2025年には502億台湾ドルへと急増した。これにより、同社の半導体組立・テスト事業における先端パッケージングのシェアは、6%から13%へと拡大している。また、2025年の通年収益は前年比8.4%増の6454億台湾ドルを記録し、そのうちパッケージング収益は17.8%増、テスト収益は31.8%増と大幅な成長を遂げた。

技術詳細：VIPackプラットフォームとパネルレベル量産

ASEは「VIPack」という広範な先端パッケージングフレームワークを展開しており、以下の技術を統合している。

- **FOCoS (Fan-Out Chip-on-Substrate):** 再配線層を用いてASIC、チップレット、HBMを同一パッケージ内に統合する技術。
- **FOCoS-Bridge:** 局所的なシリコンブリッジを追加し、ダイ間の相互接続密度を高める。
- **CPO (Co-Packaged Optics):** 光学コンポーネントをスイッチや演算シリコンに近接させる技術。データセンターにおける帯域幅と電力消費の制約を解消し、パッケージング、光通信、シリコンフォトリソを融合させる。
- **パネルレベルパッケージング:** 2026年に310mm × 310mmの自動化ラインを導入。従来の円形ウェハーから正方形パネルへ移行することで、利用可能面積の向上、製造時間の短縮、大面積パッケージのユニットコスト低減を図る。量産は2027年上半期に開始予定である。

背景：AIによる価値連鎖の変化

従来、半導体業界では設計、製造（ファウンドリ）、後工程（OSAT）の役割が明確に分かれていた。しかし、ムーアの法則に基づくプロセス微細化（7nmから5nm、3nm、2nmへ）のコスト増大に伴い、微細化だけではAIの計算需要を満たせなくなった。現在のAIアクセラレータでは、GPUやASICに加え、複数のHBMスタックや高速I/O、異なる機能を持つチップレットを統合する必要があるため、パッケージング自体がシステム性能を決定づける中心的な要素へと変化している。

今後の展望：システムレベルエンジニアリングへの進化

ASEは、SPIL（Siliconware Precision Industries）との統合による規模の経済とR&Dシナジーを活かし、圧倒的な市場シェアを維持している。TrendForceによれば、2024年の世界トップ10 OSAT企業の合計収益415.6億ドルのうち、ASEは185.4億ドル（約45%）を占めている。今後は、単なる保護や接続という役割を超え、チップサイズ、メモリ、熱管理、基板などの最適化を同時に行うシステムレベルのエンジニアリングへと進化し、AIコンピューティングのボトルネック解消に取り組む構えだ。

参考技術解説：テスト：<https://troy-technical.jp/semiconductor-back-end-term-test/>

参考技術解説：チップレット：<https://troy-technical.jp/semiconductor-back-end-term-chiplet/>

参考技術解説：HBM：<https://troy-technical.jp/semiconductor-back-end-term-hbm/>

参考企業解説：ASEグループ：<https://troy-technical.jp/semiconductor-back-end-company-ase-group/>

参考企業解説：シリコンウェア・プレシジョン・インダストリーズ（SPIL）：<https://troy-technical.jp/semiconductor-back-end-company-spil/>

元記事: <https://techsoda.substack.com/p/dr-change-column-16-packaging-takes>

収集日: 2026年10月17日 | 自動記事収集・翻訳システム (AI使用)

#04 日米戦略的投資イニシアティブ | ニューヨーク州の半導体製造プロジェクトの規模と参画企業

公開日 2026年10月15日 Ministry of Economy, Trade and Industry (METI) Japan 日本



概要

日本とアメリカは、日米戦略的投資イニシアティブに基づき、ニューヨーク州で半導体製造プロジェクトを実施することで合意した。初期投資額は約100億ドル（約1.6兆円）と見込まれ、2026年末までに建設を開始する計画である。本プロジェクトは、自動車やAIデータセンター等に不可欠な成熟ノード半導体の生産能力を拡大し、経済安全保障上の強靱なサプライチェーンを構築することを目的としている。

詳細

主要成果

日本政府とアメリカ政府は、2026年10月14日（米国時間）、日米戦略的投資イニシアティブの下で半導体製造プロジェクトを実施することに合意した。本プロジェクトは同イニシアティブにおける初の半導体関連プロジェクトとなり、米国ニューヨーク州での展開が決定している。推定される総プロジェクト費用は約100億ドル（約1.6兆円）にのぼり、2026年末までの建設開始を予定している。また、将来的な生産設備の拡張により、投資規模は最大で約210億ドルまで拡大する可能性がある。

技術・詳細

本プロジェクトの技術的な焦点は、成熟ノード（Mature-node）半導体の生産能力拡大にある。成熟ノード半導体とは、最先端の微細化プロセスではないものの、信頼性が高く幅広い用途に利用される半導体のことであり、具体的には以下の分野で不可欠なコンポーネントとして利用される。

- 自動車
- 産業機械
- スマートフォン
- AIデータセンター

これらの重要分野における供給能力を強化することで、経済安全保障の観点から戦略的に重要な半導体サプライチェーンの強靱化を図る。

背景・業界の文脈

本合意は、2025年9月に発表された日米戦略的投資イニシアティブに基づき、協議委員会などの調整を経て実現したものである。このプロジェクトを通じて、日本の製造装置・材料メーカーにとってのビジネスチャンス拡大が期待されている。具体的に関心を表明している企業は以下の通りである。

- 製造装置の供給：東京エレクトロン株式会社、SCREENホールディングス株式会社
- 材料およびコンポーネントの供給：東京応化工業株式会社
- 製品の購入：ルネサスエレクトロニクス株式会社

さらに、サプライチェーンを支える中小企業の利益向上も見込まれており、製造装置や材料、部品の供給に関心を示している企業として、フジキン株式会社や草川精機株式会社の名前が挙げられている。

今後の展望

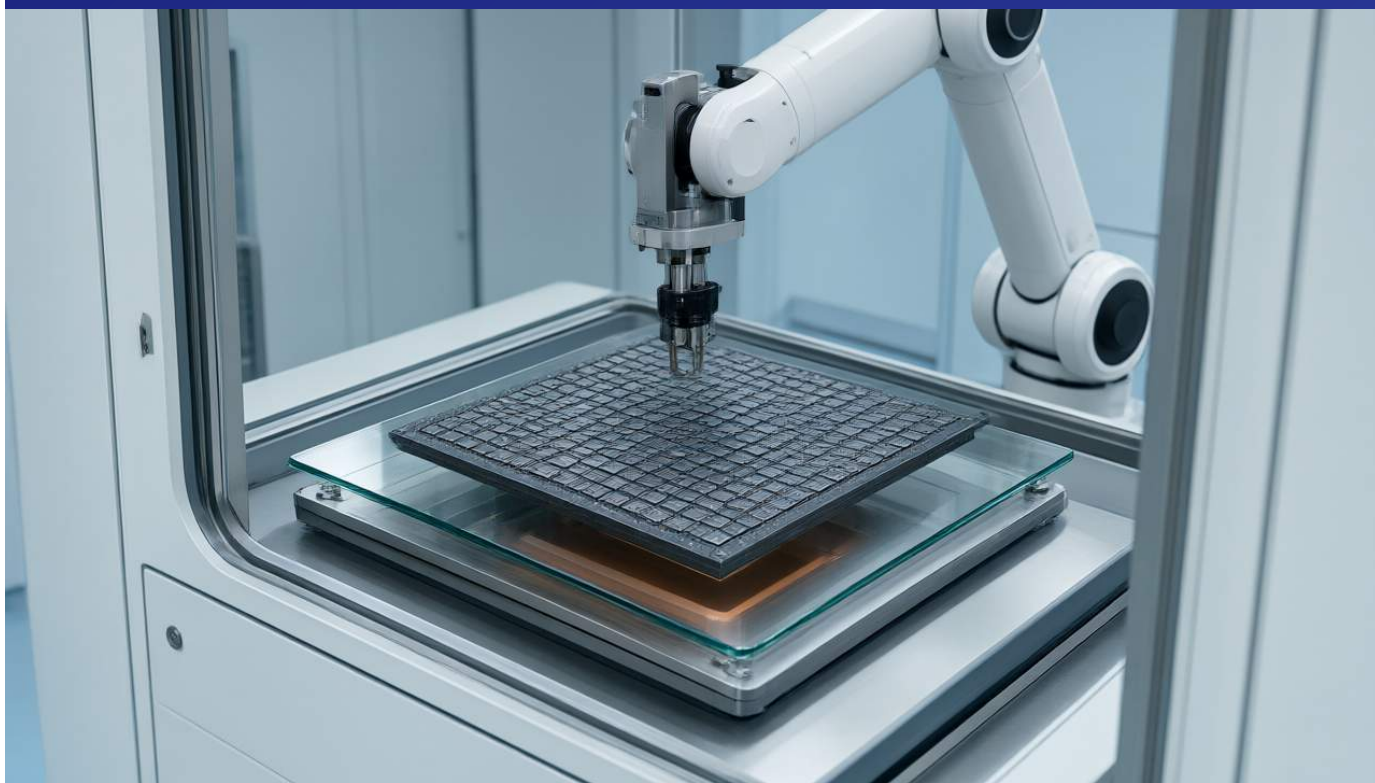
日本政府は、本プロジェクトが迅速かつ円滑に実施されるよう、引き続きアメリカ側と緊密に連携していく方針である。成熟ノード半導体の増産体制が整うことで、産業基盤を支える半導体の安定供給体制が構築されることが期待される。

元記事: <https://www.meti.go.jp/english/press/2026/10/20261015001.html>

収集日: 2026年10月17日 | 自動記事収集・翻訳システム (AI使用)

#05 ERSのPLPシステム | 310mmパネルレベルパッケージングの自動化と性能

公開日 2026年10月12日 Semiconductor Digest ドイツ



概要

ERS electronicが、310×310mm基板に対応した完全自動のパネルレベルパッケージング（PLP）システムを発表した。本システムは、一時的なキャリアのボンディング、デボンディング、およびデテーパーピングの3工程を単一のプラットフォームに統合し、1時間あたり13パネルの処理能力を実現している。これにより、熱的に重要なプロセス間でのツール間転送が排除され、製造効率の向上とリスク低減が可能になる。

詳細

主要成果

ERS electronicは、310×310mmの基板に対応する完全自動のパネルレベルパッケージング（PLP）システムを導入した。このシステムの最大の特徴は、従来は個別の装置で行われていた「一時的なキャリアのボンディング（接合）」、「デボンディング（剥離）」、「デテーピング（テープ除去）」という3つのプロセスを、単一の自動化プラットフォームに統合した点にある。処理能力は1時間あたり13パネルに達し、すでに主要な半導体メーカーに初号機が納入され、生産ラインへの組み込みが進められている。

技術・詳細

本システムは、ドイツのバービングにある同社の高度パッケージング施設で開発・製造された。ERSが長年培ってきた55年の熱管理の専門知識と、30年以上の自社装置製造能力を組み合わせ、構築されており、2024年に統合した半導体専門装置エンジニアリングチームの知見も反映されている。

技術的な核心は、デュアルキャリア・プロセスの効率化にある。従来のワークフローでは、ボンディングとデボンディングに別々の装置が必要であり、それらはファブ内の異なる場所に配置されることが一般的であった。そのため、パネルを装置間で移動させる際にハンドリング工程や輸送時間が発生し、基板が損傷するリスクを伴っていた。ERSの統合プラットフォームでは、パネルが装置間ではなく「プロセスモジュール間」を移動するため、周囲のファブレイアウトを変更することなく、ハンドリング時間とリスクを大幅に削減できる。

背景・業界の文脈

ERSはPLPの早期導入者であり、2018年にはベルリンのFraunhofer IZMに初の商用パネルレベルツールを出荷している。現在、業界では300mmの円形ウェハーと比較して基板面積の利用効率が大幅に向上する310×310mmのパネルフォーマットが注目を集めている。Yole Groupの予測（Panel-Level Packaging 2026）によれば、パネルレベルパッケージング市場は今後5年間で40%以上の年平均成長率（CAGR）で成長すると見込まれている。

今後の展望

3D IC、HBM（高帯域幅メモリ）、および2.5D ICパッケージングにおける背面処理において、デュアルキャリアのボンディングおよびデボンディングのワークフローの重要性はますます高まっている。ERSのCEOであるLaurent Giai-Miniet氏は、伝統的に別々のツールを必要とした3つの工程を一つの自動プラットフォームに統合することで、顧客が生産を合理化し、プロセスの整合性を高め、より高い歩留まりとスループットを達成できるようになると述べている。

参考技術解説：ボンディング：<https://troy-technical.jp/semiconductor-back-end-term-bonding/>

参考技術解説：PLP：<https://troy-technical.jp/semiconductor-back-end-term-plp/>

参考技術解説：HBM：<https://troy-technical.jp/semiconductor-back-end-term-hbm/>

元記事: <https://www.semiconductor-digest.com/ers-introduces-automated-310mm-panel-level-packaging-system/>

収集日: 2026年10月17日 | 自動記事収集・翻訳システム (AI使用)

#06 Unisem | AI・データセンター向け先端パッケージング容量の拡張計画と投資額

公開日 2026年10月09日 The Edge Malaysia マレーシア



概要

Unisem (M) Bhdとその子会社が、マレーシア・ペラ州のゴペン工場を拡張するため、3億9600万リンギットを投資することを決定した。この第2段階の拡張により、AIやデータセンターで需要が高まっているウェハバンピングおよびポストバンプサービスの製造能力を増強する。先端パッケージング工程の強化を通じて、ハイパフォーマンスコンピューティングなどの成長市場への対応を加速させる狙いだ。

主要成果

Unisem (M) Bhdおよびその子会社は、ペラ州ゴベンにある半導体製造プラントの第2段階拡張に、総額3億9600万リンギットを投資する計画を明らかにしました。この投資の主な目的は、人工知能（AI）、データセンター、およびハイパフォーマンスコンピューティング（HPC）向けに需要が急増している先端チップパッケージングの製造能力を拡大することにあります。

技術・詳細

今回の拡張計画では、半導体チップを先端パッケージングに適合させるための重要な前工程である「ウェハバンピング（wafer bumping）」および「ポストバンプサービス」の製造キャパシティを向上させます。具体的な投資内訳と施設計画は以下の通りです。

- **新施設の建設：** 建築面積約40,000平方メートルの新生産施設を建設し、これに推定1億9600万リンギットを投じます。
- **運用の分担：** 新施設の一部は、完全子会社であるUnisem Advanced Technologies Sdn Bhdにリースされ、先端半導体パッケージングプロセスであるウェハバンピング業務の拡張に充てられます。
- **設備投資：** 必要な製造装置の導入および施設準備工事に、さらに2億リンギットを費やす計画です。

資金調達については、内部資金と銀行借入を組み合わせで充当しますが、それぞれの具体的な比率は現時点では未定となっています。

背景・業界の文脈

Unisemは、これまでもゴベン施設への投資を継続的に行ってきました。第1段階の拡張は2022年3月に着工し、当初の推定コストは3億リンギットでした。この第1段階の目的は、既存のイポー拠点における生産能力を倍増させることになりました。また、同社のジョン・チア・シン・テット会長兼グループ・マネージング・ディレクターは今年4月、3年間の設備投資計画（総額約10億リンギット）の一環として、すでにゴベン工場に6億リンギットを投資したことを明らかにしています。

今後の展望

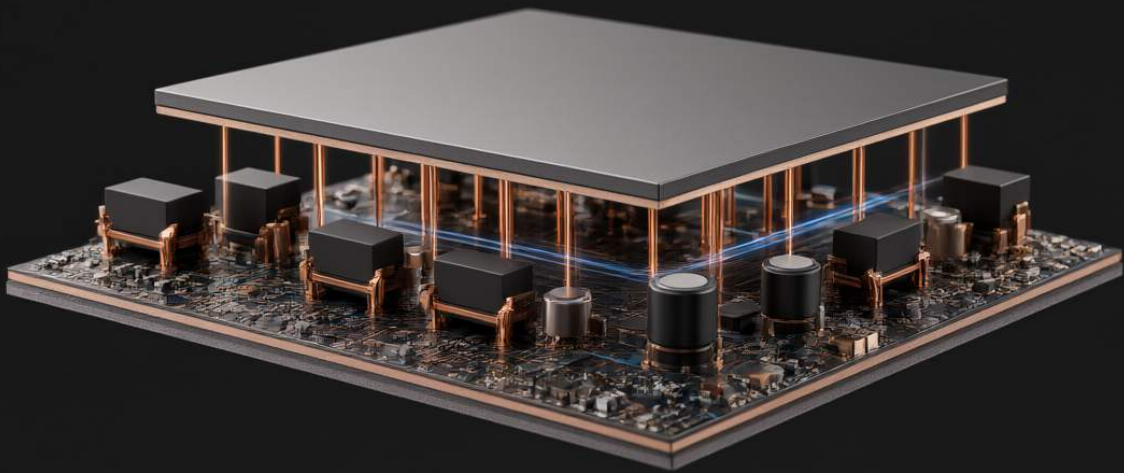
今回の第2段階の拡張は、現在の会計年度の収益に重大な影響を与えることはない見込みですが、施設が完成し稼働し始めた後は、収益にプラスに寄与すると期待されています。CIMB Securitiesは9月のリサーチノートにおいて、このゴペン第2段階の拡張がウェハバンピングおよび先端パッケージング能力を補完し、Unisemの次なる成長段階を牽引する可能性があるとして分析しています。

元記事: <https://theedgemalaysia.com/node/821171>

収集日: 2026年10月17日 | 自動記事収集・翻訳システム (AI使用)

#07 PowerSiP™ | ASEが展開するAI向け3D SiPによる垂直電源供給の効率化

公開日 2026年10月14日 ASE Technology Holding アメリカ



概要

ASEが、AIデータセンターおよびハイパフォーマンスコンピューティング（HPC）向けに、垂直統合型電圧レギュレータモジュール（VRM）を実現する3D System-in-Package（SiP）ソリューションを導入した。このPowerSiP™プラットフォームは、電圧調整機能をプロセッサの直近に配置することで、寄生配線損失を50%以上削減できる。AIプロセッサの消費電力増大に伴う電力供給の課題を解決し、システム全体の効率を向上させる。

主要成果

ASEは、次世代AI電力供給に向けたPowerSiP™プラットフォームを拡張し、3D System-in-Package (SiP) ソリューションを提供することを発表した。このソリューションは、AIデータセンターやハイパフォーマンスコンピューティング (HPC) アプリケーションにおいて、垂直統合型の電圧レギュレータモジュール (VRM) を実現し、システム効率を向上させる。垂直方向のボード・トゥ・チップ (board-to-chip) 電力供給を可能にする小型・高集積かつ薄型のVRMを構築することで、寄生配線損失を50%以上削減できるとしている。

技術・詳細

PowerSiP™の垂直統合ツールボックスには、以下の高度なパッケージングおよび集積技術が含まれている。

- コアレス基板で挟み込まれた両面接続キャパシタ
- 埋め込み基板またはPCBソリューション向けに端子を露出させた、基板レス・はんだレスのキャパシタアレイモジュール
- パッケージインピーダンスを低減するための高アスペクト比 (4:1) 銅ピン統合
- 片面または両面モルディングを用いた高密度な能動・受動コンポーネントの統合

これらの技術を組み合わせることで、スペースに制約があるコンピューティングトレイにおいて、PCBの裏側に電圧レギュレーションを配置する際の密度と厚みの制約を解消している。

背景・業界の文脈

AIプロセッサの性能向上が進むにつれ、エネルギー要件が大幅に増加しており、効率的な電力供給がシステムレベルの重大な課題となっている。現在の高性能AI SoCは、消費電力がキロワット (kW) レベルに達し、1V未満の低電圧において1,000アンペア (A) を超えるピーク電流を必要とする場合がある。従来のラテラル (水平) 構成では、電力がPCBを通り、パッケージ基板や相互接続を経由してプロセッサに到達するため、配線過程で大きな損失が発生する。そのため、電圧レギュレーションとプロセッサの距離を短縮し、損失を最小限に抑えることが不可欠となっている。

今後の展望

AIインフラがヘテロジニアス（異種混在）かつモジュール化されたコンピューティングアーキテクチャへと進化する中で、システムレベルの電力効率はさらに重要になると予測される。ASEの提供する検証済みの組立技術は、次世代のGPU、TPU、およびカスタムASIC向けに、コンパクトで高集積なVRMを構築するための柔軟なツールボックスとして機能する。同社は、SEMICON West 2026およびOCP 2026などの業界イベントを通じて、AIスケールに向けた高度なパッケージングやチップレットの相互運用性に関する議論を推進していく方針である。

参考技術解説：SiP：<https://troy-technical.jp/semiconductor-back-end-term-sip/>

参考技術解説：パッケージ基板：<https://troy-technical.jp/semiconductor-back-end-term-package-substrate/>

参考技術解説：チップレット：<https://troy-technical.jp/semiconductor-back-end-term-chiplet/>

参考企業解説：ASEグループ：<https://troy-technical.jp/semiconductor-back-end-company-ase-group/>

元記事: <https://www.aseglobal.com/press-room/ase-expands-powersip-platform-for-next-generation-ai-power-delivery>

収集日: 2026年10月17日 | 自動記事収集・翻訳システム (AI使用)

#08 Samsung | 半導体への91.5億ドル投資、ベトナム向け60億ドルの内訳と目的

公開日 2026年10月12日 ET Manufacturing インド



概要

Samsungが半導体分野に総額91.5億ドルを投資する計画を明らかにしました。このうち約60億ドルがベトナムに割り当てられています。ベトナムにおける半導体エコシステムの構築と、メモリチップのテスト施設などの整備を加速させる狙いです。

詳細

主要成果

Samsungは、半導体事業に対して総額91.5億ドルの投資を計画しています。特筆すべきは、その投資額の大部分にあたる約60億ドルがベトナムに割り当てられている点です。

技術・詳細

今回の投資計画において、ベトナムでの展開には以下の具体的な施設や技術要素が含まれています。

- ・ メモリチップのテスト施設（memory chip testing facilities）の整備
- ・ フリップチップ・ボール・グリッド・アレイ（flip-chip ball grid array）基板に関連する取り組み
- ・ イェンビン工業団地（Yen Binh Industrial Park）でのオペレーション

背景・業界の文脈

Samsungによるこの大規模な資本投入は、ベトナムにおける半導体エコシステムの構築を目的としています。メモリチップのテスト工程や高度なパッケージング基板であるフリップチップ・ボール・グリッド・アレイなどの製造・検証機能を強化することで、サプライチェーンの最適化を図るものと考えられます。

今後の展望

約60億ドルという巨額の資金がベトナムに投じられることで、同国における半導体製造およびテスト能力が大幅に拡充される見通しです。これにより、Samsungのグローバルな半導体戦略におけるベトナムの重要性がさらに高まることになります。

参考技術解説：テスト：<https://troy-technical.jp/semiconductor-back-end-term-test/>

参考技術解説：フリップチップ：<https://troy-technical.jp/semiconductor-back-end-term-flipchip/>

参考企業解説：サムスン電子：<https://troy-technical.jp/semiconductor-back-end-company-samsung-electronics/>

元記事: <https://manufacturing.economictimes.indiatimes.com/news/hi-tech/samsung-plans-9-15-bn-semiconductor-investment-with-nearly-6-bn-earmarked-for-vietnam/134885720>

収集日: 2026年10月17日 | 自動記事収集・翻訳システム (AI使用)

#09 NXP | マレーシアでの半導体後工程拡大に向けた2.5億ドルの融資と量産体制

公開日 2026年10月16日 fundsforNGOs News アメリカ



概要

NXP Semiconductorsが、EIB Globalから2億5,000万ドルの融資を受け、マレーシアでの半導体アセンブリ、パッケージング、テスト（後工程）の能力を拡大します。クアラルンプール近郊の工場を拡張し、2030年までの完了を目指す計画です。これにより、車載、産業機器、スマートホーム向けチップの供給体制を強化し、サプライチェーンの回復力向上と製造拠点の多様化を図ります。

詳細

主要成果

NXP Semiconductorsは、欧州投資銀行（EIB）グループの国際開発部門であるEIB Globalより、2億5,000万ドルの融資を受けることが決定しました。この資金は、マレーシアのクアラルンプール近郊にある工場において、半導体のアセンブリ、パッケージング、およびテスト工程の生産能力を拡大するために投入されます。本プロジェクトは2030年までの完了を予定しています。

技術・詳細

今回の投資対象となるのは、半導体ウェハーを最終製品に組み込み可能なパッケージチップへと変換する「後工程」の製造能力向上です。具体的には以下の点に焦点が当てられています。

- **対象製品：**車載向け、産業機器向け、およびスマートホームデバイス向けに使用されるチップ。
- **製造拠点の拡大：**マレーシアでの製造フットプリントを拡大することで、世界中の顧客への供給体制を強化し、グローバルな製造オペレーションの多様化を推進します。
- **技術移転：**製造能力の向上とともに、マレーシアへの技術およびノウハウの移転が行われます。

背景・業界の文脈

半導体は現代経済の基盤であり、輸送、産業オートメーション、デジタルサービスなど広範な産業に不可欠なコンポーネントです。欧州投資銀行は、世界的な供給課題に直面する中、欧州の半導体サプライチェーンを強化し、レジリエンス（回復力）を高めるための戦略的な取り組みとして今回の融資を位置づけています。

また、本件はEUの「グローバル・ゲートウェイ（Global Gateway）」戦略の一環として実施されます。この戦略は、デジタル技術を含む分野において、国際的な投資を動員し、パートナーシップを構築することを目的としています。

今後の展望

本プロジェクトの完了により、マレーシア国内で1,000人以上の雇用創出が見込まれています。NXPのリーダーシップは、この投資が製造拠点の拡大のみならず、サプライチェーンの多様化、技術開発、および地域的なスキル向上に寄与すると述べています。

開発金融の観点からは、民間セクターの製造業への投資を通じて、パートナー国における産業能力の深化や、国際的なサプライチェーンへの統合を促進するモデルケースになると期待されています。

参考技術解説：テスト：<https://troy-technical.jp/semiconductor-back-end-term-test/>

元記事: <https://news.fundsforngos.org/2026/10/16/eib-global-finances-nxp-250-million-malaysia-semiconductors/>

収集日: 2026年10月17日 | 自動記事収集・翻訳システム (AI使用)

#10 Evatec CLUSTERLINE® 310 | 小型パネル用先端パッケージング装置

公開日 2026年10月13日 Evatec スイス



概要

Evatecは、310×310mmの小型パネルフォーマットに対応した先端パッケージング専用装置「CLUSTERLINE® 310」を、世界的な大手IDM（垂直統合型デバイスメーカー）に納入した。本装置は、ガラスやガス放出量の多い有機材料の処理に向け、脱ガス、エッチング、PVD（物理気相成長）技術を統合している。これにより、初期投資コストを抑えつつ、HPCやAI向けなどの次世代チップ製造におけるスケールアップを支援する。

詳細

主要成果

Evatecは、310×310mmのパネルフォーマットを用いたパネルレベルパッケージング（PLP）専用の製造装置「CLUSTERLINE® 310」を、世界有数の大手IDMへ納入した。この納入は、同社における堅調な受注パイプラインの開始を意味しており、今後数ヶ月にわたってさらなる納入が予定されている。

技術・詳細

CLUSTERLINE® 310は、次世代チップ製造をサポートするために設計されており、以下の技術的な特徴を備えている。

- **統合プロセス**：脱ガス（degas）、エッチング（etch）、およびPVD（物理気相成長）技術を1つのツールに統合している。
- **対応材料**：ガラス基板や、高度にアウトガス（ガス放出）を発生させる有機材料の処理が可能である。
- **プロセス性能**：Fan-Outパネルレベルパッケージング（FOPLP）からCoPoS（Co-Packaged Optics）アーキテクチャに至るまで、量産化に不可欠なプロセス均一性と歩留まりを実現している。
- **柔軟性とコスト**：プラットフォームに柔軟性を持たせることで顧客の技術ロードマップをサポートしつつ、初期の装置投資コストを低減させている。

背景・業界の文脈

Evatecは過去8年間にわたり、最大650mmまでの大型パネル向けパッケージングソリューションを世界的に提供してきた市場リーダーである。同社はこの経験を通じて、パネル処理における課題や、HPC（ハイパフォーマンスコンピューティング）およびAI分野において、パッケージサイズを大型化することで得られるコストメリットについて深い知見を蓄積してきた。

こうした中、顧客から310mmという特定のサイズに対する需要が高まった。同社は既存のエンジニアリング知見とプロセスノウハウを活用することで、310mm専用ツールの開発を迅速に進め、今回の製品化に至った。

今後の展望

急速に成長する先端パッケージング市場において、Evatecは310mmソリューションを提供することで、業界の最前線に立つことを目指している。同社は薄膜技術のグローバルリーダーとして、先端パッケージング、半導体、オプトエレクトロニクス、フォトリソの各分野で製造システムを提供し続けており、今後も顧客の技術進化に合わせた生産ソリューションを展開していく方針である。

参考技術解説：PLP：<https://troy-technical.jp/semiconductor-back-end-term-plp/>

参考技術解説：ガラス基板：<https://troy-technical.jp/semiconductor-back-end-term-glass-substrate/>

参考技術解説：ファンアウト：<https://troy-technical.jp/semiconductor-back-end-term-fanout/>

元記事: <https://chiplet-marketplace.com/insights/news/evatec-clusterline-310-advanced-packaging-small-panel-formats>

収集日: 2026年10月17日 | 自動記事収集・翻訳システム (AI使用)

#11 バクニン省 | 半導体製造ハブ化への戦略と投資状況、2026年の量産計画

公開日 2026年10月15日 The Star ベトナム



概要

ベトナムのバクニン省が、戦略的な立地と産業インフラを活かして国家的な半導体製造センターを目指している。Victory Giant Technologyによる9億ドルの設備工場や、Seojin Vietnamによる追加投資など、具体的な製造拠点の整備が進んでいる。これにより、同省は単なる電子機器の組み立て地から、半導体の価値連鎖への深い統合へと移行しようとしている。

主要成果と投資プロジェクト

バクニン省では、半導体製造の国家センター化に向けた大規模な投資プロジェクトが具体化している。特に注目されるのが、VSIP Bac Ninh II工業団地に建設されるVictory Giant Technologyの半導体設備製造工場である。総投資額は9億ドルに達し、2026年第2四半期に正式稼働を開始する予定だ。この工場では年間約6,200万ユニットの生産が見込まれており、推定生産価値は4億ドルを超える。

その他の主要プロジェクトとして、以下の投資が挙げられる。

- Micro Commercial Components：Yen Phong I工業団地に9,000万ドルを投資し、2025年第1四半期に試運転を開始。今後、事業拡大を計画している。
- HongKong Fingu Development Company Limited：Yen Phong II-C工業団地にて、2Gから5Gまでの通信回路、車載センサー、半導体チップの製造を展開し、年間数十万個の生産能力を持つ。
- Seojin Vietnam Co, Ltd（韓国Seojin System Group子会社）：Song Khe – Noi Hoang工業団地で総額9億ドルを超える8つのプロジェクトを推進。2026年初頭には、半導体製品および高効率エネルギー貯蔵システムの製造工場の追加投資を決定した。

技術的アプローチと産業エコシステム

バクニン省は、コンポーネント、パッケージング、テスト、そしてハイテクアプリケーションに至る広範な製造チェーンの構築を推進している。すでにSamsung、Canon、Foxconn、Goertek、Amkorといったグローバル企業が拠点を置いており、これが半導体価値連鎖への参入に向けた基盤となっている。また、3,600以上の外国直接投資（FDI）プロジェクト（総登録資本520億ドル超）が存在し、韓国、日本、米国、EUなどの先進地域からの投資を誘致している。

背景と業界の文脈

デジタル変革、人工知能（AI）、オートメーションの時代において、半導体はデジタル経済のバックボーンと見なされている。バクニン省は、かつての農業中心の地域から、北部のダイナミックな成長拠点へと変貌を遂げた。地理的にはハノイ、ハイフォン、フンイエン、タイグエンといった主要工業都市を結ぶ重要なリンクとなっており、この戦略的立地が物流の発展とグローバルサプライチェーンへの参加において優位に働いている。

今後の展望と人材育成

バクニン省は、第14回全国党大会の目標に沿った2桁の経済成長を実現するため、「デジタルインフラ」「輸送インフラ」「産業インフラ」を3つの柱に据えている。具体的には、ハイテク工業団地、自由貿易ゾーン、物流センター、スマート都市、研究・トレーニング施設の協調的な開発を目指す。

また、研究開発（R&D）およびトレーニングの国家センターとなるため、高度なスキルを持つ労働力の育成に重点を置いている。大学志向の都市エリアの開発や、評判の高い教育機関の誘致を進めるほか、国家、教育機関、企業の三者が連携し、企業のニーズに合わせた職業教育モデルの構築に取り組んでいる。

参考技術解説：テスト：<https://troy-technical.jp/semiconductor-back-end-term-test/>

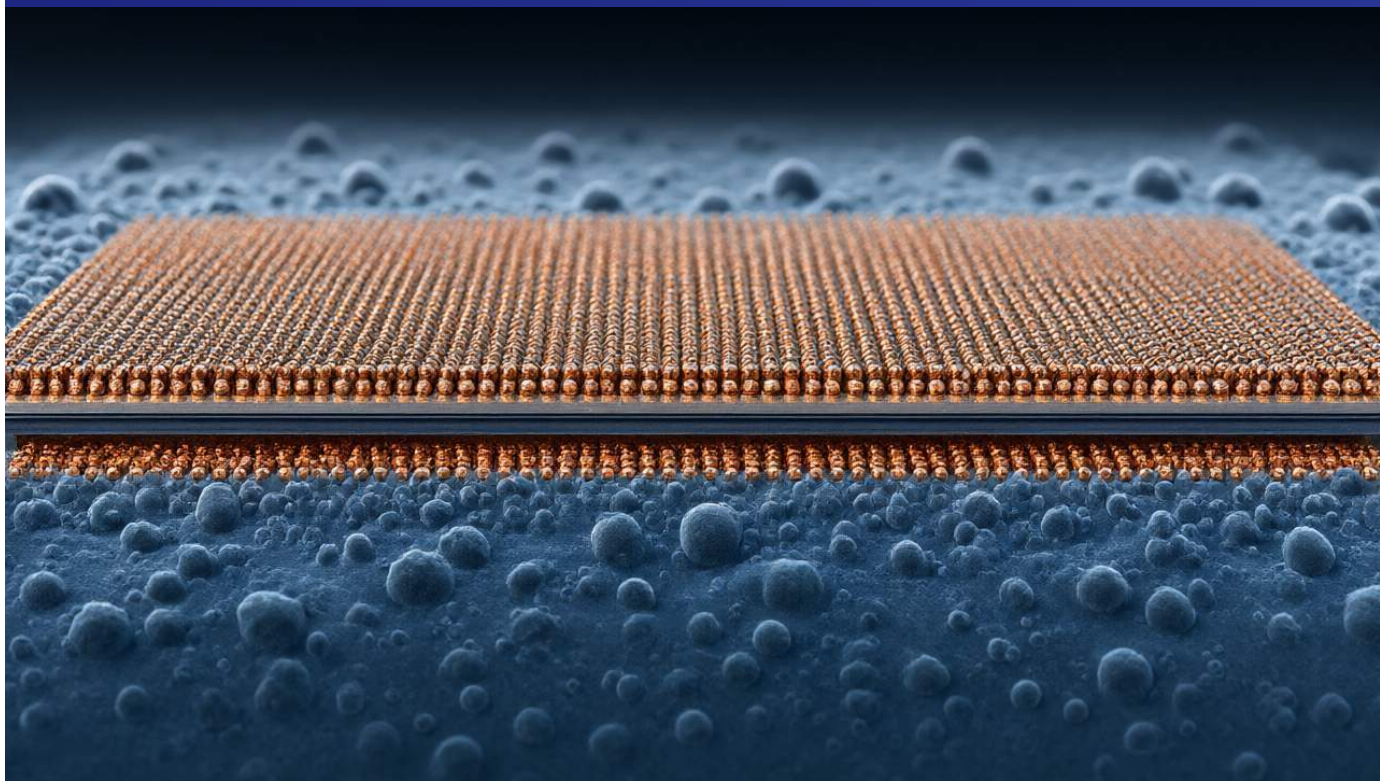
参考企業解説：サムスン電子：<https://troy-technical.jp/semiconductor-back-end-company-samsung-electronics/>

参考企業解説：アムコー・テクノロジー：<https://troy-technical.jp/semiconductor-back-end-company-amkor/>

元記事: <https://www.thestar.com.my/business/business-news/2026/10/16/bac-ninh-eyes-vietnams-semiconductor-hub-status>

#12 ハイブリッドボンディング | 3Dパッケージングの性能向上と実装課題、主要企業

公開日 2026年10月14日 IMAPS 3D InCites Content Platform アメリカ



概要

ハイブリッドボンディングは、従来のバンプ制限を超えた高密度な相互接続を実現する2.5D/3Dパッケージング技術である。銅（Cu）同士と誘電体（ダイエレクトリック）を同時に直接接合することで、1 μ m以下のピッチを実現し、信号帯域の向上や熱伝導の改善を可能にする。これにより、HBMの積層数増加や高密度チップレットブリッジなど、次世代のシステムアーキテクチャ設計に不可欠な技術となっている。

ハイブリッドボンディングによる性能向上

ハイブリッドボンディングの最大の成果は、はんだブリッジによる制限を排除し、相互接続密度を劇的に向上させた点にある。これにより、相互接続ピッチを10um未満、最小で1umまで微細化できる。ECTC 2026において、Applied Materialsは2,000万個の相互接続で98%の歩留まりを達成する450nmピッチを実証し、imecとEV groupは300mm W2W（ウェハ対ウェハ）で40nm未満のオーバーレイ精度を持つ200nmピッチを実証した。

その他の性能面では、垂直方向の相互接続高さが縮小されるため、フォームファクタをよりコンパクトにできる。これはJEDECのパッケージ制限内で複数のHBM層を適合させる際に特に重要となる。また、マイクロバンプに見られる従来の下塗り材（アンダーフィル）の隙間がなくなるため、熱界面抵抗が低減し、熱伝達効率が向上する。さらに、接合界面における抵抗とインピーダンスの不連続性が低減されるため、信号帯域幅の向上が期待できる。

技術的詳細と接合方式

本技術は、銅（Cu-Cu）の直接接合と誘電体（無機物または有機ポリマー）の接合を同時に行う。接合方式には以下の3種類がある。

- **Die to Die (D2D):** 2つのダイを個別に接合する。スループットが制限されるため、普及率は低い。
- **Die to Wafer (D2W):** 選別済みの良品ダイをウェハ上に配置する。室温での酸化膜接合によりダイを固定する。柔軟性は高いが、ピック&プレイス工程に時間を要する。
- **Wafer to Wafer (W2W):** 2枚のウェハを一度に接合する。コスト効率が高く、CMOSイメージセンサやCompute-DRAMなどの単純な2層積層に適しているが、ダイの歩留まりが複合的に影響するため、全体の歩留まりが低下する傾向にある。

実装には極めて厳格な要件があり、特にCMP（化学機械研磨）の均一性が重要となる。銅パッドの中央が凹む「ディッシング」が発生し、その深さが1-10nmになると接合不良の原因となる。適度な銅の凹み（リセス）は、熱膨張時に酸化膜を押し広げないために必要だが、過剰または不足したディッシングは致命的な欠陥につながる。

業界の背景と知的財産

ハイブリッドボンディングは2004年から2005年にかけて、直接的な酸化膜接合（ZiBond）と埋め込み金属接合を組み合わせた形で発明された。2015年からはソニーのCMOSイメージセンサで量産が開始されている。知的財産面では、AdeiaがTessera、Invensas、Ziptronixから継承した広範なポートフォリオを保有している。2025年にはAdeiaがAMDの3D V-Cacheプロセッサを対象に特許侵害訴訟を起こしたが、2026年3月にAMDがAdeiaのIPポートフォリオに関する数年間のライセンス契約を締結することで、裁判外での和解に至った。

今後の展望

ハイブリッドボンディングは、2Dチップレット設計が抱える相互接続の制約を緩和し、システム設計の自由度を高める。ただし、処理要件が厳しいため、熱圧接合（TCB）などの従来技術よりもコストが高くなる。そのため、あらゆる設計に適用されるのではなく、224Gbps以上のEIC/PICベースの光エンジン、高密度チップレットブリッジ、多層HBMスタックなど、極めて高い性能が要求されるインターフェースに限定して採用されることが考えられる。

参考技術解説：ハイブリッドボンディング：<https://troy-technical.jp/semiconductor-back-end-term-hybrid-bonding/>

参考技術解説：HBM：<https://troy-technical.jp/semiconductor-back-end-term-hbm/>

参考技術解説：ブリッジ：<https://troy-technical.jp/semiconductor-back-end-term-bridge/>

参考企業解説：AMD：<https://troy-technical.jp/semiconductor-back-end-company-amd/>

参考企業解説：アプライド・マテリアルズ：<https://troy-technical.jp/semiconductor-back-end-company-applied-materials/>

元記事: <https://www.3dincites.com/2026/10/why-hybrid-bonding-is-hard-to-perfect/>

#13 AT&S | マレーシアに半導体施設を建設、IJM社が12.3億リンギットを受注

公開日 2026年10月12日 (No explicit source, appears to be a business news portal)

マレーシア



概要

IJM Corporation Bhdが、AT&S Austria Technologie & Systemtechnik (Malaysia) Sdn Bhdより、ケダ州のクディム・ハイテクパークにおける半導体製造施設の建設契約を受注した。契約額は12.3億リンギットにのぼり、ICサブストレートおよびハイエンドプリント基板（PCB）の生産能力を拡張する。この投資はAMDなどの主要顧客による長期的なコミットメントに基づいたものであり、マレーシアにおける半導体バリューチェーンの強化を加速させる。

主要成果

IJM Corporation Bhdの完全子会社であるIJM Construction Sdn Bhdが、AT&S Austria Technologie & Systemtechnik (Malaysia) Sdn Bhdから、総額12.3億リンギットの建設契約を獲得した。本プロジェクトは、マレーシア・ケダ州のクディム・ハイテクパークに半導体製造施設を構築することを目的としている。建設期間は14ヶ月とされており、2026年第4四半期に着工し、2027年第4四半期の完了を予定している。

技術・詳細

建設される施設は、以下の3つの主要建物で構成される。

- 4階建ての生産棟（LEED Gold認証の取得を目標とする）
- 3階建ての中央ユーティリティ棟
- 単層の排水処理施設

プロジェクトの範囲は、設計開発、調達、建設、テスト、およびコミッショニングまでを網羅しており、土木・構造工事、機械・電気システム、クリーンルーム、プロセスユーティリティ、および支持インフラが含まれる。また、工期短縮と効率化のため、工業化建築システム（IBS）のプレキャストコンポーネントが導入される。IJMのグループCEO兼マネージングディレクターであるDatuk Lee Chun Fai氏は、半導体施設にはクリーンルーム環境やプロセスユーティリティなど、高度な技術的調整が必要であり、本プロジェクトの規模と統合的な範囲は、同社の複雑なプロジェクトを迅速に管理する能力を示すものであると述べている。

背景・業界の文脈

AT&Sはウィーンに上場するオーストリアの企業で、半導体チップを回路基板に接続するためのハイエンドプリント基板（PCB）およびICサブストレートのメーカーである。同社は2024年1月にクディム・キャンパスを正式にオープンしており、これは当時、オーストリア企業によるマレーシアへの単一投資として最大規模であった。2025年には、米国のチップメーカーであるAdvanced Micro Devices Inc (AMD) 向けに、主にデータセンター用プロセッサに使用されるICサブストレートの高ボリューム生産を開始している。

今後の展望

AT&Sは、AMDおよび別の主要テクノロジー顧客からの長期的なコミットメントを背景に、クディムでの事業拡大に向けて15億ユーロから20億ユーロ（約70億リンギットから93億リンギット）の投資計画を6月に発表している。この拡張計画には、既存の第2工場の設備導入に加え、ICサブストレートコアおよび高度なPCBのための新しい製造施設の建設が含まれる。一方、IJM Constructionは2026年8月にも半導体および医療技術プロジェクトを9億950万リンギット分受注しており、今回の契約を含めた受注残高は、建築、高度産業施設、土木工事を合わせて106億リンギットに達している。

参考技術解説：テスト：<https://troy-technical.jp/semiconductor-back-end-term-test/>

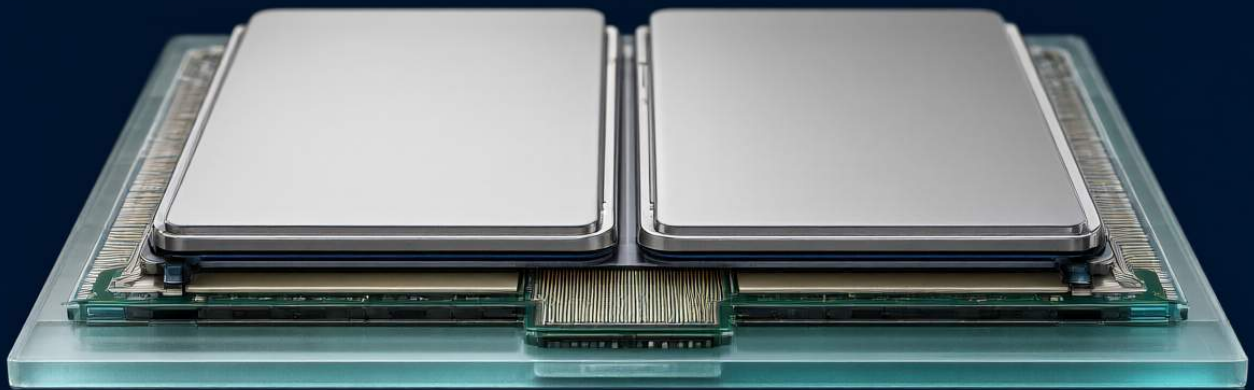
参考企業解説：AMD：<https://troy-technical.jp/semiconductor-back-end-company-amd/>

元記事: <https://theedgemalaysia.com/node/821536>

収集日: 2026年10月17日 | 自動記事収集・翻訳システム (AI使用)

#14 ブリッジ技術 | 次世代大型半導体パッケージの課題と採用企業、ガラス基板の導入時期

公開日 2026年10月13日 The Elec Inc. アメリカ



概要

次世代の大型半導体パッケージングにおいて、ブリッジ技術が市場を牽引することがSEMIによって示されました。従来のシリコンインターポーザは、パッケージの大型化に伴い製造効率が著しく低下するため、必要な箇所のみ高密度配線を配置するブリッジ構造への移行が進んでいます。これにより、AIサーバー向けなどの超大型パッケージにおける製造制約の解消が期待されます。

主要成果

グローバルな半導体業界団体であるSEMIは、2026年10月12日にサンフランシスコで開催されたSemicon West 2026に先立つメディアブリーフィングにて、ブリッジ技術が次世代の大型半導体パッケージングを主導すると発表しました。SEMIのAdvanced Packaging and Heterogeneous Integration (APHI) テクノロジーコミュニティのバイスプレジデントであるBeth Keser氏は、シリコンインターポーザを用いたチップ間接続が製造上の制約に直面しており、短期的にはブリッジを用いたヘテロジニアス統合パッケージングが市場をリードすると述べています。

技術・詳細

ブリッジパッケージングは、FC-BGA（フリップチップ・ボール・グリッド・アレイ）基板に小さなダイを埋め込んでチップ間を接続する構造です。巨大なシリコンインターポーザを全面に配置するのではなく、高密度配線が必要な箇所にのみシリコンなどのブリッジ素材を配置します。

一方、従来の2.5Dパッケージング（GPUやHBMなどの複数のコンポーネントを単一パッケージに統合する技術）では、微細配線をサポートするシリコンインターポーザ上にチップを実装し、それを有機FC-BGA基板に接合していました。しかし、シリコンインターポーザは直径300mmの円形ウェハから製造されるため、パッケージサイズが100x100mm以上に拡大すると、1枚のウェハから製造できる枚数が4枚以下に減少します。円形ウェハの端の部分が矩形のインターポーザ製造に適さないため、製造効率が低下するという課題があります。

背景・業界の文脈

AIサーバー向け半導体パッケージの大型化が加速しており、例えばIntelのCPUパッケージはかつて約45x45mmでしたが、現在は100x100mmを超え、120x120mmに達しています。この傾向を受け、各社は代替技術の開発・導入を進めています。

- **Intel** : 2017年からEMIB（Embedded Multi-die Interconnect Bridge）構造を量産に採用。
- **TSMC** : NvidiaのBlackwellプラットフォームから、RDL（再配線層）インターポーザに局所的なシリコンブリッジを埋め込むCoWoS-Lを採用。

- **OSAT企業**：ASEが「FoCoS-B」、Amkor Technologyが「S-Connect」と呼ばれるブリッジベースの技術を開発中。

また、有機材料を用いたブリッジ開発も進んでいます。ABF（味の素ビルドアップフィルム）より微細な配線が可能な感光性絶縁材（PID）を用いてRDLを構築し、高密度有機ブリッジをFC-BGA基板上部に埋め込む手法をサムスン電気とQualcommが共同開発しています。また、日本の新光電気工業が開発する「i-THOP（integrated Thin film High density Organic Package）」は、TSV（シリコン貫通電極）ブリッジよりも製造コストを抑えたい製品に適していると指摘されています。

今後の展望

パッケージの大型化に伴い、ガラス基板の採用が加速すると予測されています。Keser氏は、以前は導入時期を2030年頃と予想していたが、パッケージの大型化スピードが想定以上に速いため、現在は2028年頃に採用が始まると見通しています。まずは1、2社のリーディングカンパニーが導入し、その後他のメーカーへ広がっていく見込みです。

参考技術解説：ブリッジ：<https://troy-technical.jp/semiconductor-back-end-term-bridge/>

参考技術解説：インターポーザ：<https://troy-technical.jp/semiconductor-back-end-term-interposer/>

参考技術解説：ガラス基板：<https://troy-technical.jp/semiconductor-back-end-term-glass-substrate/>

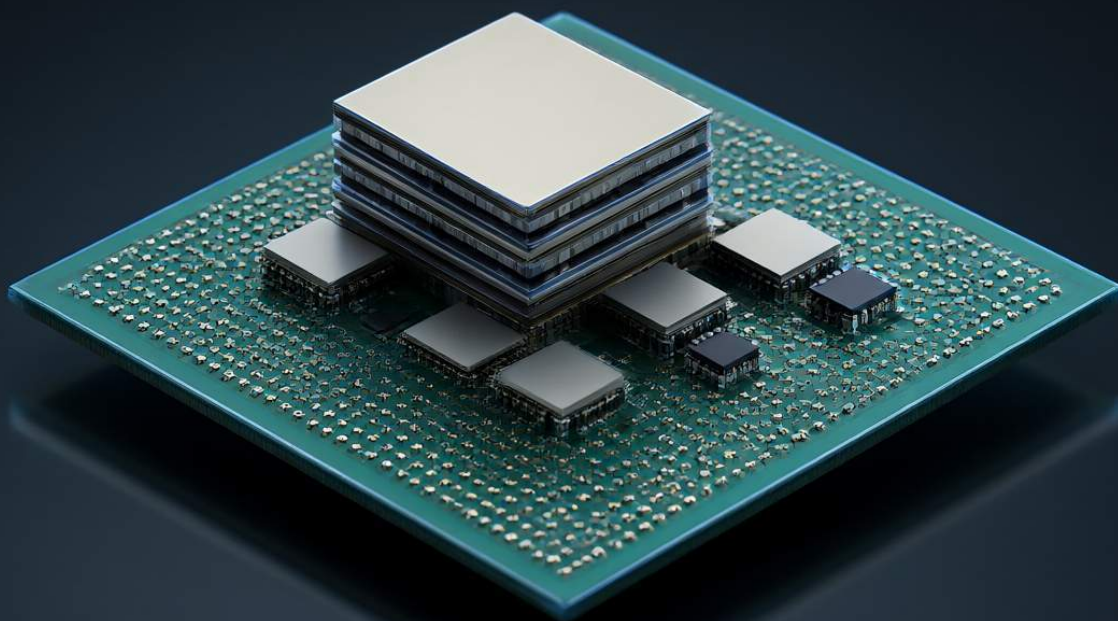
参考企業解説：インテル：<https://troy-technical.jp/semiconductor-back-end-company-intel/>

参考企業解説：TSMC：<https://troy-technical.jp/semiconductor-back-end-company-tsmc/>

参考企業解説：NVIDIA：<https://troy-technical.jp/semiconductor-back-end-company-nvidia/>

#15 Intel EMIBとFoveros | 次世代パッケージングのロードマップと量産時期

公開日 2026年10月14日 Tom's Hardware アメリカ



概要

Intelは、チップレットを統合する2.5D技術「EMIB」と3D技術「Foveros」を組み合わせ、最大12レティクルサイズのシステム・イン・パッケージ（SiP）を実現する計画です。EMIBでは、配線密度の向上や電源供給を最適化するEMIB-MおよびEMIB-Tの開発を進めており、特にEMIB-Tは2027年の量産を目指しています。これらの技術進化により、膨大なメモリ帯域を必要とするAIアクセラレータやデータセンター向けCPUの性能とコスト効率を大幅に向上させることが可能になります。

主要成果

Intelは、高度なパッケージング技術であるEMIB（Embedded Multi-die Interconnect Bridge）とFoverosを深化させ、あらゆる方向へのチップスケーリングを実現する戦略を推進しています。最終的な目標は、EMIBとFoveros Direct 3Dを併用し、12レティクルサイズに達する巨大なシステム・イン・パッケージ（SiP）を構築することです。これにより、数十個のシリコンブリッジや24個以上のHBMスタックを搭載した、大規模なAIアクセラレータの実現が可能になります。

技術・詳細

EMIBは、高価なシリコンインターポーザを使用せず、有機パッケージ基板に小さなシリコンブリッジを埋め込んでチップレット間を接続する技術です。Intelはこの接続密度（ショアライン密度）を高めるため、第一層相互接続（FLI）のバンプピッチを55μmから45μmへ、さらに今後は36μm、最終的には25μmまで縮小させる計画です。

また、ブリッジ自体に機能を持たせる機能拡張も行われています。

- **EMIB-M**：金属・絶縁体・金属（MIM）キャパシタを組み込み、電源供給の改善と電圧変動の抑制を実現。
- **EMIB-T**：シリコン貫通電極（TSV）を追加し、電力を垂直方向に伝送。これにより、マルチキロワット級のSiPやHBM4クラスのメモリサブシステムで課題となる電流密度と電源整合性の問題を解決します。

さらに、パッケージの大型化に伴う反りや安定性の問題を解決するため、将来的にEMIB技術をガラスコア基板と組み合わせる計画です。

背景・業界の文脈

Intelのマルチチップレット戦略は、2017年のKaby Lake-G CPUやStratix 10 FPGAから始まりました。特に10nmプロセス技術での苦戦を経て、同社は性能向上と機能拡張をコスト効率よく、かつ予測可能なペースで提供するための持続可能な手法として、2.5D/3D統合技術への注力を明確にしました。現在、同社のハイエンドクライアント向けおよびデータセンター向けCPUの多くが、これらの技術に依存しています。

今後の展望

Intelは、パッケージサイズを従来の4レティクル（80×80 mm）から8レティクル（120×120 mm）、そして将来的には12レティクル（120×180 mm）へと拡大させていく方針です。特にEMIB-Tについては、2027年の量産に向けて順調に推移しており、歩留まりと信頼性も目標を達成しているとしています。Lip Bu Tan CEOは、EMIB-Tが現在の主流技術では不可能な高度なAIシリコンソリューションを可能にするとしており、Intel Foundryの基幹技術としてAIシステム構築を牽引することが期待されています。

参考技術解説：チップレット：<https://troy-technical.jp/semiconductor-back-end-term-chiplet/>

参考技術解説：SiP：<https://troy-technical.jp/semiconductor-back-end-term-sip/>

参考技術解説：ブリッジ：<https://troy-technical.jp/semiconductor-back-end-term-bridge/>

参考企業解説：インテル：<https://troy-technical.jp/semiconductor-back-end-company-intel/>

元記事: <https://www.tomshardware.com/tech-industry/semiconductors/analyzing-intels-emib-and-foveros-advanced-packaging-roadmaps-how-intel-plans-to-scale-chips-in-every-direction>

#16 ZEISS SMT | 次世代半導体製造向け検査・計測ソリューションの性能と製品群

公開日 2026年10月15日 (No explicit source, appears to be a company news release repost) ドイツ



概要

ZEISS Semiconductor Manufacturing Technology (SMT)が、次世代半導体製造に向けた高度な検査および計測ソリューションを展開する。具体的には、チップレット等の高度なパッケージング向けに「ZEISS NLX」と「ZEISS DUNE」を、リソグラフィ工程向けに「ZEISS AIMS EUV 3.0」と「ZEISS MeRiT」を提供する。これにより、複雑化するチップ構造における欠陥の早期検出や、ウェハの形状補正、フォトマスクの品質安定化を実現し、量産への移行を支援する。

主要成果

ZEISS SMTは、次世代半導体製造における歩留まり向上と生産性の確保を目指し、高度なパッケージングおよびリソグラフィ工程向けの検査・計測ポートフォリオを強化している。特に、チップレットなどの複雑なアーキテクチャに伴う内部構造の可視化や、ウェハの反り（Wafer bow）の補正、そしてEUVリソグラフィ用フォトマスクの高速検査と修復という、製造上のクリティカルな課題に対する解決策を提示している。

技術・詳細

高度なパッケージング分野では、以下の2つのシステムを展開している。

- **ZEISS NLX**： 現代的なチップパッケージの内部構造を非破壊で可視化するシステム。積層ダイ間の接続検査などに利用でき、潜在的な欠陥を早期に検出することが可能。300ミリメートルウェハに対応し、新プロセスの開発から大量生産までをサポートする。
- **ZEISS DUNE**： 複雑な製造プロセスにおける課題となるウェハの反り（Wafer bow）に対処するシステム。ウェハのトポグラフィを測定し、個別に補正を行うことで、後続工程での歩留まり損失を回避し、ボンディングプロセスの準備を最適化する。

また、リソグラフィ工程の安定化に不可欠なフォトマスク・ソリューションとして、以下の製品を提供している。

- **ZEISS AIMS EUV 3.0**： ウェハスキャナーと同等の光学条件下でフォトマスクを検査するシステム。Low-NA-EUVおよびHigh-NA-EUVリソグラフィをサポートし、マスクのスループットを3倍に向上させた。これにより、生産に影響が出る前に致命的な欠陥を検出・評価できる。
- **ZEISS MeRiT**： AIMS EUVによる検証を補完し、フォトマスク上の極小の欠陥をピンポイントで修復するシステム。

背景・業界の文脈

チップアーキテクチャの複雑化に伴い、複数のチップやチップレットを狭いスペースに集積させる高度なパッケージングの重要性が増している。このため、内部構造や接続、変形を確実に検査する新たな要件が生じている。また、リソグラフィ工程においては、製造が高度化するほどフォトマスクの品質が重要となり、早期の欠陥評価と安定したプロセスの維持が不可欠となっている。

今後の展望

次世代の半導体製造は、単一の技術的飛躍ではなく、多くの複雑なプロセスステップが精密に相互作用することで実現される。ZEISS SMTは、光学システムとプロセス制御における深い専門知識に、高度なパッケージング向けの新ソリューションを組み合わせることで、顧客が次世代チップを信頼性高く、生産的に、かつ大規模に量産できるよう支援していく方針である。特に米国などの主要なイノベーション市場において、密接な技術パートナーシップを構築し、次世代チップの要件に合わせたソリューションの最適化を進めるとしている。

参考技術解説：チップレット：<https://troy-technical.jp/semiconductor-back-end-term-chiplet/>

元記事: <https://metrology.news/zeiss-advances-inspection-and-metrology-for-next-generation-semiconductor-manufacturing/>

収集日: 2026年10月17日 | 自動記事収集・翻訳システム (AI使用)

#17 ASEDepとは | CITが開発したAI半導体パッケージ向け単結晶銅析出ソリューション

公開日 2026年10月15日 (No explicit source, appears to be a press release repost)

韓国



概要

CITが、従来のAI半導体パッケージングの限界を突破する単結晶銅析出ソリューション「ASEDep」を公開しました。この技術は、銅と絶縁体を単結晶構造に結合させることで、超平坦かつ超薄型の銅フラットパッケージコア（CuFlat-PKGCORE）を実現します。これにより、従来の銅が抱えていた制限を解消し、次世代のAI半導体基板製造における性能向上が期待されます。

詳細

主要成果

CITは、AI半導体パッケージングにおける従来の銅の制限を解消する、単結晶銅析出ソリューション「ASEDep」を公開しました。本ソリューションを用いることで、超平坦かつ超薄型な状態まで銅を析出させた、AI半導体パッケージ用の銅フラットパッケージコア「CuFlat-PKGCore」の製造が可能になります。

技術・詳細

ASEDepの核心となるのは、銅と絶縁体を単結晶構造へと結合させるASE技術です。このプロセスを通じて製造されるCuFlat-PKGCoreは、従来の製造手法では困難であった極めて高い平坦性と薄型化を同時に実現しています。CITは、この単結晶銅基板を生産するための専用設備もあわせて構築しています。

背景・業界の文脈

AI半導体の高度化に伴い、パッケージング基板にはより高い精度と信頼性が求められています。従来の銅を用いたパッケージング技術では、物理的な限界による制約が存在していましたが、単結晶構造を採用することでこれらの制限を突破し、AI半導体の性能を最大限に引き出す基板の提供を目指しています。

今後の展望

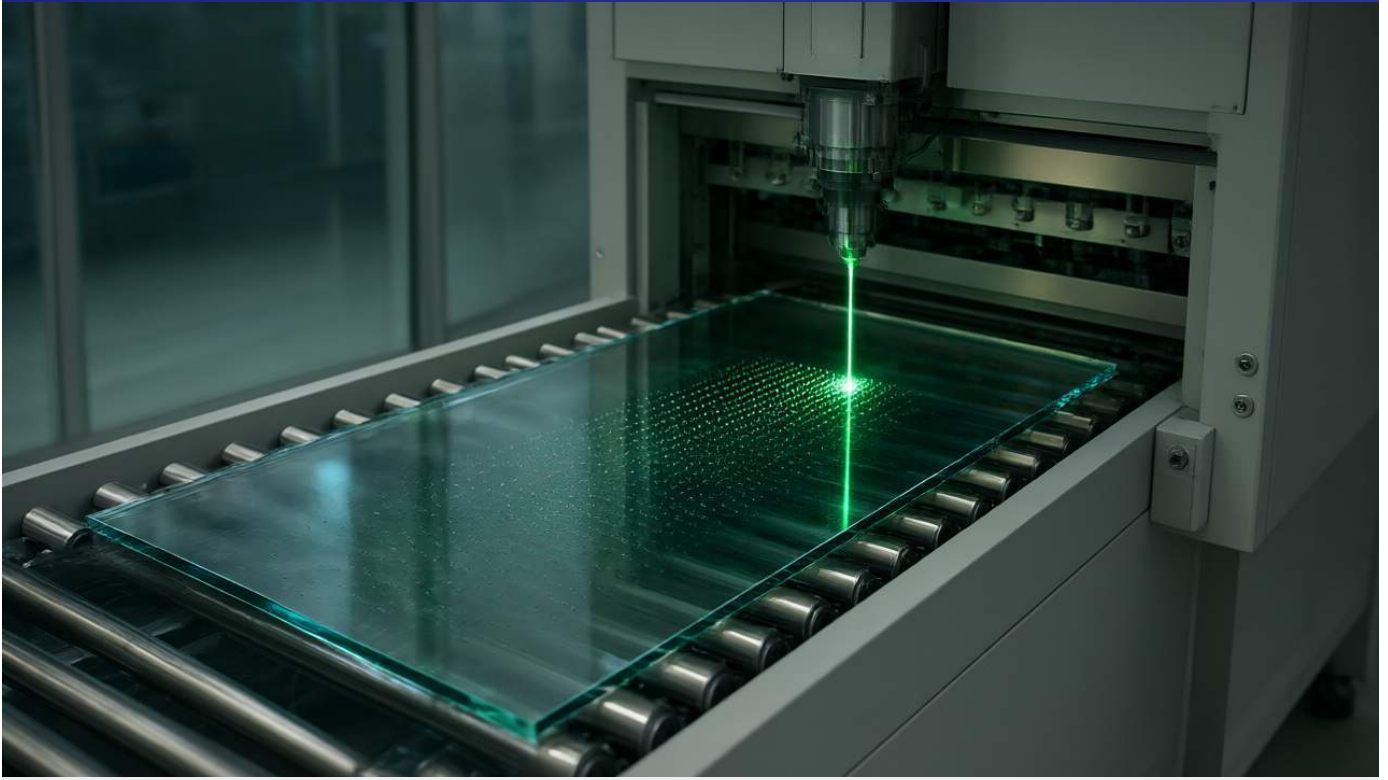
CITは、本技術に関連して「FLY ASIA」にて大賞を受賞しており、シリコンバレーなどのグローバルな舞台での展開を見据えています。単結晶銅析出ソリューションの導入により、AI半導体パッケージングの製造プロセスに新たな選択肢が提示されることになります。

参考企業解説：ASEグループ：<https://troy-technical.jp/semiconductor-back-end-company-ase-group/>

元記事: <https://www.donga.com/en/article/all/20261015/6420046/1>

#18 ガラス基板設備 | FCSとCKSTが提携、AIチップ向け次世代パッケージングの展開

公開日 2026年10月09日 CPRJAdsale Plastics Network 台湾



概要

FCS Precision Industry (FCS) が、韓国のChina Korea Smart Technology (CKST) と戦略的協力協定を締結し、台湾および東南アジアにおけるCKST製設備の独占販売権を確保した。両社は、次世代AIチップやハイパフォーマンスコンピューティング (HPC) の高度パッケージングに不可欠なガラス基板製造設備の展開を共同で推進する。これにより、従来の有機基板が抱える課題を解決するガラス基板の普及と、FCSの半導体事業拡大を目指す。

主要成果

FCS Precision Industry Co., Ltd.（FCS）は、韓国のChina Korea Smart Technology（CKST）と戦略的協力協定を締結した。この合意に基づき、FCSは台湾および東南アジア市場におけるCKST製設備の独占販売権を取得した。両社は、次世代AIチップやハイパフォーマンスコンピューティング（HPC）向け高度パッケージングの鍵となる「ガラス基板」製造設備の市場機会を共同で開拓する。

技術・詳細

FCSが独占販売を行うCKSTの設備ラインナップは、以下の3つの主要システムで構成される。

- **Advanced VP（垂直メッキ設備）**：独自の制御技術により、メッキ偏差を3%以内に維持することが可能。
- **High-Speed VCP（高速垂直連続メッキ設備）**：効率的な大規模量産向けに設計されたシステム。
- **High-Performance SPP（パネルレベルメッキ設備）**：量産メッキアプリケーションを通じてTGV（Through Glass Via：ガラス貫通電極）のビア充填をカバーし、包括的な設備ソリューションを提供する。

CKSTは韓国の半導体研究開発エコシステムを背景に、TGV、VP、VCPおよび高度パッケージング設備における広範な専門知識と実務経験を有している。一方、FCSは50年以上の設備製造およびシステム統合の経験を持ち、精密製造、自動化統合、グローバルサービス能力を提供することで、韓国のコア技術と現地のサポート体制を融合させる。

背景・業界の文脈

大規模言語モデル（LLM）やAIコンピューティングの需要加速に伴い、パッケージサイズが拡大している。これにより、従来使用されてきたABFなどの有機基板では、反り（warpage）や熱ストレスといった課題が顕著になっている。これに対し、ガラス基板は高い剛性、低い反り、そして優れた高周波電気特性を備えており、次世代の有望なソリューションとして注目されている。ただし、量産化に向けては依然として技術的な課題が残っている状況にある。

今後の展望

FCSは、今回のCKST製設備の導入に加え、半導体、ICT、AIサプライチェーンにおける「デュアルトラック（二段構え）」の成長戦略を推進する。

第一の柱（Growth Engine A）として、AIサーバーやGPUアクセラレーターカード、車載電子部品向けに、高出力・高電圧・低ESR（等価直列抵抗）を実現する「高度MLPC（多層セラミックコンデンサ）」の展開を行う。FCSは、年間約60億個の市場における輸入代替機会を狙い、AI製造拠点および高度MLPC生産ラインの構築に2億台湾ドル（NT\$200 million）を初期投資する計画である。

第二の柱（Growth Engine B）が、今回のCKST製設備の独占販売である。TGV、VP、VCPなどの主要な電気メッキシステムを提供することで、台湾および東南アジアのPCB（プリント基板）、IC基板、半導体パッケージングおよびテスト顧客へのアプローチを強化する。

参考技術解説：ガラス基板：<https://troy-technical.jp/semiconductor-back-end-term-glass-substrate/>

参考技術解説：ビア：<https://troy-technical.jp/semiconductor-back-end-term-via/>

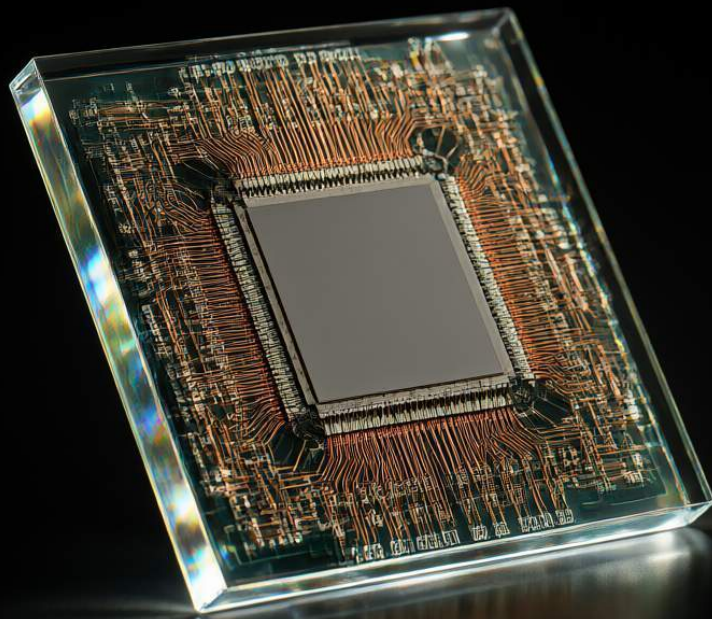
参考技術解説：テスト：<https://troy-technical.jp/semiconductor-back-end-term-test/>

元記事: https://www.adsalecprj.com/en/news/article_details/90309.html

収集日: 2026年10月17日 | 自動記事収集・翻訳システム (AI使用)

#19 Samsung Electro-Mechanics | 100mmガラス基板の商用化進捗

公開日 2026年10月10日 digitimes 台湾



概要

Samsung Electro-Mechanics (Semco) が、100mmガラス基板の初期信頼性試験を完了し、パッケージレベルの検証段階に移行した。具体的には、顧客のチップを用いた検証を行うことで、次世代パッケージング技術の商用化に向けたプロセスを進めている。これにより、従来の基板素材に代わるガラス基板の実用化に向けた重要な進展が見込まれる。

詳細

主要成果

Samsung Electro-Mechanics (Semco) は、開発中の100mmガラス基板において、初期の信頼性試験を完了した。現在は次のステップとして、顧客から提供された実際のチップを搭載し、パッケージレベルでの検証作業に移行している。

技術・詳細

今回の検証対象となっているのは、直径100mmのガラス基板である。基板単体としての信頼性確認を終え、実際の半導体チップを実装した状態で動作や耐久性を確認する「パッケージレベル」の検証段階に入ったことで、技術的な成熟度が一段階上がったことを示している。

背景・業界の文脈

半導体パッケージング業界では、従来の有機材料（プラスチック）基板に代わり、より平坦性が高く、熱膨張係数の制御が容易なガラス基板への移行が検討されている。ガラス基板の採用は、より微細な配線設計を可能にし、次世代の高密度パッケージングを実現するための鍵となる技術とされている。

今後の展望

顧客チップを用いた検証を通じて、実用上の課題を洗い出し、商用化に向けた最適化を図る。Semcoは、このパッケージレベルの検証を成功させることで、次世代パッケージング技術の市場投入に向けた準備を加速させる方針である。

元記事: <https://www.digitimes.com/news/a20261008VL220/semco-glass-substrate-testing-expansion.html>

#20 Intel先端パッケージング | EMIB-T量産時期と12倍レティクル展開

公開日 2026年10月15日 BigGo Finance アメリカ



概要

IntelがAIチップ市場の獲得に向けた先端パッケージングのロードマップを公開し、次世代技術「EMIB-T」の来年からの量産と、2028年頃までの12倍レティクルサイズ（reticle-size）のSiP実現を目指す方針を示しました。EMIBおよびFoverosの2つのプラットフォームにおいて、相互接続ピッチの微細化、パッケージサイズの拡大、ガラス基板の導入を同時に推進します。これにより、TSMCのCoWoSが支配的なAIアクセラレータ向けパッケージング市場への直接的な挑戦を狙います。

主要成果

Intelは、AIチップ市場での競争力を高めるため、先端パッケージング技術をハイエンドプロセッサ専用から中核的な戦略武器へと転換させます。具体的には、EMIB（Embedded Multi-die Interconnect Bridge）とFoverosの2つのプラットフォームを進化させ、2028年頃には12倍レティクルサイズのSystem-in-Package（SiP）を実現する計画です。また、Lip-Bu Tan CEOは2026年8月の決算電話会議にて、EMIB-Tへの顧客関心が非常に高く、受注残が増加しており、歩留まりと信頼性も目標を達成していることを明らかにしました。同社は2027年の生産能力増強による顧客サポートに注力しています。

技術・詳細

EMIB技術は、高価な大型シリコンインターポーザの代わりに、小さなシリコンブリッジを有機パッケージ基板に埋め込む手法です。相互接続ピッチは、初期の55ミクロンから45ミクロンへ、さらに36ミクロン、最終的には25ミクロンまで微細化され、ダイ端の接続数を大幅に増加させます。機能面では、MIMキャパシタを統合して電力供給を改善する「EMIB-M」や、TSV（シリコン貫通電極）を用いて電力を垂直に供給し、マルチキロワット級のSiPやHBM4クラスのメモリサブシステムに対応する「EMIB-T」を導入します。

パッケージサイズについては、初期の80×80mm（4倍レティクルサイズ）から、現在の120×120mm（約8倍レティクルサイズ）、そして将来的に120×180mm（12倍レティクルサイズ）へと拡大させます。最終形態では、25ミクロンピッチのEMIBと、有機材より安定性が高く反りに強いガラスコア基板を組み合わせる計画です。

一方、Foverosファミリーでは、TSMCのCoWoS-S、CoWoS-R、CoWoS-Lに対抗する3つのバリエーションを展開します。

- Foveros-S：シリコンインターポーザ上に複数のダイを配置。現在は最大4倍レティクルサイズをサポート。
- Foveros-R：インターポーザを排除し、最大3層のファンアウトRDL（再配線層）技術を採用。2027年に量産予定。
- Foveros-B：RDLと局所的なシリコンブリッジを組み合わせた構成。

さらに、はんだを一切使用せず銅と銅を直接接合する「Foveros Direct 3D」を導入します。これにより、従来のマイクロバンプより10倍細かい10ミクロン以下のピッチを実現し、接続密度を1平方ミリメートルあたり最大10,000接続まで高めます。電力消費も0.05 pJ/bit未満に抑えられ、熱伝導パスの改善による放熱性能の向上も図られています。この技術は、Intel 18Aのコンピュータダイを接続するXeon 6+ "Clearwater Forest"プロセッサで初めて量産採用されます。

背景・業界の文脈

Intelのこの戦略は、TSMCのCoWoS供給制約に伴うスピルオーバー注文（あふれた注文）を取り込むための戦略的な窓口を捉える狙いがあります。10年近くにわたる先端パッケージングの技術蓄積を背景に、AIアクセラレータ向けパッケージングにおけるTSMCの支配的な地位に挑戦する構えです。

今後の展望

Intelは今後、25ミクロンピッチおよび1平方ミリメートルあたり1,600接続の実現、そしてガラスコア基板の導入へと舵を切ります。特にFoveros Direct 3Dのようなハイブリッドボンディング技術の普及により、スタックされたダイ間の信号経路が短縮され、帯域幅の向上とレイテンシの低減、データ転送エネルギーの削減が加速すると期待されます。

参考技術解説：CoWoS：<https://troy-technical.jp/semiconductor-back-end-term-cowos/>

参考技術解説：SiP：<https://troy-technical.jp/semiconductor-back-end-term-sip/>

参考技術解説：インターポーザ：<https://troy-technical.jp/semiconductor-back-end-term-interposer/>

参考企業解説：インテル：<https://troy-technical.jp/semiconductor-back-end-company-intel/>

参考企業解説：TSMC：<https://troy-technical.jp/semiconductor-back-end-company-tsmc/>

