

TROY TECHNICAL

半導体後工程 ウィークリーレポート

2026年9月20日-9月26日 | Issue 2026-W38

パッケージ性能、工程歩留まり、検査、認定能力

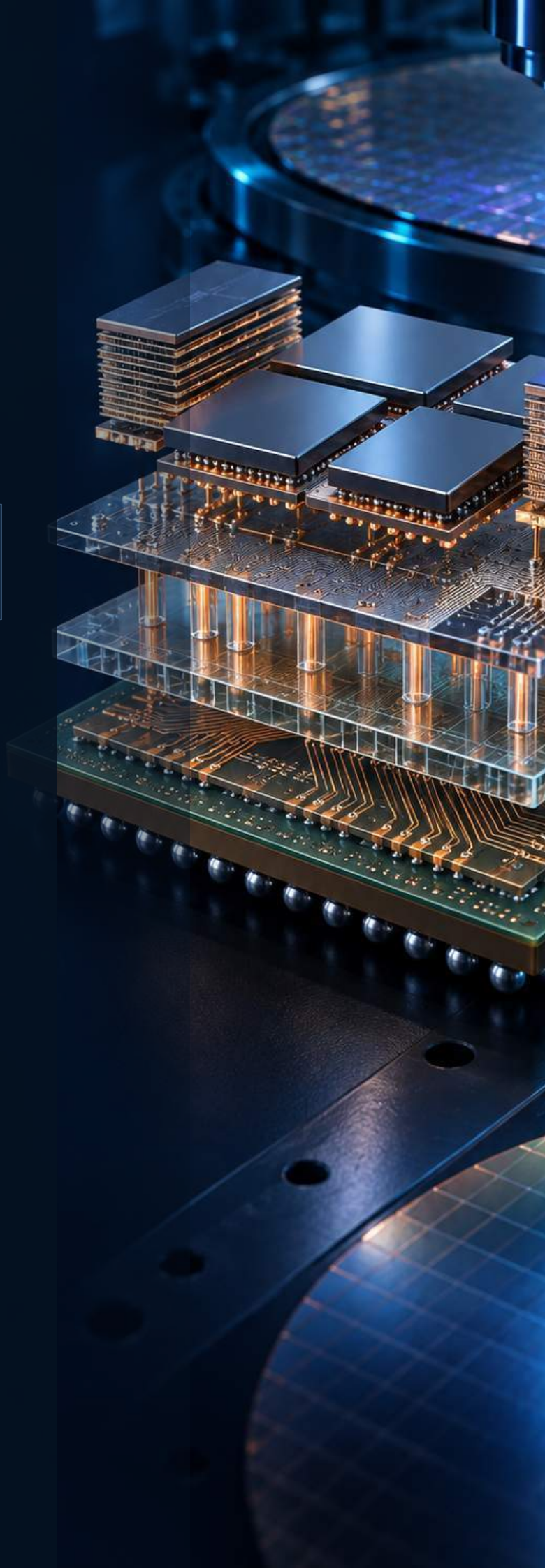
10

分析対象

10

重点テーマ

発行 2026-09-26 | 日本語版 | 承認済み固定表紙



半導体後工程:個別発表から認定証拠へ境界が移動

日本語記事10件を棚卸しし、意思決定に重要なテーマを選定した。

シグナル 01 | 材料

ASE Technology|先端パッケージングの収益成長と2027年量産計画

ASE Technology Holding Co., Ltd.(ASX)は、AIおよび高性能コンピューティング(HPC)の複雑化に伴う先端パッケージング需要の急増を背景に、収益と利益率が加速的な成長段階に入ったことを発表しました。2026年第2四半期には、同社の収益は前年比26.7%増を記録し、特にATM(半導体アセンブリ、材料、テスト)部門の収益は36%増と大幅な伸びを示しています。

シグナル 02 | 接合・組立

Rapidus 2nm|短TAT製造モデルRUMSの構成と統合パッケージング

日本の2nm短TAT(ターンアラウンドタイム)半導体製造市場は、Rapidusが主導する独自の製造モデルによって形成されています。Rapidusの2nmプログラムは、先進的なGAA(Gate-All-Around)技術、シングルウェーハ処理、AI制御による搬送、製造シミュレーション、そして統合型パッケージング機能を組み合わせることで、設計から製造、後工程までを短期間で完結させる「Rapid and Unified Manufacturing Service(RUMS)」を目指しています。

シグナル 03 | 先端PKG

TSMC CoWoS|2028年までの生産能力倍増計画とHBM採用先

TSMCは、2028年までにCoWoS(Chip-on-Wafer-on-Substrate)の生産能力を、2026年末の約130,000枚から月間260,000枚の300mmウェーハ換算へと倍増させる計画です。この戦略は、AIおよび高性能コンピューティング(HPC)向けチップの需要急増に対応することを目的としています。CoWoSは、GPUやカスタムアクセラレータなどのロジックダイとHBMをシリコンインターポーザまたはRDL構造に配置する2.

シグナル 04 | 試験・検査

UCle 3.0とは|PCIe統合によるAI・HPCの性能とスケーラブル化

半導体業界がモノリシックSoCからチップレットベースのアーキテクチャへと移行する中、Universal Chiplet Interconnect Express (UCle) 3.0がPCI Express (PCIe)の実装を大きく変革しています。UCle 3.0は、パッケージ内のダイ・ツー・ダイ通信を最適化する標準化されたインターコネクトを提供し、AI、HPC、ストレージ、ヘテロジニアス・コンピューティング・システムのスケーラブルな性能実現に貢献します。

編集判断

今週の経営判断は パッケージ性能、工程歩留まり、検査、認定能力 に集中する。自社条件で関連証拠を再現できる場合だけ次へ進む。

経営の3アクション

1. 事業会社: 熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。
2. 供給企業: 材料、接合、検査、信頼性の工程窓を顧客と共同設計する。
3. 経営層: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

証拠の読み方

FACTは収集記事に書かれた内容、事業への読みとACTIONは編集判断、UNKNOWNは記事だけでは確定しない項目を示す。リンク先があることだけで、全主張が独立検証済みとは扱わない。

条件と一緒に読む主要数値・証拠5件

2026年

A06

数値の条件

ASE Technology Holding Co., Ltd.(ASX)は、AIおよび高性能コンピューティング(HPC)の複雑化に伴う先端パッケージング需要の急増を背景に、収益と利益率が加速的な成長段階に入ったことを発表しました。2026年第2四半期には、同社の収益は前年比26.7%増を記録し、特にATM(半導体アセンブリ、材料、テスト)部門の収益は36%増と大幅な伸びを示しています。

2nm

A09

数値の条件

日本の2nm短TAT(ターンアラウンドタイム)半導体製造市場は、Rapidusが主導する独自の製造モデルによって形成されています。

2028年

A01

数値の条件

TSMCは、2028年までにCoWoS(Chip-on-Wafer-on-Substrate)の生産能力を、2026年末の約130,000枚から月間260,000枚の300mmウェハー換算へと倍増させる計画です。この戦略は、AIおよび高性能コンピューティング(HPC)向けチップの需要急増に対応することを目的としています。

2027年

A05

数値の条件

Samsung ElectronicsとSK hynixは、AIデータセンターへの投資拡大によりHBM(高帯域幅メモリ)の需給不均衡が激化する中、HBMの生産スケジュールを加速しています。SamsungはHBM4およびHBM4Eの生産量を来年(2027年)に今年の約倍増を計画し、HBMのウェハー投入量を月間180,000枚から250,000枚に40%増加させる予定です。

2倍

A02

数値の条件

Samsung Electronicsは、HBM4およびHBM4Eを含むHBM4ファミリーの生産量を、来年(2027年)に今年の少なくとも2倍に増強する計画です。高層HBM生産に不可欠なガラスキャリアの外部委託洗浄量は、今年度の月間20,000枚から来年度は50,000枚へと2.5倍に拡大します。

数値の読み方

数値は収集記事が示した条件と一緒に掲載する。試験法、寸法、温度、商用段階が異なる値を、条件補正なしで比較しない。

バリューチェーンはどこで動いたか

各段階に主テーマと補助テーマを接続する。矢印は装飾ではなく、次工程へ渡す証拠を示す。



各受渡しに必要な証拠

材料 → 接合・組立	試験条件、受入基準、故障データ、担当、判断日を渡し、再確認する: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。
接合・組立 → 先端PKG	試験条件、受入基準、故障データ、担当、判断日を渡し、再確認する: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。
先端PKG → 試験・検査	試験条件、受入基準、故障データ、担当、判断日を渡し、再確認する: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。
試験・検査 → 量産供給	試験条件、受入基準、故障データ、担当、判断日を渡し、再確認する: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

共通管理点

担当者が関連証拠を再現し、次を記録するまで商用判断に進めない: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

プライオリティマップ:実装成熟度と次の判断場所



再現可能な配置ルール
横軸は研究・試作・共同評価・製品採用・量産の5段階。縦の帯は次の判断場所を技術・工程、システム・導入、事業・制度・供給に分ける。まず記事見出しの根拠語を使い、見出しで判断できない場合だけ概要を参照する。上下は影響の大小を意味しない。円径は編集スコアを示す。

FACTは収集記事に接続し、事業への読み、ACTION、UNKNOWNは編集判断として分離する。

P01

ASE Technology|先端パッケージングの収益成長と2027年量産計画

A06 | 材料 | 量産

日付未収録

FACT

ASE Technology Holding Co., Ltd.(ASX)は、AIおよび高性能コンピューティング(HPC)の複雑化に伴う先端パッケージング需要の急増を背景に、収益と利益率が加速的な成長段階に入ったことを発表しました。2026年第2四半期には、同社の収益は前年比26.7%増を記録し、特にATM(半導体アセンブリ、材料、テスト)部門の収益は36%増と大幅な伸びを示しています。ASEは、310mm x 310mmの自動パネルレベルパッケージングラインを導入し、2027年前半に製造開始を予定しているほか、AIチップの先端パッケージング・テスト需要に対応するため高雄で総額178億台湾ドルの新工場プロジェクトを開始しました。これらの投資は、同社がAI時代の半導体サプライチェーンにおいて中心的な役割を果たすための基盤を強化するものです。

なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP01の評価票へ記録する。

UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 19/25 | 成熟度 5/5 | 判断場所: 事業・制度・供給

P02

Rapidus 2nm|短TAT製造モデルRUMSの構成と統合パッケージング

A09 | 接合・組立 | 研究

日付未収録

FACT

日本の2nm短TAT(ターンアラウンドタイム)半導体製造市場は、Rapidusが主導する独自の製造モデルによって形成されています。Rapidusの2nmプログラムは、先進的なGAA(Gate-All-Around)技術、シングルウェーハ処理、AI制御による搬送、製造シミュレーション、そして統合型パッケージング機能を組み合わせることで、設計から製造、後工程までを短期間で完結させる「Rapid and Unified Manufacturing Service(RUMS)」を目指しています。

なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP02の評価票へ記録する。

UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 19/25 | 成熟度 1/5 | 判断場所: システム・導入

FACTは収集記事に接続し、事業への読み、ACTION、UNKNOWNは編集判断として分離する。

P03

TSMC CoWoS|2028年までの生産能力倍増計画とHBM採用先

A01 | 先端PKG | 製品採用

日付未収録

FACT

TSMCは、2028年までにCoWoS(Chip-on-Wafer-on-Substrate)の生産能力を、2026年末の約130,000枚から月間260,000枚の300mmウェハー換算へと倍増させる計画です。この戦略は、AIおよび高性能コンピューティング(HPC)向けチップの需要急増に対応することを目的としています。CoWoSは、GPUやカスタムアクセラレータなどのロジックダイとHBMをシリコンインターポーザまたはRDL構造に配置する2.5Dパッケージング技術であり、より高い帯域幅、低いレイテンシ、優れたエネルギー効率を実現します。この大幅な増産にもかかわらず、AIチップ市場の成長はTSMC一社ではカバーしきれず、競合他社も引き続き受注を獲得すると予測されています。

なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP03の評価票へ記録する。

UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 18/25 | 成熟度 4/5 | 判断場所: 事業・制度・供給

P04

UCle 3.0とは|PCIe統合によるAI・HPCの性能とスケーラブル化

A03 | 試験・検査 | 研究

日付未収録

FACT

半導体業界がモノリシックSoCからチップレットベースのアーキテクチャへと移行する中、Universal Chiplet Interconnect Express (UCle) 3.0がPCI Express (PCIe)の実装を大きく変革しています。UCle 3.0は、パッケージ内のダイ・ツー・ダイ通信を最適化する標準化されたインターコネクトを提供し、AI、HPC、ストレージ、ヘテロジニアス・コンピューティング・システムのスケーラブルな性能実現に貢献します。これにより、演算負荷の高いチップレットは先進プロセスノードを使用し、PCIeやI/Oサブシステムはコスト効率の良いノードに留まることが可能となります。

なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP04の評価票へ記録する。

UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 18/25 | 成熟度 1/5 | 判断場所: システム・導入

FACTは収集記事に接続し、事業への読み、ACTION、UNKNOWNは編集判断として分離する。

P05

Samsung・SK hynix HBM4|生産加速の背景と歩留まり80%の現状

A05 | 量産供給 | 量産

日付未収録

FACT

Samsung ElectronicsとSK hynixは、AIデータセンターへの投資拡大によりHBM(高帯域幅メモリ)の需給不均衡が激化する中、HBMの生産スケジュールを加速しています。SamsungはHBM4およびHBM4Eの生産量を来年(2027年)に今年の約倍増を計画し、HBMのウェハー投入量を月間180,000枚から250,000枚に40%増加させる予定です。HBM4の歩留まり率は、量産初期の60%以下から最近では約80%に改善しています。一方、SK hynixは清州M15X施設のウェハー投入量を月間約10,000枚から80,000枚に拡大する大規模投資を進めています。

なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP05の評価票へ記録する。

UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 18/25 | 成熟度 5/5 | 判断場所: 事業・制度・供給

P06

Samsung HBM4|2027年の生産量倍増計画とガラスキャリア採用

A02 | 材料 | 製品採用

日付未収録

FACT

Samsung Electronicsは、HBM4およびHBM4Eを含むHBM4ファミリーの生産量を、来年(2027年)に今年の少なくとも2倍に増強する計画です。高層HBM生産に不可欠なガラスキャリアの外部委託洗浄量は、今年度の月間20,000枚から来年度は50,000枚へと2.5倍に拡大します。HBM4の歩留まり率は現在約80%で安定しており、Samsungのメモリ、ファウンドリ、先端パッケージングを統合した事業構造が、この迅速な歩留まり安定化に貢献しています。HBM4は、10nmクラスの第6世代(1c)DRAMと4nmベースダイを組み合わせています。

なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP06の評価票へ記録する。

UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 18/25 | 成熟度 4/5 | 判断場所: 事業・制度・供給

FACTは収集記事に接続し、事業への読み、ACTION、UNKNOWNは編集判断として分離する。

P07

Synopsys A14|TSMCとの協業によるUCle 64G設計の進展

A04 | 接合・組立 | 共同評価

日付未収録

FACT

SynopsysはTSMCとの先進ノード設計協業を拡大し、A14設計フロー、エージェントAIによる自動化、CoWoSおよびCo-packaged opticsを用いるマルチダイシステムへの追加サポートを強化しました。N2PにおけるマイルストーンとしてPCIe 7.0、HBM4、UCleが挙げられ、さらにマルチダイ電力供給と光設計のサポートが加わります。Synopsysは、N3Pテストチップ上でCoWoS-Sインターポーザと統合されたUCle-A 32Gおよび40Gシリコンを実証し、2nmおよび3nmノードでの64G UCleテープアウトも報告しています。

なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP07の評価票へ記録する。

UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 18/25 | 成熟度 3/5 | 判断場所: システム・導入

P08

ハイブリッドボンディングとは|Imec・TSMCの量産時期と性能

A08 | 先端PKG | 量産

日付未収録

FACT

ハイブリッドボンディングは、従来のソルダーマイクロバンプを使用せず、2つのダイまたはウェーハを直接銅で接続する画期的な半導体統合技術です。ImecとEV Groupは、2026年に200nmの銅インターコネクトピッチでのウェーハ対ウェーハボンディングを実証し、3Dチップ積層の量産化に向けたスケラビリティを示しました。TSMCも、SoICボンダピッチが10マイクロメートル以下から始まり、3nmチップスタッキング技術が2025年に量産に入ったと述べています。この技術は、高密度な3Dチップ積層を可能にし、次世代AIチップの性能向上に不可欠です。

なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP08の評価票へ記録する。

UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 18/25 | 成熟度 5/5 | 判断場所: システム・導入

FACTは収集記事に接続し、事業への読み、ACTION、UNKNOWNは編集判断として分離する。

P09

SK hynixのハイブリッドボンディング|HBM導入の歩留まりと寿命条件

A07 | 試験・検査 | 量産

日付未収録

FACT

SK hynixは、次世代HBM製造の中核技術であるハイブリッドボンディングの導入に関して、厳格な品質基準を提示しました。同社は、歩留まりが90%から98%の間であること、そして製品寿命が3年から5年であることを必須条件としています。ハイブリッドボンディングは、銅と銅を直接接合することでHBMの厚みと消費電力を削減する利点がある一方、高精度な接合技術が要求され、歩留まりの安定化が主要な課題となっています。東京エレクトロンはウェーハ対ウェーハ接合用ボンディング装置を既に市場投入しており、ダイ対ウェーハ用技術も開発中です。

なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP09の評価票へ記録する。

UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 18/25 | 成熟度 5/5 | 判断場所: システム・導入

P10

Huawei Kirin 9050 Pro|ハイブリッドボンディング1.5μmの性能

A10 | 量産供給 | 製品採用

日付未収録

FACT

ファーウェイのKirin 9050 Proチップは、1.5マイクロメートルという超微細ピッチのハイブリッドボンディング技術を採用して出荷されました。この「ロジック折り畳み技術」は、2枚のチップを面と面で直接接合し、接合間隔が配線間隔に近づくことで、物理的に分離されたチップが1つのチップとして機能することを可能にします。これにより、微細化に頼らずにチップの動作周波数を向上させ、ロードマップでは2026年の3.1GHzから2030年には4.3GHzへの性能向上が予測されています。

なぜ重要か

判断上の焦点は「パッケージ性能、工程歩留まり、検査、認定能力」である。見出しだけで採用せず、用途と運用条件で再現できるかを確認する。

事業への読み

事業会社は現在の認定・調達・製品ロードマップへの影響を比較する。材料・装置・技術企業は、材料、接合、検査、信頼性の工程窓を顧客と共同設計する。

ACTION

30日以内に、熱・電気・歩留まり・修理・供給の同一条件で方式を比較する。結果と担当者をP10の評価票へ記録する。

UNKNOWN

記事だけでは確定しない項目: 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。

編集スコア 18/25 | 成熟度 4/5 | 判断場所: システム・導入

関係者別プレイブックと0-5年ロードマップ

関係者	NOW 0-30日	NEXT 1-12か月	LATER 1-5年
事業会社	熱・電気・歩留まり・修理・供給の同一条件で方式を比較する	量産相当条件で受入基準と停止基準を明示して評価する。	技術・供給者の変更を吸収できるポートフォリオと設計へ移る。
材料・装置・技術企業	材料、接合、検査、信頼性の工程窓を顧客と共同設計する	顧客と信頼性・工程窓・故障解析の共通データを作る。	界面、履歴、ライフサイクル支援、回収サービスを標準化する。
商社・投資・法務	Map 歩留まり、反り、熱サイクル、試験時間、能力、原価、認定。	能力、品質、変更通知、責任、代替、撤退を契約へ入れる。	地域・技術・顧客の集中リスクを分散する。

ロードマップ

NOW 0-30日 証拠台帳 担当: Strategy + quality 成果物: claim, source, condition, owner	NOW 0-30日 リスク選別 担当: Procurement + legal 成果物: unknowns, alternatives, stop	NEXT 1-12か月 共同認定 担当: R&D + supplier 成果物: 工程窓・故障データ
NEXT 1-12か月 商用ゲート 担当: Business + finance 成果物: 単位採算・供給能力	LATER 1-5年 プラットフォーム戦略 担当: 経営 成果物: ポートフォリオ・界面ロードマップ	LATER 1-5年 サービス層 担当: Operations + channel 成果物: 監視・保守・回復

Go / No-Goゲート

ゲート	担当	必要な証拠	中止条件
G1 証拠	品質	出典・試験条件・再現性	追跡可能な証拠なし
G2 統合	研究開発	界面・工程窓・故障解析	システム条件を満たさない
G3 商用	事業	能力・総原価・契約・代替	採算または供給が成立しない
G4 運用	運用	監視・保守・変更通知・撤退	責任ある運用計画なし

分析対象記事 | 01-10件目

全記事の正式タイトルと元記事URLを省略せず表示する。URLは折返しても全文を保持し、クリックできる。

ID	記事タイトル(全文)	元記事URL(全文・クリック可能)
A01	TSMC CoWoS 2028年までの生産能力倍増計画とHBM採用先	https://semiwiki.com/semiconductor-manufacturers/tsmc/373574-tsmc-s-cowos-capacity-to-double-by-2028-and-rivals-will-still-win-orders/
A02	Samsung HBM4 2027年の生産量倍増計画とガラスキャリア採用	https://finance.biggo.com/news/a6fce0cd-0fa5-463a-843d-d450cb21504a
A03	UCle 3.0とは PCIe統合によるAI・HPCの性能とスケーラブル化	https://blogs.sw.siemens.com/verificationhorizons/2026/09/25/the-next-chapter-for-pcie-chiplet-integration-with-ucle/
A04	Synopsys A14 TSMCとの協業によるUCle 64G設計の進展	https://www.inelectronics.co.uk/synopsys-extends-a14-and-multi-die-design-flows/
A05	Samsung・SK hynix HBM4 生産加速の背景と歩留まり80%の現状	https://www.businesskorea.co.kr/news/articleView.html?idxno=277595
A06	ASE Technology 先端パッケージングの収益成長と2027年量産計画	https://seekingalpha.com/article/4949719-ase-technology-ai-demand-is-driving-a-new-growth-phase
A07	SK hynixのハイブリッドボンディング HBM導入の歩留まりと寿命条件	https://finance.biggo.jp/news/2ec25972-e64d-4693-b246-9525a79b4b5f
A08	ハイブリッドボンディングとは Imec・TSMCの量産時期と性能	https://tara-minunilor.ro/2026/09/22/hybrid-bonding-the-copper-to-copper-technology-turning-3d-chip-stacking-into-a-scalable-manufacturing-platform/
A09	Rapidus 2nm 短TAT製造モデルRUMSの構成と統合パッケージング	https://www.excite.co.jp/news/article/Dreamnews_0000363410/
A10	Huawei Kirin 9050 Pro ハイブリッドボンディング1.5μmの性能	https://www.investlingo.jp/content/3JWkjyTxMqk4CB41014R9dvZ3Rg

半導体後工程 採用記事全文集

出力日: 2026-09-27

採用記事数: 10 件

収録記事一覧

- #01 TSMC CoWoS | 2028年までの生産能力倍増計画とHBM採用先
- #02 Samsung HBM4 | 2027年の生産量倍増計画とガラスキャリア採用
- #03 UCIe 3.0とは | PCIe統合によるAI・HPCの性能とスケーラブル化
- #04 Synopsys A14 | TSMCとの協業によるUCIe 64G設計の進展
- #05 Samsung・SK hynix HBM4 | 生産加速の背景と歩留まり80%の現状
- #06 ASE Technology | 先端パッケージングの収益成長と2027年量産計画
- #07 SK hynixのハイブリッドボンディング | HBM導入の歩留まりと寿命条件
- #08 ハイブリッドボンディングとは | Imec・TSMCの量産時期と性能
- #09 Rapidus 2nm | 短TAT製造モデルRUMSの構成と統合パッケージング
- #10 Huawei Kirin 9050 Pro | ハイブリッドボンディング1.5 μ mの性能

#01 TSMC CoWoS | 2028年までの生産能力倍増計画とHBM採用先

公開日 2026年09月18日 SemiWiki アメリカ



概要

TSMCは、2028年までにCoWoS（Chip-on-Wafer-on-Substrate）の生産能力を、2026年末の約130,000枚から月間260,000枚の300mmウェハー換算へと倍増させる計画です。この戦略は、AIおよび高性能コンピューティング（HPC）向けチップの需要急増に対応することを目的としています。CoWoSは、GPUやカスタムアクセラレータなどのロジックダイとHBMをシリコンインターポーザまたはRDL構造に配置する2.5Dパッケージング技術であり、より高い帯域幅、低いレイテンシ、優れたエネルギー効率を実現します。この大幅な増産にもかかわらず、AIチップ市場の成長はTSMC一社ではカバーしきれず、競合他社も引き続き受注を獲得すると予測されています。

詳細

主要成果

TSMCは、2028年までにCoWoS（Chip-on-Wafer-on-Substrate）の生産能力を大幅に拡張し、月間260,000枚の300mmウェハー換算に倍増させる計画です。これは、2026年末の生産能力である月間約130,000枚から倍増することになります。この増強は、AIおよび高性能コンピューティング（HPC）アプリケーションで急速に拡大する需要に対応するための重要な戦略的投資です。

技術・臨床詳細

- CoWoSは、ロジックダイと高帯域幅メモリ（HBM）をシリコンインターポーザまたは再配線層（RDL）構造上に統合する2.5Dパッケージング技術です。この技術は、高い帯域幅、低いレイテンシ、優れたエネルギー効率を提供し、特にGPUやカスタムアクセラレータのようなデータ集約型アプリケーションにおいて不可欠な要素となっています。
- TSMCは、CoWoSソリューションを継続的に進化させており、2025年には最大マスク面積の5.5倍のインターポーザをサポートする技術を認証し、2026年にはその量産を開始する予定です。これは、より大規模で複雑なAIチップの統合を可能にするものです。

背景・業界文脈

AIチップ市場の急成長は、先端パッケージング技術に対する未曾有の需要を生み出しています。CoWoSのような技術は、複数のチップレットやHBMスタックを単一パッケージに統合することで、従来のパッケージング技術では達成できない性能と電力効率を実現します。TSMCのCoWoS技術は、特にNvidiaやAMDといった主要なAIチップメーカーに広く採用されており、市場における支配的な地位を確立しています。

今後の展望

TSMCのCoWoS生産能力の倍増計画は、AI半導体サプライチェーンにおける同社の中心的な役割をさらに強化するものです。しかし、市場の需要が極めて高いため、この増産をもってしても、HBM供給不足は解消されず、SamsungやSK hynixといった競合他社もHBMおよび関連パッケージング技術において重要な受注を獲得し続けると予想されています。この競争環境は、技術革新をさらに加速させ、将来のAIハードウェアの発展に貢献するでしょう。

参考技術解説：CoWoS：<https://troy-technical.jp/semiconductor-back-end-term-cowos/>

参考技術解説：HBM：<https://troy-technical.jp/semiconductor-back-end-term-hbm/>

参考技術解説：インターポザ：<https://troy-technical.jp/semiconductor-back-end-term-interposer/>

参考企業解説：TSMC：<https://troy-technical.jp/semiconductor-back-end-company-tsmc/>

参考企業解説：NVIDIA：<https://troy-technical.jp/semiconductor-back-end-company-nvidia/>

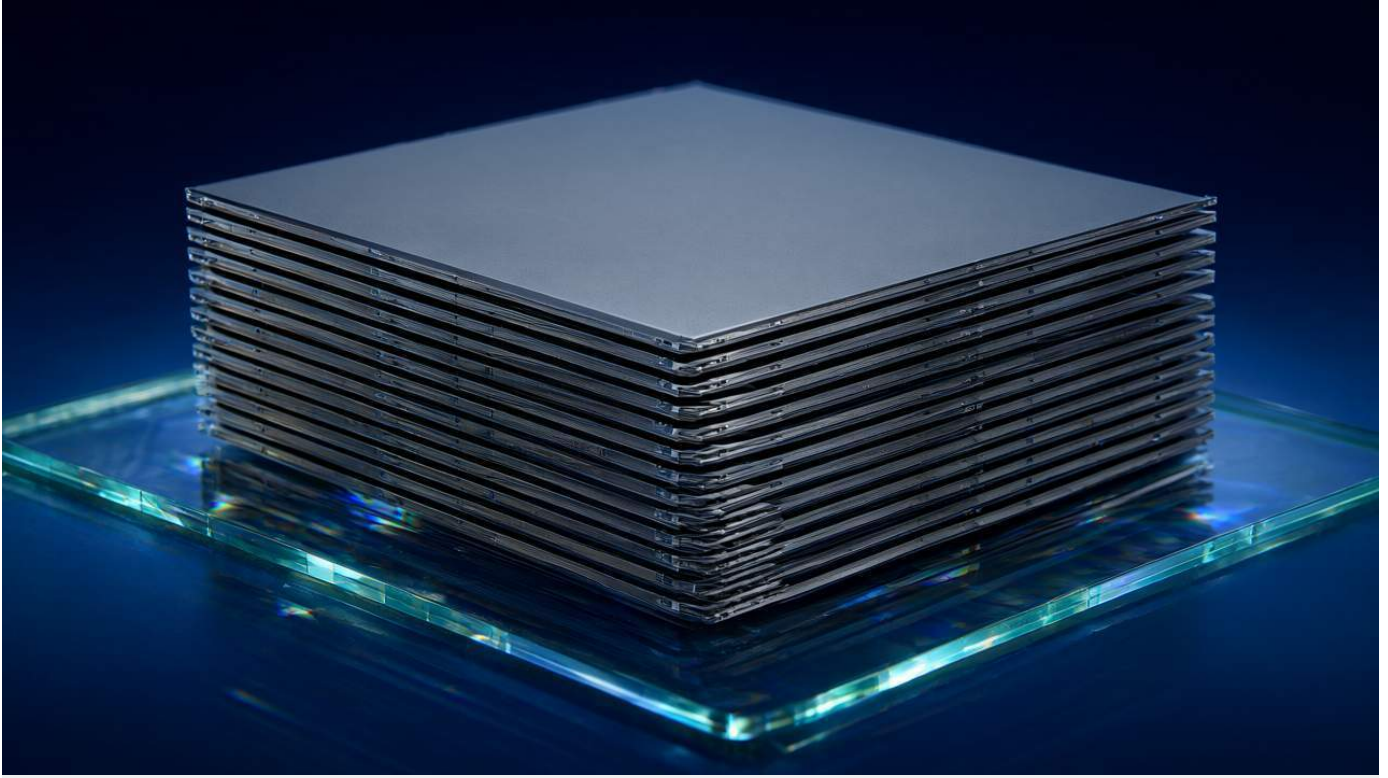
参考企業解説：AMD：<https://troy-technical.jp/semiconductor-back-end-company-amd/>

元記事: <https://semiwiki.com/semiconductor-manufacturers/tsmc/373574-tsmcs-cowos-capacity-to-double-by-2028-and-rivals-will-still-win-orders/>

収集日: 2026年09月26日 | 自動記事収集・翻訳システム (Gemini API使用)

#02 Samsung HBM4 | 2027年の生産量倍増計画とガラスキャリア採用

公開日 2026年09月20日 BigGo Finance 韓国



概要

Samsung Electronicsは、HBM4およびHBM4Eを含むHBM4ファミリーの生産量を、来年（2027年）に今年の少なくとも2倍に増強する計画です。高層HBM生産に不可欠なガラスキャリアの外部委託洗浄量は、今年度の月間20,000枚から来年度は50,000枚へと2.5倍に拡大します。HBM4の歩留まり率は現在約80%で安定しており、Samsungのメモリ、ファウンドリ、先端パッケージングを統合した事業構造が、この迅速な歩留まり安定化に貢献しています。HBM4は、10nmクラスの第6世代（1c）DRAMと4nmベースダイを組み合わせています。

詳細

主要成果

Samsung Electronicsは、HBM4およびHBM4Eを含む次世代HBM4ファミリーの生産量を、来年（2027年）には今年の少なくとも2倍に増強する積極的な計画を推進しています。これに伴い、高層HBM生産に不可欠なガラスキャリアの外部委託洗浄量を、今年度の月間20,000枚のウェハーから来年度は50,000枚へと2.5倍に拡大することが決定されました。

技術・臨床詳細

- SamsungのHBM4は、現在10nmクラスの第6世代（1c）DRAMと4nmベースダイを組み合わせることで高性能を実現しています。この構成は、高いデータ転送速度と効率性をAIおよびHPCアプリケーションに提供します。
- HBM4の歩留まり率は、量産初期段階で課題があったものの、現在では約80%にまで安定しています。これは、Samsungがメモリ、ファウンドリ、および先端パッケージングを垂直統合した独自の事業構造を持つことが大きく貢献しており、各工程間の連携と最適化が迅速な歩留まり向上を可能にしました。
- ガラスキャリアは、HBMスタックにおける薄型ウェハーのハンドリングにおいて重要な役割を果たします。その利用拡大は、より高積層なHBM製品の量産化に向けた技術的課題を克服するための重要なステップです。

背景・業界文脈

AIデータセンターの急速な拡大に伴い、HBMの需要はかつてないほど高まっています。Samsung、SK hynix、Micronといった主要メモリメーカーは、この需要に応えるため、生産能力の拡張と技術革新にしのぎを削っています。Samsungの統合型事業構造は、HBM開発から生産までのリードタイムを短縮し、市場競争において優位性を確立する上で重要な強みとなっています。

今後の展望

SamsungのHBM4生産能力の大幅な増強は、同社がAI時代における高性能メモリ市場でのリーダーシップを確立しようとする強い意志を示しています。ガラスキャリアの採用拡大は、今後のHBM技術、特に高積層化における製造課題を解決する上で重要な動向となるでしょう。安定した歩留まりと拡張された生産能力により、Samsungは、AIアクセラレータや高性能プロセッサ向けのHBM供給において、さらに重要な役割を果たすことが期待されます。

参考技術解説：HBM：<https://troy-technical.jp/semiconductor-back-end-term-hbm/>

参考企業解説：Samsung Electronics：<https://troy-technical.jp/semiconductor-back-end-company-samsung-electronics/>

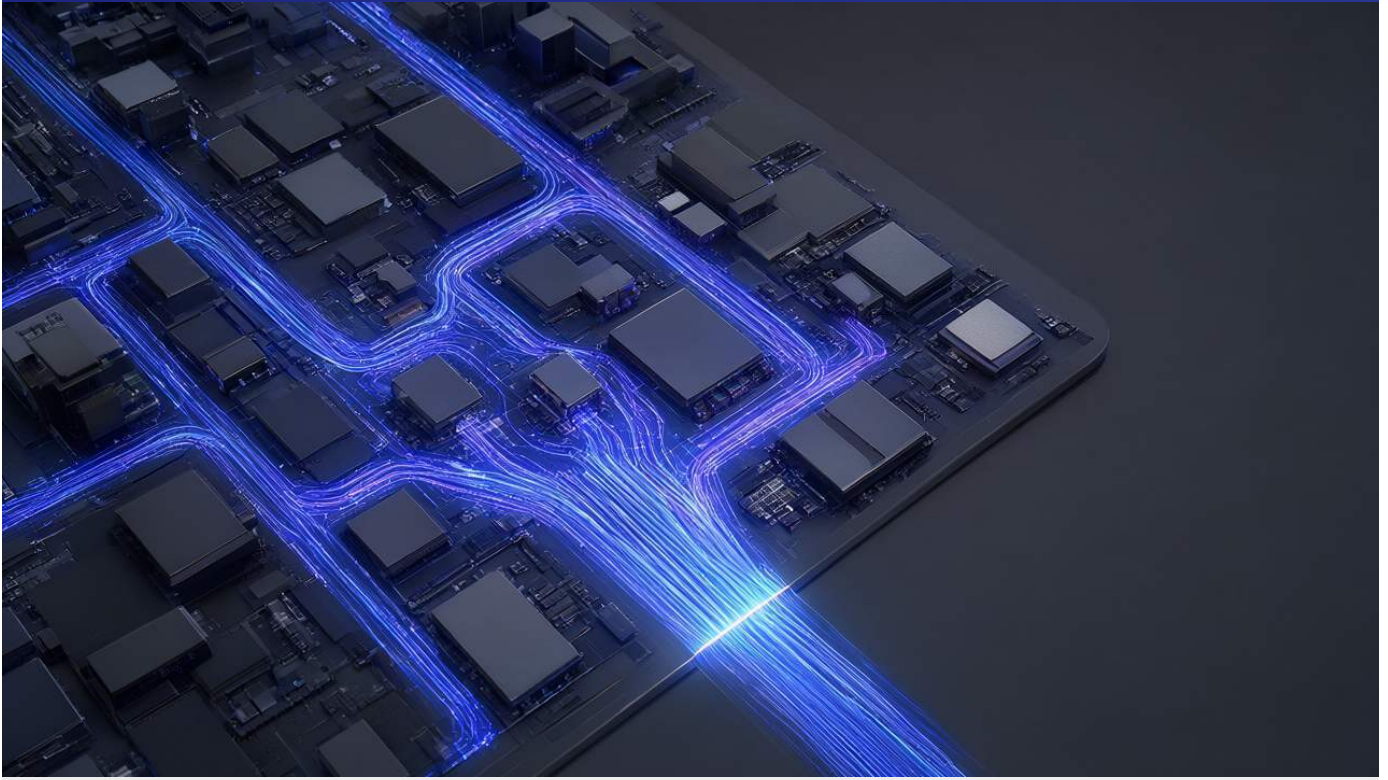
参考企業解説：SK hynix：<https://troy-technical.jp/semiconductor-back-end-company-sk-hynix/>

元記事: <https://finance.biggo.com/news/a6fce0cd-0fa5-463a-843d-d450cb21504a>

収集日: 2026年09月26日 | 自動記事収集・翻訳システム (Gemini API使用)

#03 UCle 3.0とは | PCIe統合によるAI・HPCの性能とスケーラブル化

公開日 2026年09月25日 Verification Horizons アメリカ



概要

半導体業界がモノリシックSoCからチップレットベースのアーキテクチャへと移行する中、Universal Chiplet Interconnect Express (UCle) 3.0がPCI Express (PCIe)の実装を大きく変革しています。UCle 3.0は、パッケージ内のダイ・ツー・ダイ通信を最適化する標準化されたインターコネクトを提供し、AI、HPC、ストレージ、ヘテロニアス・コンピューティング・システムのスケーラブルな性能実現に貢献します。これにより、演算負荷の高いチップレットは先進プロセスノードを使用し、PCIeやI/Oサブシステムはコスト効率の良いノードに留まることが可能となります。

主要成果

Universal Chiplet Interconnect Express (UCIe) 3.0は、PCI Express (PCIe)をチップレットベースのアーキテクチャに統合するための標準化されたインターコネクトとして登場し、半導体設計に大きな変革をもたらしています。これにより、モノリシックSoCの限界を超え、AI、HPC、ストレージ、ヘテロジニアス・コンピューティング・システムにおけるスケーラブルな性能の実現が加速されます。

技術・臨床詳細

- UCIe 3.0は、パッケージ内の極めて短く、高密度なリンクを介したダイ・ツー・ダイ通信を最適化する設計です。この標準化されたインターコネクトにより、異なるベンダーやプロセスノードで製造されたチップレット間でのシームレスなデータ交換が可能になります。
- このアプローチの主要な利点は、演算負荷の高いチップレット（例：CPUコア、AIアクセラレータ）を最先端かつ高コストなプロセスノード（例：3nm、2nm）で製造できる一方で、PCIeやI/Oサブシステムといった周辺チップレットは、より成熟したコスト効率の良いプロセスノード（例：7nm、5nm）に留まることができる点です。これにより、全体の製造コストを最適化しつつ、システム全体の性能を最大化することが可能になります。
- UCIe 3.0は、PCIeのプロトコルレイヤーを活用しつつ、物理レイヤーをチップレット間接続に最適化することで、高い帯域幅と低い遅延を実現します。これは、データセンターやエッジデバイスにおけるAI推論・学習、大規模HPCワークロードにとって極めて重要です。

背景・業界文脈

半導体業界は、ムーアの法則の限界と製造コストの増大に直面しており、モノリシックなシステムオンチップ（SoC）設計から、より柔軟で経済的なチップレットアーキテクチャへと移行しています。この移行を成功させるためには、チップレット間の効率的で標準化された通信が必要不可欠であり、UCIeのような規格がその中核を担います。

今後の展望

UCle 3.0によるPCIeのチップレット統合は、次世代の高性能コンピューティングシステムの設計と製造に革命をもたらす可能性を秘めています。この技術は、半導体メーカーが特定の機能に最適なプロセスノードを選択できるようになり、よりカスタマイズされた、コスト効率が高く、高性能なチップを開発するための道を開きます。結果として、AIの普及とHPCの発展がさらに加速され、新しいアプリケーションとビジネスチャンスが生まれるでしょう。

参考技術解説：チップレット：<https://troy-technical.jp/semiconductor-back-end-term-chiplet/>

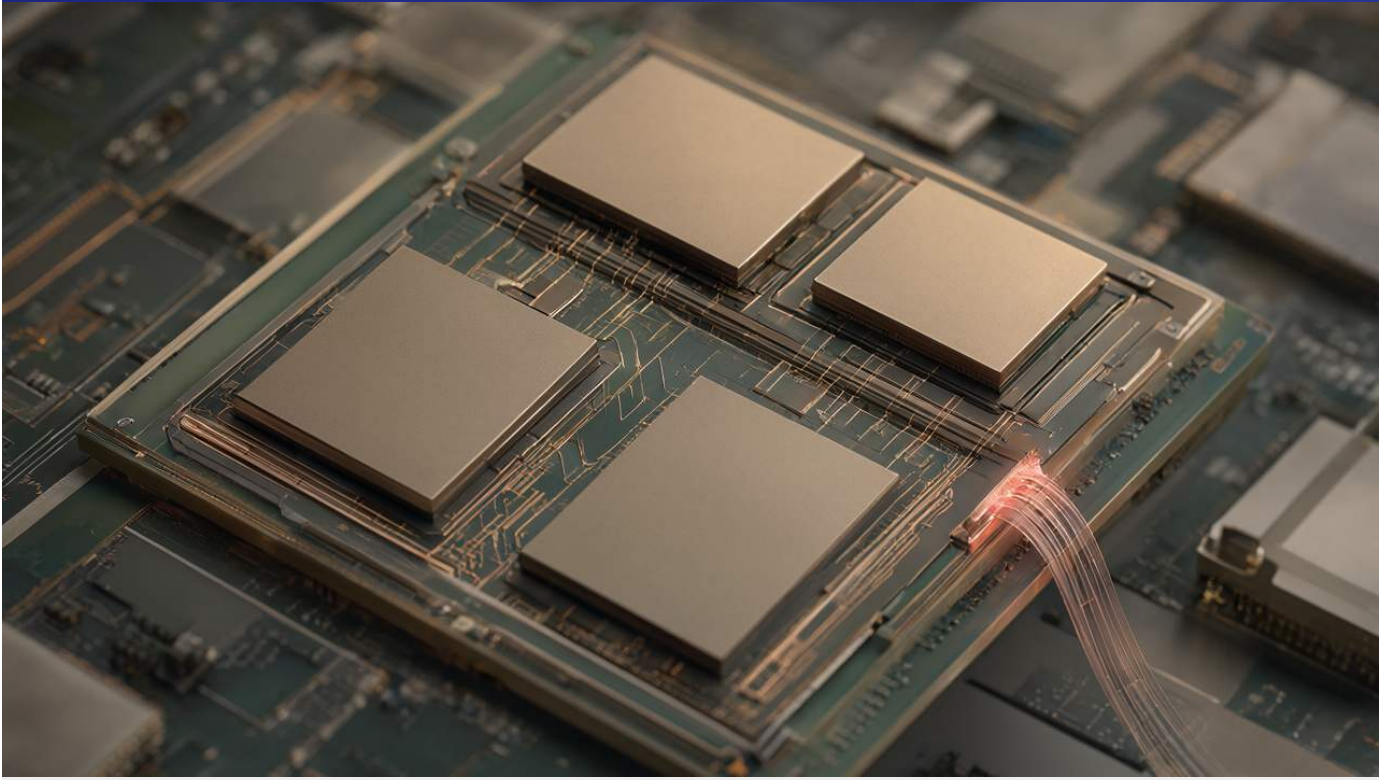
参考技術解説：インターコネクト：<https://troy-technical.jp/semiconductor-back-end-term-interconnect/>

元記事: <https://blogs.sw.siemens.com/verificationhorizons/2026/09/25/the-next-chapter-for-pcie-chiplet-integration-with-ucie/>

収集日: 2026年09月26日 | 自動記事収集・翻訳システム (Gemini API使用)

#04 Synopsys A14 | TSMCとの協業によるUCle 64G設計の進展

公開日 2026年09月25日 The Register イギリス



概要

SynopsysはTSMCとの先進ノード設計協業を拡大し、A14設計フロー、エージェントAIによる自動化、CoWoSおよびCo-packaged opticsを用いるマルチダイシステムへの追加サポートを強化しました。N2PにおけるマイルストーンとしてPCIe 7.0、HBM4、UCleが挙げられ、さらにマルチダイ電力供給と光設計のサポートが加わります。Synopsysは、N3Pテストチップ上でCoWoS-Sインターポーザと統合されたUCle-A 32Gおよび40Gシリコンを実証し、2nmおよび3nmノードでの64G UCleテープアウトも報告しています。

主要成果

SynopsysはTSMCとの先進ノード設計協業を拡大し、A14設計フロー、エージェントAIによる自動化、CoWoSおよびCo-packaged opticsを利用したマルチダイシステムへの包括的なサポートを強化しました。特に、N2PノードにおけるマイルストーンとしてPCIe 7.0、HBM4、UCleへの対応が進められています。また、SynopsysはN3Pテストチップ上でCoWoS-Sインターポーザと統合されたUCle-A 32Gおよび40Gシリコンを既に実証し、2nmおよび3nmノードでの64G UCleテープアウトの計画も報告されており、次世代チップレット相互接続技術の実現に向けた大きな進展を示しています。

技術・臨床詳細

- **A14設計フローとAI自動化:** Synopsysの拡張されたA14設計フローは、次世代半導体の複雑な設計課題に対応するために、エージェントAIによる自動化を統合しています。これにより、設計サイクルを加速し、最適化された結果を生み出すことが期待されます。
- **マルチダイおよび光設計サポート:** CoWoS (Chip-on-Wafer-on-Substrate) やCo-packaged optics (CPO) などの先進パッケージング技術を用いるマルチダイシステムの設計サポートが強化されています。CPOは、光インターコネクトを半導体パッケージ内に統合することで、帯域幅とエネルギー効率を大幅に向上させる技術です。
- **UCleの進展:**
 - N2Pにおける主要なターゲットとして、PCIe 7.0、HBM4、およびUniversal Chiplet Interconnect Express (UCle) が挙げられています。これらは、AI/HPCシステムの性能を飛躍的に向上させるための重要な要素です。
 - Synopsysは、N3Pテストチップ上にCoWoS-Sインターポーザと統合されたUCle-A 32Gおよび40Gシリコンの実証に成功しています。これは、チップレット間通信の実現可能性と性能を証明するものです。
 - さらに、同社は2nmおよび3nmノードにおける64G UCleテープアウトの計画も報告しており、これはUCleの最高速度での実装に向けた明確なロードマップを示しています。64G UCleは、テラバイト/秒級のチップレット間帯域幅を提供し、超大規模なマルチダイシステムを可能にします。

背景・業界文脈

半導体業界は、ムーアの法則の減速と、AI/HPCアプリケーションからの性能要求の増大という二重の課題に直面しています。これに対処するため、モノリシックなSoCからマルチダイ/チップレット設計への移行が加速しており、先進パッケージング技術と高速インターコネクトの重要性が高まっています。SynopsysとTSMCの協業は、この業界トレンドを推進する上で不可欠なものです。

今後の展望

SynopsysとTSMCの協業強化は、次世代のAI/HPCチップ設計において、技術革新を加速させるでしょう。UCle 64GやCo-packaged opticsのような技術の実用化は、データセンターの性能とエネルギー効率を根本的に改善し、AIのさらなる進化を可能にします。この連携は、2nmおよび3nmといった最先端プロセスノードにおけるマルチダイシステムの実現可能性を広げ、半導体業界全体のロードマップに大きな影響を与えることが期待されます。

参考技術解説：CoWoS：<https://troy-technical.jp/semiconductor-back-end-term-cowos/>

参考技術解説：Co-packaged Optics：<https://troy-technical.jp/semiconductor-back-end-term-cpo/>

参考技術解説：チップレット：<https://troy-technical.jp/semiconductor-back-end-term-chiplet/>

参考企業解説：TSMC：<https://troy-technical.jp/semiconductor-back-end-company-tsmc/>

元記事: <https://www.inelectronics.co.uk/synopsys-extends-a14-and-multi-die-design-flows/>

収集日: 2026年09月26日 | 自動記事収集・翻訳システム (Gemini API使用)

#05 Samsung・SK hynix HBM4 | 生産加速の背景と歩留まり80%の現状

公開日 2026年09月23日 Businesskorea 韓国



概要

Samsung ElectronicsとSK hynixは、AIデータセンターへの投資拡大によりHBM（高帯域幅メモリ）の需給不均衡が激化する中、HBMの生産スケジュールを加速しています。SamsungはHBM4およびHBM4Eの生産量を来年（2027年）に今年の約倍増を計画し、HBMのウェハー投入量を月間180,000枚から250,000枚に40%増加させる予定です。HBM4の歩留まり率は、量産初期の60%以下から最近では約80%に改善しています。一方、SK hynixは清州M15X施設のウェハー投入量を月間約10,000枚から80,000枚に拡大する大規模投資を進めています。

主要成果

Samsung ElectronicsとSK hynixは、AIデータセンターへの大規模投資に伴うHBM（高帯域幅メモリ）の需給逼迫を受け、生産スケジュールを大幅に加速しています。Samsungは、HBM4およびHBM4Eを含む次世代HBMの生産量を来年（2027年）に今年の約倍に増やす計画であり、HBM向けウェハー投入量を月間180,000枚から250,000枚へと約40%増加させる予定です。また、HBM4の歩留まり率は、量産初期の60%以下から最近では約80%にまで改善しています。

技術・臨床詳細

- **Samsungの生産拡大:** SamsungのHBM4生産能力の倍増計画は、同社がHBM市場で積極的なリーダーシップを確立しようとする明確な意志を示しています。ウェハー投入量の40%増加は、供給不足の解消に向けた具体的なステップです。
- **SK hynixの大規模投資:** SK hynixもまた、清州（Cheongju）M15X施設のウェハー投入量を月間約10,000枚から80,000枚へと大幅に拡大する投資を進めています。この8倍の増強は、HBM需要に対する同社の強いコミットメントを反映しています。
- **歩留まりの改善:** HBM4の歩留まり率が初期の60%以下から80%に改善したことは、両社が製造プロセスを最適化し、量産技術を成熟させていることを示しています。高歩留まりは、生産コストの削減と供給安定化に不可欠です。
- **HBMの重要性:** HBMは、高性能GPUやAIアクセラレータにとって極めて重要なコンポーネントであり、高帯域幅と低消費電力を実現することで、AIワークロードの効率を劇的に向上させます。

背景・業界文脈

生成AIの急速な発展とそれに伴うデータセンターの需要増は、HBM市場を牽引しています。現在、HBMの需要は供給を大きく上回っており、主要なAIチップメーカーは安定したHBM供給を求めています。この状況下で、SamsungとSK hynixは、HBM市場における優位性を確立するため、大規模な投資と技術開発競争を繰り広げています。

今後の展望

SamsungとSK hynixによるHBM生産能力の大幅な増強は、逼迫するHBM供給状況の緩和に貢献し、AI産業のさらなる成長を支援するでしょう。両社の歩留まり改善は、HBMのコスト効率を高め、より広範なAIアプリケーションへの採用を促進する可能性があります。この競争は、技術革新を加速させ、将来のHBMの性能と価格に大きな影響を与えることが予想されます。

参考技術解説：HBM：<https://troy-technical.jp/semiconductor-back-end-term-hbm/>

参考企業解説：Samsung Electronics：<https://troy-technical.jp/semiconductor-back-end-company-samsung-electronics/>

参考企業解説：SK hynix：<https://troy-technical.jp/semiconductor-back-end-company-sk-hynix/>

元記事: <https://www.businesskorea.co.kr/news/articleView.html?idxno=277595>

収集日: 2026年09月26日 | 自動記事収集・翻訳システム (Gemini API使用)

#06 ASE Technology | 先端パッケージングの収益成長と2027年量産計画

公開日 2026年09月25日 Seeking Alpha 台湾



概要

ASE Technology Holding Co., Ltd. (ASX) は、AIおよび高性能コンピューティング（HPC）の複雑化に伴う先端パッケージング需要の急増を背景に、収益と利益率が加速的な成長段階に入ったことを発表しました。2026年第2四半期には、同社の収益は前年比26.7%増を記録し、特にATM（半導体アセンブリ、材料、テスト）部門の収益は36%増と大幅な伸びを示しています。ASEは、310mm x 310mmの自動パネルレベルパッケージングラインを導入し、2027年前半に製造開始を予定しているほか、AIチップの先端パッケージング・テスト需要に対応するため高雄で総額178億台湾ドルの新工場プロジェクトを開始しました。これらの投資は、同社がAI時代の半導体サプライチェーンにおいて中心的な役割を果たすための基盤を強化するものです。

主要成果

ASE Technology Holding Co., Ltd. (ASX) は、AIおよび高性能コンピューティング（HPC）分野からの先端パッケージング需要が急増したことを受け、収益および利益率が顕著な成長段階に入ったことを報告しました。特に、2026年第2四半期には、同社の総収益が前年比26.7%増を達成し、その中核事業であるATM（半導体アセンブリ、材料、テスト）部門は36%増という目覚ましい伸びを示しました。

技術・設備投資詳細

- **パネルレベルパッケージングライン:** ASEは、310mm x 310mmの自動パネルレベルパッケージングラインを導入しており、2027年前半には本格的な製造を開始する予定です。パネルレベルパッケージングは、より大きな基板フォーマットで多数のチップを同時に処理できるため、生産効率とコスト効率を大幅に向上させ、特にAIチップのような大規模な製品に有利です。
- **高雄新工場プロジェクト:** AIチップの先端パッケージングおよびテスト需要に対応するため、ASEは高雄で総額178億台湾ドルを投じる新工場プロジェクトを開始しました。この投資は、フリップチップ、2.5D/3D、およびSiP（System-in-Package）といった高度なパッケージング技術の能力を強化し、次世代のAIアクセラレータやデータセンター向けプロセッサの生産に対応します。

背景・業界文脈

AIモデルの複雑化と大規模化は、半導体チップの設計だけでなく、それらを統合するパッケージング技術にも前例のない要求を突きつけています。チップレットアーキテクチャや異種統合が進む中で、より高密度で低遅延、高効率なインターコネクトが不可欠となっており、先端パッケージングはその中核を担っています。ASEは世界最大のOSAT（Outsourced Semiconductor Assembly and Test）プロバイダーとして、このトレンドをいち早く捉え、大規模な投資を通じて競争優位性を確立しようとしています。

今後の展望

ASEの積極的な先端パッケージングへの投資と能力拡張は、AI時代の半導体サプライチェーンにおいて同社が果たす役割を一層強化するものです。パネルレベルパッケージングラインの稼働と高雄新工場の完成は、顧客からの需要増加に直接対応し、同社の市場シェアをさらに拡大するでしょう。これにより、ASEは、AI、データセンター、自動車、IoTといった成長分野における主要な技術パートナーとしての地位を不動のものにし、長期的な収益性と株主価値の向上に貢献すると予想されます。世界の先端パッケージング市場における技術革新と競争は今後も激化する見込みですが、ASEの先行投資は確固たる基盤を築きます。

参考技術解説：テスト：<https://troy-technical.jp/semiconductor-back-end-term-test/>

参考技術解説：SiP：<https://troy-technical.jp/semiconductor-back-end-term-sip/>

参考技術解説：OSAT：<https://troy-technical.jp/semiconductor-back-end-term-osat/>

参考企業解説：ASEグループ：<https://troy-technical.jp/semiconductor-back-end-company-ase-group/>

元記事: <https://seekingalpha.com/article/4949719-ase-technology-ai-demand-is-driving-a-new-growth-phase>

収集日: 2026年09月26日 | 自動記事収集・翻訳システム (Gemini API使用)

#07 SK hynixのハイブリッドボンディング | HBM導入の歩留まりと寿命条件

公開日 2026年09月21日 The Economy 韓国



概要

SK hynixは、次世代HBM製造の中核技術であるハイブリッドボンディングの導入に関して、厳格な品質基準を提示しました。同社は、歩留まりが90%から98%の間であること、そして製品寿命が3年から5年であることを必須条件としています。ハイブリッドボンディングは、銅と銅を直接接合することでHBMの厚みと消費電力を削減する利点がある一方、高精度な接合技術が要求され、歩留まりの安定化が主要な課題となっています。東京エレクトロンはウェーハ対ウェーハ接合用ボンディング装置を既に市場投入しており、ダイ対ウェーハ用技術も開発中です。

主要成果: SK hynix、ハイブリッドボンディングに歩留まり90%以上・寿命3年の 厳格条件

SK hynixは、次世代HBM（High Bandwidth Memory）製造における中核技術であるハイブリッドボンディングの導入に対し、非常に厳格な品質基準を設定しました。同社は、この先端技術の採用条件として、歩留まりが90%から98%の範囲に達すること、および製品寿命が3年から5年間を保証できることを必須としています。この高いハードルは、ハイブリッドボンディング技術の成熟度と量産適用性に対する同社の期待と懸念を反映しています。

技術詳細: ハイブリッドボンディングの利点と課題

ハイブリッドボンディングは、従来のマイクロバンプを使用した接合方式とは異なり、銅と銅を直接接合することで、チップ間の接続をより高密度かつ低抵抗で行う技術です。これにより、HBMスタックの厚みを大幅に削減できるだけでなく、データ転送時の消費電力と発熱も低減できます。これらの特性は、AIアクセラレータや高性能コンピューティング（HPC）におけるHBMの性能向上に不可欠です。しかし、銅表面の清浄度、位置合わせの精度、接合時の圧力制御など、非常に高度なプロセス制御が要求されるため、安定した高歩留まりを実現することが最大の技術的課題となっています。

業界動向と競合: 装置メーカーの進捗と市場の要求

ハイブリッドボンディングは、HBMメーカー各社が次世代製品で採用を目指す基幹技術ですが、その歩留まり問題が量産導入のボトルネックとなっていました。装置メーカーは、この課題解決に向けて開発を加速しています。例えば、東京エレクトロンは既にウェーハ対ウェーハ（W2W）接合用の高精度ボンディング装置を市場に投入しており、ダイ対ウェーハ（D2W）接合技術の開発も積極的に進めています。SK hynixが提示する厳しい基準は、HBM市場における競争が激化する中で、競合他社に先駆けて高品質かつ高信頼性の製品を市場に投入するための戦略の一環と言えます。

今後の展望: HBM市場の技術革新とサプライチェーンへの影響

SK hynixが設定したこれらの条件は、ハイブリッドボンディング技術がHBMの量産に本格的に導入されるための重要なマイルストーンとなるでしょう。装置メーカーや材料サプライヤーは、これらの要求を満たすためにさらなる技術開発と最適化を迫られることになります。ハイブリッドボンディングの歩留まり問題が解決され、安定した量産が可能となれば、HBMの性能はさらに飛躍的に向上し、AIやHPCの進化を加速させるでしょう。一方で、この技術の導入時期とコストは、HBM市場における各社の競争力に大きな影響を与え、半導体サプライチェーン全体における技術革新のペースを決定づける要因となります。

参考技術解説：ボンディング：<https://troy-technical.jp/semiconductor-back-end-term-bonding/>

参考技術解説：HBM：<https://troy-technical.jp/semiconductor-back-end-term-hbm/>

参考技術解説：バンプ：<https://troy-technical.jp/semiconductor-back-end-term-bump/>

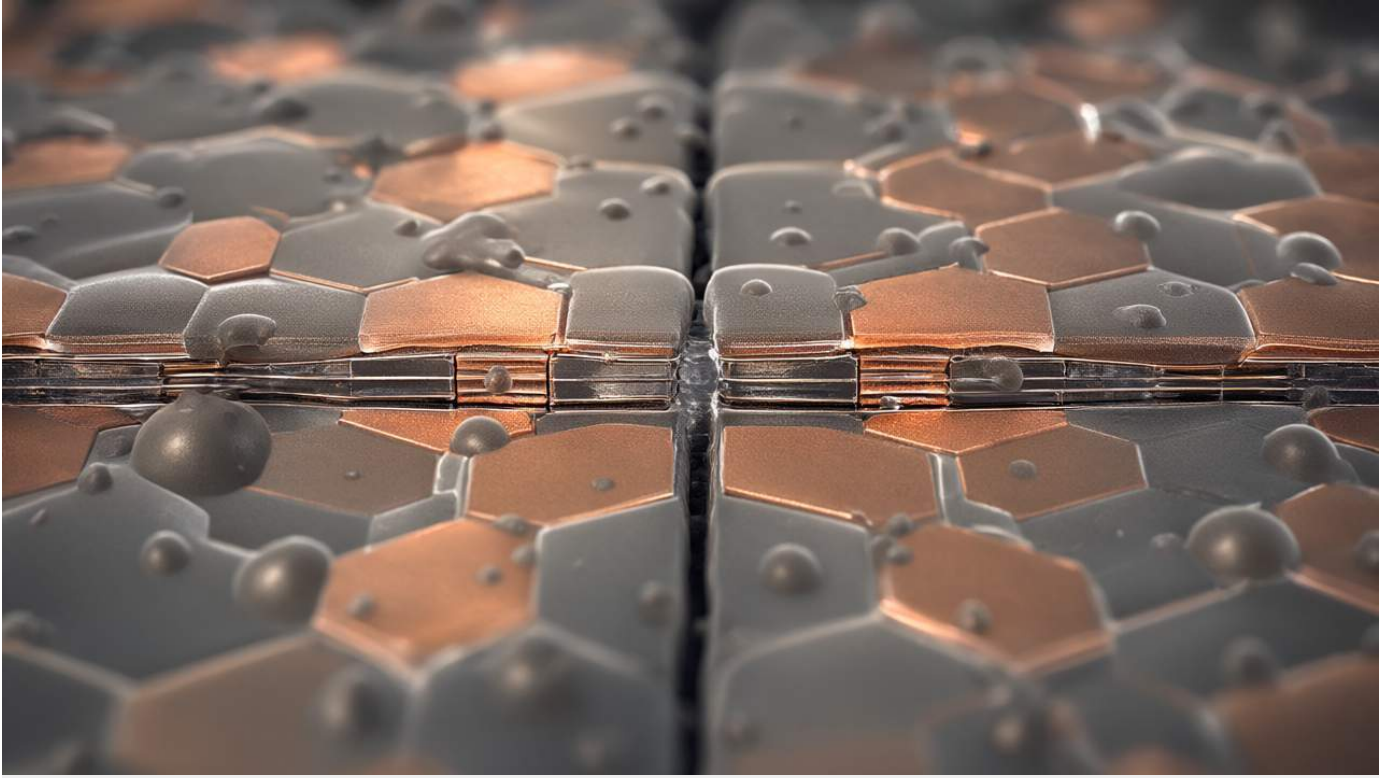
参考企業解説：SK hynix：<https://troy-technical.jp/semiconductor-back-end-company-sk-hynix/>

元記事: <https://finance.biggo.jp/news/2ec25972-e64d-4693-b246-9525a79b4b5f>

収集日: 2026年09月26日 | 自動記事収集・翻訳システム (Gemini API使用)

#08 ハイブリッドボンディングとは | Imec・TSMCの量産時期と性能

公開日 2026年09月22日 Tara Minunilor ベルギー



概要

ハイブリッドボンディングは、従来の溶剤マイクロバンプを使用せず、2つのダイまたはウェーハを直接銅で接続する画期的な半導体統合技術です。ImecとEV Groupは、2026年に200nmの銅インターコネクトピッチでのウェーハ対ウェーハボンディングを実証し、3Dチップ積層の量産化に向けたスケーラビリティを示しました。

TSMCも、SoICボンドピッチが10マイクロメートル以下から始まり、3nmチップスタッキング技術が2025年に量産に入ったと述べています。この技術は、高密度な3Dチップ積層を可能にし、次世代AIチップの性能向上に不可欠です。

主要成果: ハイブリッドボンディング、3Dチップ積層の量産製造プラットフォームへ進化

ハイブリッドボンディング技術は、従来の溶ダーマイクロバンプに依存せず、2つのダイまたはウェーハを直接、高精度に銅で接続する画期的な半導体統合技術です。この技術の進展は、3Dチップ積層をスケーラブルな量産製造プラットフォームへと転換させる可能性を秘めています。特に、ImecとEV Groupは2026年に、200nmという微細な銅インターコネクトピッチでのウェーハ対ウェーハ（W2W）ボンディングを成功させ、この技術の高度なスケーラビリティを実証しました。

技術詳細: 銅-銅接合と微細化の進捗

ハイブリッドボンディングの核心は、ダイまたはウェーハの表面に露出した銅配線を直接接合する点にあります。この銅-銅直接接合は、極めて低い電気抵抗と優れた熱伝導性を実現し、従来のマイクロバンプよりもはるかに高密度なインターコネクトを可能にします。ImecとEV Groupによる200nmピッチでのW2Wボンディングの成功は、この技術が次世代半導体において要求される微細化レベルに到達していることを示しています。これにより、より多くの信号線や電力供給線を限られたスペースに集積できるようになり、データ転送速度の向上と消費電力の削減に寄与します。

業界動向と応用: TSMCのSoICと3nmチップスタッキング

ハイブリッドボンディングは、すでに業界の主要プレイヤーによって実用化が進められています。TSMCは、自社の3D積層技術であるSoIC（System-on-Integrated Chips）において、ボンドピッチが10マイクロメートル以下から始まるハイブリッドボンディング技術を採用していると報告しています。同社の3nmチップスタッキング技術は、2025年にはすでに量産段階に入ったとされており、最先端プロセスノードにおけるハイブリッドボンディングの成熟度と重要性を示しています。この技術は、AIプロセッサで不可欠なHBM（高帯域幅メモリ）とロジックチップの高効率な統合など、複雑な異種集積アプリケーションにおいて特に大きな価値を発揮します。

今後の展望: 半導体性能の限界を押し広げる

ハイブリッドボンディング技術は、ムーアの法則の限界が囁かれる中で、半導体性能をさらに向上させるための主要なドライバーの一つです。チップレット設計と3D積層技術の進展と相まって、このボンディング技術は、より高性能、低消費電力、そして小型化された次世代電子デバイスの実現を可能にします。研究機関や主要メーカーによる継続的な投資とイノベーションにより、ハイブリッドボンディングは今後数年間でさらに微細化が進み、より幅広いアプリケーションでの採用が期待されます。これにより、AI、5G/6G通信、自律走行車、高性能データセンターといった分野での技術革新が加速されるでしょう。

参考技術解説：ボンディング：<https://troy-technical.jp/semiconductor-back-end-term-bonding/>

参考技術解説：バンパ：<https://troy-technical.jp/semiconductor-back-end-term-bump/>

参考技術解説：スタッキング：<https://troy-technical.jp/semiconductor-back-end-term-stacking/>

参考企業解説：TSMC：<https://troy-technical.jp/semiconductor-back-end-company-tsmc/>

元記事: <https://tara-minunilor.ro/2026/09/22/hybrid-bonding-the-copper-to-copper-technology-turning-3d-chip-stacking-into-a-scalable-manufacturing-platform/>

収集日: 2026年09月26日 | 自動記事収集・翻訳システム (Gemini API使用)

#09 Rapidus 2nm | 短TAT製造モデルRUMSの構成と統合パッケージング

公開日 2026年09月24日 エキサイト 日本



概要

日本の2nm短TAT（ターンアラウンドタイム）半導体製造市場は、Rapidusが主導する独自の製造モデルによって形成されています。Rapidusの2nmプログラムは、先進的なGAA（Gate-All-Around）技術、シングルウェーハ処理、AI制御による搬送、製造シミュレーション、そして統合型パッケージング機能を組み合わせることで、設計から製造、後工程までを短期間で完結させる「Rapid and Unified Manufacturing Service（RUMS）」を目指しています。

主要成果

Rapidusは、日本を拠点に2nmプロセスにおける短TAT（ターンアラウンドタイム）半導体製造市場を牽引しており、その中心となるのは独自の製造モデルです。このモデルは、最先端のGAA（Gate-All-Around）技術、シングルウェーハ処理、AI制御搬送、製造シミュレーション、そして統合型パッケージングを融合させた「Rapid and Unified Manufacturing Service（RUMS）」を特徴としています。

技術・臨床詳細

Rapidusの2nmプログラムは、次世代AIチップや高性能コンピューティング（HPC）向けに特化した製造プロセスを開発しています。GAAトランジスタは、従来のFinFET構造よりも優れた静電制御と低消費電力を実現し、2nmノードでの性能向上に不可欠です。RUMSは、設計から前工程製造、そして後工程パッケージングまでを一貫して統合することで、顧客の仕様変更や緊急な製造要求に対し、劇的に短いサイクルタイムでの対応を可能にします。具体的には、AIが製造プロセスのボトルネックを予測し最適化することで、生産効率を最大化します。また、高度な製造シミュレーションは、設計段階でのリスクを低減し、歩留まり向上に寄与します。この統合型アプローチは、AIチップ開発におけるカスタマイズと迅速な市場投入というニーズに直接応えるものです。

背景・業界文脈

AIの急速な進化と多様なアプリケーションの登場は、半導体チップに高度なカスタマイズ性と迅速な供給能力を求めています。従来の半導体製造は、設計、前工程、後工程が分断され、長期間を要する傾向がありました。RapidusのRUMSモデルは、この課題を克服し、特に高価値・少量生産が予想される先端ロジック分野において、日本が再び世界の半導体産業における重要な役割を果たすことを目指しています。この動きは、地政学的なサプライチェーンの強靱化という観点からも注目されています。

今後の展望

Rapidusが提唱する「Rapid and Unified Manufacturing Service」は、2nm半導体製造における新たなパラダイムを確立し、AI主導型製造とカスタムチップのイノベーションを加速させる大きな可能性を秘めています。この製造モデルが確立されれば、日本は再び世界の先端半導体サプライチェーンにおけるキープレイヤーとなり、特にAI、HPC、自動運転といった分野での日本の競争力強化に貢献するでしょう。将来的には、この技術がさらに微細なプロセスノードへと応用され、より広範な産業分野に影響を与えることが期待されます。

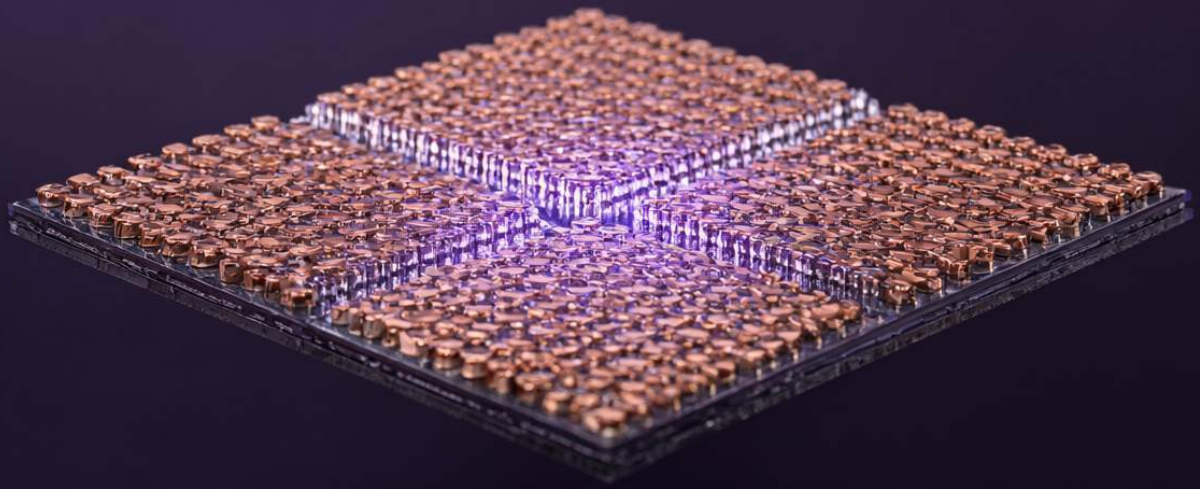
参考企業解説：Rapidus：<https://troy-technical.jp/semiconductor-back-end-company-rapidus/>

元記事: https://www.excite.co.jp/news/article/Dreamnews_0000363410/

収集日: 2026年09月26日 | 自動記事収集・翻訳システム (Gemini API使用)

#10 Huawei Kirin 9050 Pro | ハイブリッドボンディング1.5 μ mの性能

公開日 2026年09月19日 Invest Lingo 中国



概要

ファーウェイのKirin 9050 Proチップは、1.5マイクロメートルという超微細ピッチのハイブリッドボンディング技術を採用して出荷されました。この「ロジック折り畳み技術」は、2枚のチップを面と面で直接接合し、接合間隔が配線間隔に近づくことで、物理的に分離されたチップが1つのチップとして機能することを可能にします。これにより、微細化に頼らずにチップの動作周波数を向上させ、ロードマップでは2026年の3.1GHzから2030年には4.3GHzへの性能向上が予測されています。

主要成果

Huawei（ファーウェイ）のKirin 9050 Proチップは、業界でも最先端の1.5マイクロメートルという超微細ピッチのハイブリッドボンディング技術を用いて量産されました。この技術は、微細化に依存せずチップの動作周波数を向上させる「ロジック折り畳み技術」を核とし、2026年の3.1GHzから2030年には4.3GHzへと性能が進化するロードマップが提示されています。

技術・臨床詳細

ファーウェイのロジック折り畳み技術は、2枚のチップを面と面で直接重ね合わせ、極めて短い接合間隔で接続するものです。この接合間隔が配線の物理的な間隔に近づくことで、電気的には2枚のチップが単一のチップとして振る舞い、シームレスなデータ転送と信号統合を実現します。従来のパッケージング技術では、チップ間の接続はピンやバンプを介して行われ、必然的に距離と抵抗が生じましたが、ハイブリッドボンディングは銅対銅の直接接続により、この制約を大幅に緩和します。Kirin 9050 Proに採用された1.5 μ mピッチは、現在の商用ハイブリッドボンディング技術の中でも極めて微細であり、チップレット間の帯域幅を最大化し、遅延を最小限に抑えることを可能にします。この技術により、回路の物理的な微細化を進めることなく、効果的にクロック周波数を向上させ、全体のシステム性能を高めることができます。

背景・業界文脈

半導体業界は、ムーアの法則による微細化の限界に直面しており、性能向上を続けるためにはパッケージング技術の革新が不可欠です。ハイブリッドボンディングは、チップレット技術と3D積層技術の実現を可能にする主要なソリューションとして注目されています。ファーウェイのこの成果は、同社が米国による制裁下においても、独自の技術革新を通じて高性能チップの開発を継続していることを示しており、世界の半導体技術競争における中国の存在感を際立たせています。

今後の展望

ファーウェイが示すハイブリッドボンディングとロジック折り畳み技術のロードマップは、半導体業界における先進パッケージングの方向性を示唆しています。2030年までに動作周波数を4.3GHzへと向上させる目標は、AI、高性能コンピューティング、モバイル通信など、高速処理を要求される様々なアプリケーションにとって大きな意味を持ちます。この技術のさらなる進化と普及は、チップ設計の自由度を高め、より強力でエネルギー効率の高い次世代半導体の開発を加速させるでしょう。ハイブリッドボンディングがもたらす性能向上は、今後の技術革新の鍵となることが確実視されています。

参考技術解説：ハイブリッドボンディング：<https://troy-technical.jp/semiconductor-back-end-term-hybrid-bonding/>

参考技術解説：チップレット：<https://troy-technical.jp/semiconductor-back-end-term-chiplet/>

参考技術解説：バンプ：<https://troy-technical.jp/semiconductor-back-end-term-bump/>

元記事: <https://www.investlingo.jp/content/3JWkjyTxMqk4CB41014R9dvZ3Rg>

収集日: 2026年09月26日 | 自動記事収集・翻訳システム (Gemini API使用)