半導体後工程

Weekly Intelligence Report

2026-08-16 | 35件 | 8カ国

troy-technical.jp

今週のキーワード

AI半導体供給

CoWoS/HBM/ABF基板がボトルネック

35	8	98%超	70%
件	カ国		増
記事数	対象国	CoWoS歩留	HBM4価格

今週の全35記事 — 5軸評価で読むべき記事を選ぶ

各列の見方 — 技術新規性：ブレークスルー度合い 実用化距離：製品として使える近さ 市場インパクト：業界全体への影響規模
データ信頼性：定量データ・査読の有無 日本関連度：日本の企業・サプライチェーンとの直接的関連性

#	記事タイトル	種別	技術新規性	実用化距離	市場インパクト	データ信頼性	日本関連度	一行サマリ
#01	TSMC CoWoS高歩留	企業戦略	●●●○○	●●●●●	●●●●○	●●●●○	●●●●●	TSMCがCoWoSで98%超の歩留まりを達成し生産能力を倍増する一方、ABF基板が新たなボトルネックに浮上。味の素など日本企業が供給拡大を計画。
#02	NVIDIA Feynman加速	企業戦略	●●●●○	●●●○○	●●●●●	●●●○○	●●●○○	NVIDIAの次世代AIプラットフォーム「Feynman」加速を受け、TSMCはSoIC生産能力を2027年末までに月産5万枚へ増強。CPO技術統合も推進。
#03	CoWoS/SoIC供給逼迫	市場危機	●●○○○	●●●●●	●●●●●	●●●○○	●●●●○	AI需要によりCoWoS/SoICの供給が逼迫し、2027年には世界需要の10-20%が不足する予測。TSMCとOSAT各社が増強を進めるも追いつかず。
#04	イビデンABF基板投資	企業戦略	●●○○○	●●●●○	●●●●○	●●●●○	●●●●●	イビデンがAIサーバー向けABF基板に2028年までに5,000億円を投資。2029年以降の供給不足懸念から顧客がさらなる増強を要請。
#05	KLA 先端PKG売上予測	企業戦略	●●○○○	●●●●●	●●●●○	●●●●○	●●●○○	KLAがAI・HBM需要に牽引され、先進パッケージング事業の2026年売上を11億ドルと予測。CoWoSやSoIC向け検査・計測ツールが好調。
#06	AMAT後工程生産倍増	企業戦略	●●○○○	●●●●●	●●●●○	●●●●○	●●●○○	Applied Materialsが2026年Q3売上91.2億ドルを達成。AI需要に対応するため、半導体システムの四半期生産量を2028年までに倍増へ。
#07	JEDEC HBM4高さ緩和	技術標準	●●●○○	●●●○○	●●●●○	●●●○○	●●●●○	JEDECがHBM4パッケージ高さを720μmから775μmに緩和。Cu-Cuハイブリッドボンディングなしで12-Hi/16-Hiスタックが可能に。
#08	TSMC CoWoS/SoIC	市場危機	●●○○○	●●●●●	●●●●●	●●●○○	●●●●○	TSMCのCoWoS/SoICがAIチップ供給の主要ボトルネック。2027年には世界需要の最大20%が供給不足と予測され、AIハード展開を制約。
#09	Samsung zHBM発表	新技術	●●●●●	●●○○○	●●●●●	●●●●○	●●●○○	SamsungがFMS 2026でロジック・メモリ3D統合の次世代AIメモリ「zHBM」とHBM4E/HBM5ロードマップを発表。データ移動ボトルネック解消へ。
#10	TSMC/Samsung PKG	企業戦略	●●●○○	●●●●○	●●●●●	●●●○○	●●●●○	TSMCは先端パッケージング能力を3年間で倍増も需要に追いつかず。SamsungはBroadcomと2nm/先端パッケージング協業を拡大し巻き返し図る。
#11	TSMC CoWoS 14x拡張	企業戦略	●●●○○	●●●●●	●●●●○	●●●●○	●●●●●	TSMCがCoWoS 5.5xプロセスで98-99%の歩留まりを達成。2029年までに14倍レティクルサイズへの拡張を計画し、AIチップの高性能化に対応。
#12	Micron HBM4量産開始	新製品	●●●●○	●●●●●	●●●●●	●●●●○	●●●○○	Micronが36GB 12層HBM4の量産を開始しNVIDIA Vera Rubinに出荷。米国に2500億ドル超の半導体投資を拡大しAIメモリ需要に対応。

#	記事タイトル	種別	技術 新規性	実用化 距離	市場 インパクト	データ 信頼性	日本 関連度	一行サマリ
#13	Samsung HBM4トップへ	企業戦略	●●●○	●●●●	●●●●	●●●○	●●●○	SamsungがHBM4への積極投資で来年のHBM市場トップシェア獲得を目指す。データチャネル倍増のHBM4にNVIDIA/AMDも関心。
#14	ECTC ガラス基板/FOPLP	技術動向	●●●●	●●○○	●●●●	●●●○	●●●●	ECTC 2026で先端パッケージングがシステム革新の中心に。ガラス基板とFOPLPが次世代高密度パッケージングプラットフォームとして注目。
#15	SEMI APC パワー/PKG	技術動向	●●●○	●●●○	●●●●	●●●○	●●●○	SEMI Europe APC 2026でAIシステム性能を駆動するパワー・インターコネクト革新を議論。2.5D/3D統合、チップレット、ヘテロジニアス統合が鍵。
#16	SK Hynix HBM4価格70%増	企業戦略	●●●○	●●●●	●●●●	●●●○	●●●○	SK HynixがHBM市場60%超シェアを背景にHBM4価格を70%引き上げ。米韓で約70億ドルのパッケージング投資を加速し供給ボトルネック緩和へ。
#17	PLPとガラスコア基板	技術動向	●●●●	●●○○	●●●●	●●●○	●●●●	AI需要がパネルレベルパッケージング（PLP）とガラスコア基板へのシフトを加速。次世代パッケージングの主軸として性能向上とコスト削減に貢献。
#18	Samsung HBM4歩留改善	企業戦略	●●●○	●●●●	●●●●	●●●○	●●●○	SamsungのHBM4歩留まりが初期60%未満から80%へ急改善。SK Hynixの労使交渉難航でAIメモリ競争が激化する中、Samsungが優位に。
#19	2026チップ危機警鐘	市場危機	○○○○	●●●●	●●●●	●●○○	●●●●	2026年のチップ危機がハードウェア業界に警鐘。AI需要が半導体サプライチェーンを再構築し、よりレジリエントな供給体制が求められる。
#20	HBM供給危機2027まで	市場危機	○○○○	●●●●	●●●●	●●●○	●●●●	AIセクターの爆発的成長によりHBM供給危機が2026年を通じて継続。ボンディング装置の長期バックログと低歩留まりがボトルネックとなり2027年まで継続予測。
#21	3D/2.5D PKG市場成長	市場予測	●●○○	●●●●	●●●●	●●●○	●●●○	グローバル3D/2.5D ICパッケージング市場はUCIe標準で加速し2031年まで成長予測。TSV歩留まり損失や熱管理コストが課題。
#22	IDTechEx PKGトレンド	技術動向	●●●●	●●○○	●●●●	●●●○	●●●●	IDTechExが2.5D/3D半導体パッケージングの新トレンドを分析。ガラスインターポーザとハイブリッドボンディングが進化を牽引。
#23	IMAPS 3D/2.5D動向	技術動向	●●●○	●●●○	●●●●	●●●○	●●●○	IMAPS Device Packaging Conference 2026で3D/2.5Dパッケージングの最新動向を詳述。FOPLP、ハイブリッドボンディングが需要を牽引。
#24	HBMボンディングボトルネック	市場危機	○○○○	●●●●	●●●●	●●●○	●●●●	HBM供給不足はボンディング装置の長期バックログと低歩留まりがボトルネック。HANMIは12ヶ月のバックログを抱え2027年までAI需要を制約か。
#25	サムスン電機ガラス基板	企業戦略	●●●●	●●●○	●●●●	●●○○	●●●●	サムスン電機がAIチップ向けガラス基板で新光電気工業と競合。2028年量産目標も品質認証・歩留まりが課題。
#26	サムスン電機稼働率急上昇	企業戦略	●●○○	●●●●	●●●●	●●●○	●●●○	サムスン電機、AIデータセンター需要で半導体パッケージ基板稼働率が前年比19ポイント増の89%に急上昇。高付加価値FCBGAが牽引。
#27	AMAT PKG売上70%増	企業戦略	●●○○	●●●●	●●●●	●●●●	●●●○	アプライドマテリアルズが2026年先端パッケージング売上成長率予測を70%超に上方修正。AI半導体投資がHBM・多層パッケージに拡大。
#28	米商務省PKG奨励金	政策	●●○○	●●●●	●●●●	●●●●	●●○○	米商務省がAI・先端コンピューティング・半導体パッケージング分野の7社に最大8億7400万ドルの奨励金を供与意向。国内サプライチェーン強化へ。
#29	サムスン電機ベトナム増強	企業戦略	●●○○	●●●●	●●●●	●●●○	●●●○	サムスン電機がベトナム工場でAI半導体用先端パッケージ基板生産能力を2.4倍に拡大。超大型FCBGAの増産でAI需要に対応。
#30	ASMPT 先端PKG好調	企業戦略	●●●○	●●●●	●●●●	●●●●	●●●○	ASMPTの先端パッケージング事業が2026年上半期にAI需要で過去最高の売上を達成。PLPを次世代成長ドライバーとして推進。

#	記事タイトル	種別	技術 新規性	実用化 距離	市場 インパクト	データ 信頼性	日本 関連度	一行サマリ
#31	Intel Foveros/EMIB	企業戦略	●●●●○	●●●○○	●●●●○	●●●●○	●●●○○	Intel FoundryがFoverosとEMIB先端パッケージングでAIデータセンター向け性能を強化。2026年には電力効率改善のEMIB-Tを導入予定。
#32	半導体設備投資2400億ドル	市場予測	●○○○○	●●●●○	●●●●○	●●●○○	●●●●○	2026年世界の半導体設備投資はAI推論需要急増で前年比30%増の2400億ドルに到達予測。先端パッケージングが成長を牽引。
#33	NXP/レゾナック後工程	企業戦略	●●○○○	●●●●○	●●●●○	●●●○○	●●●●○	NXPがマレーシア後工程工場を倍増へ。レゾナックのAI向け後工程材料も46%増収を記録し、AI需要が材料メーカーにも波及。
#34	半導体売上高過去最高	市場概観	●○○○○	●●●●○	●●●●○	●●●○○	●●●●○	2026年6月の世界半導体売上高が2.2倍の1345億ドルで過去最高。TSMC CoWoS高歩留もHBM・ABF基板がボトルネックに。
#35	TSMC 3DIC検証重視	技術動向	●●●○○	●●●○○	●●●●○	●●●●○	●●●○○	TSMCがOCP APAC 2026でAI先端パッケージング競争はシステムレベルの信頼性と検証へと移行と発表。3DIC検証の重要性を強調。

●●●●○ High ●●●○○ Med-High ●●○○○ Med ●○○○○ Low | 背景黄色＝注目記事

今週、判断に影響しうる3つの問い

❶ AI半導体の供給不足は、あなたの製品開発ロードマップを狂わせないか？

TSMCのCoWoS/SoICやHBMの供給不足は2027年まで継続し、AIチップの供給を最大20%制約するとの予測があります。特にABF基板やボンディング装置のボトルネックが顕在化しており、主要メーカーは数年先まで製品が完売状態です。自社のAI関連製品の設計・調達計画は、この長期的な供給制約を織り込めているでしょうか？

❷ 次世代パッケージング技術（ガラス基板/PLP）への対応は、自社の競争優位性を維持できるか？

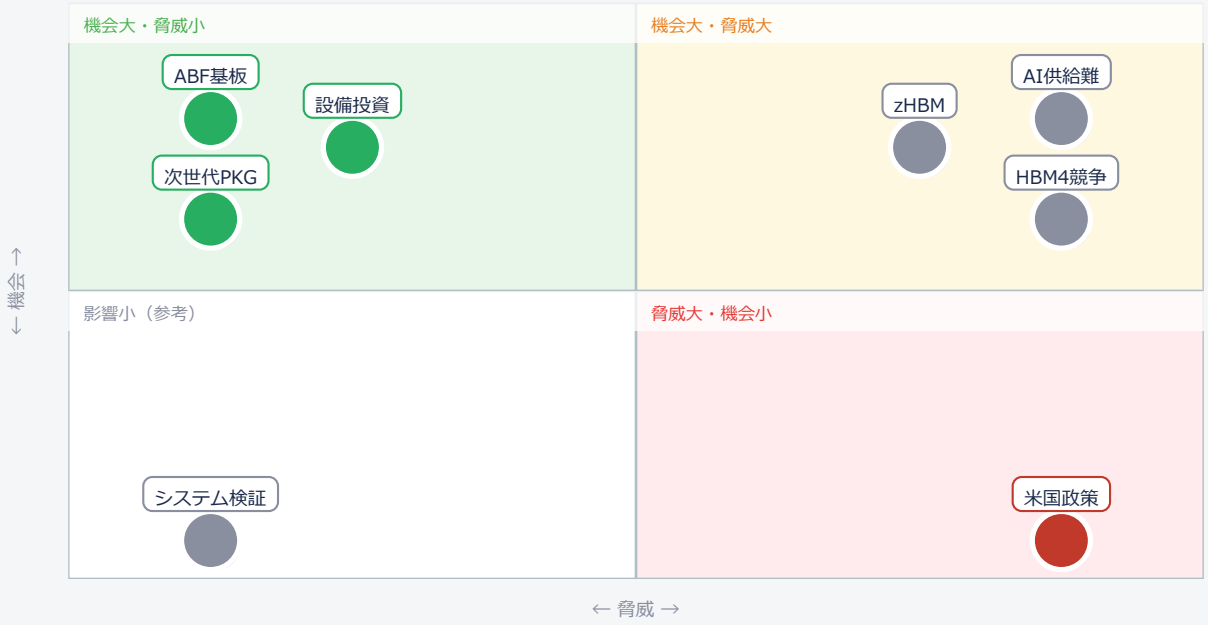
AIチップの高性能化に伴い、ガラス基板やパネルレベルパッケージング（PLP）が次世代の主軸として浮上しています。サムスン電機は2028年量産を目指し、新光電気工業と競合。この技術は高密度配線、反り抑制、コスト効率に優れますが、品質認証や歩留まりが課題です。自社はこれらの技術動向を捉え、材料・装置・設計で先行投資できていますか？

❸ HBM4世代の激しい競争は、自社のサプライチェーン戦略にどのような影響を与えるか？

MicronがHBM4の量産を開始しNVIDIAに出荷する一方、SamsungはHBM4歩留まりを80%に急改善、SK HynixはHBM4価格を70%引き上げると発表。各社が巨額投資でAIメモリ市場の覇権を争っています。この激しい競争は、HBMの調達コストや供給安定性にどう影響し、自社のAIチップ設計やサプライヤー選定にどのようなリスクと機会をもたらすでしょうか？

日本企業にとっての「機会 vs 脅威」

日本企業にとっての「機会 vs 脅威」マトリクス



項目	象限	↑ 機会	↓ 脅威
● AI供給難	注意	先端PKG装置・材料需要増	AIチップ供給制約、価格高騰
● ABF基板	機会大	日本材料メーカーの増収	供給不足によるAI成長鈍化
● HBM4競争	注意	高性能メモリ市場拡大	激しい価格・技術競争
● 次世代PKG	機会大	新材料・装置開発機会	技術転換への対応遅れ
● 設備投資	機会大	装置・材料メーカー好機	投資過熱と供給過剰リスク
● 米国政策	脅威大	米国市場への参入機会	サプライチェーン再編リスク

● zHBM	注意	革新的AIメモリ開発	技術難易度、開発競争
● システム検証	参考	総合ソリューション提供	開発コスト増、複雑化

深掘り ① — TSMC CoWoS高歩留とABF基板の課題

#01 | 2026/08/12 | Xenospectrum | 技術新規性●●●○○ 実用化距離●●●●● 市場インパクト●●●●○ データ信頼性●●●●○ 日本関連度●●●●●

TSMCはAIチップ向けCoWoSパッケージングで98%超の歩留まりを安定的に達成し、生産能力を3年連続で倍増させました。これによりCoWoSの技術成熟度と量産体制の強固さが示されましたが、サプライチェーンのボトルネックはHBMメモリからABF基板へと移行しています。

TSMCは2029年までにCoWoS技術を14倍レティクルサイズに拡張し、SoIC技術も6ミクロンピッチで量産、2029年までに4.5ミクロンへの縮小を目指しています。ABF基板の供給不足はAIチップ拡張の新たな制約となり、味の素を含むサプライヤーは2030年までの能力拡大と新工場建設を計画しています。

▶ シニアテクニカルアナリスト

TSMCのCoWoS高歩留まりは、先端パッケージング技術の成熟度を示す一方で、ABF基板が新たなボトルネックとして浮上したことは、日本の材料メーカーにとって大きな【機会】です。味の素やイビデンといった日本企業がABF基板市場で主導的な役割を担っており、AI需要の拡大は彼らの増産投資を加速させるでしょう。ただし、需要の伸びが供給増強を上回るペースで進む可能性があり、AIチップメーカーにとっては【脅威】となります。特に、ABF基板の品質と供給安定性は、次世代AIチップの性能と市場投入時期を左右するため、日本の材料メーカーは顧客との連携を強化し、品質認証と安定供給体制の早期確立が不可欠です。

深掘り ② — Micron HBM4量産開始と巨額投資

#12 | 2026/08/13 | openPR.com | 技術新規性●●●●○ 実用化距離●●●●● 市場インパクト●●●●● データ信頼性●●●●○ 日本関連度●●●○○

Micron Technologyは2026年3月に36GB 12層HBM4メモリの量産を開始し、NVIDIAの次世代AIプラットフォーム「Vera Rubin」向けに出荷していることを発表しました。これはAIモデルの計算負荷増大に伴う大容量・高帯域幅メモリへの市場移行を加速させるものです。

Micronはさらに、AI駆動の高度メモリ需要に対応するため、2035年までに米国における半導体製造・技術投資を2500億ドル以上へと大幅に増額する計画を明らかにしました。HBM4はデータチャネル数の増加とインターフェース速度の向上により、AIワークロードの性能と電力効率を劇的に向上させます。

▶ シニアテクニカルアナリスト

MicronのHBM4量産開始は、AIメモリ市場における競争がHBM3EからHBM4世代へと本格的に移行したことを示します。NVIDIAへの出荷は、Micronが技術的リーダーシップを確立しつつあることを裏付け、日本のHBM関連材料・装置メーカーにとっては新たなビジネス【機会】となります。ただし、HBM4の製造はTSVや高精度ボンディングなど極めて複雑なプロセスを要し、歩留まりや装置供給がボトルネックとなる【脅威】は継続します。Micronの巨額投資は、米国内でのサプライチェーン強化を目指すものであり、日本のサプライヤーはグローバルな競争環境の変化に迅速に適応し、技術革新と供給体制の強化を継続する必要があります。

深掘り ③ — Samsungの次世代AIメモリ「zHBM」発表

#09 | 2026/08/12 | Samsung Semiconductor | 技術新規性●●●●● 実用化距離●●○○○ 市場インパクト●●●●●
データ信頼性●●●●○ 日本関連度●●●○○

SamsungはFMS 2026で、ロジックとメモリを3D統合する革新的なAIメモリアーキテクチャ「zHBM」と、HBM4E/HBM5を含む次世代HBMロードマップを発表しました。zHBMはデータ移動の物理的距離を短縮し、従来のデータ移動ボトルネックを劇的に軽減することでAI処理性能を飛躍的に向上させる可能性を秘めています。

zHBMはHBMスタック自体または隣接領域にロジック機能の一部を直接統合することを想定しており、HBM4E/HBM5はデータチャネル数増加やインターフェース速度向上でさらなる高帯域幅を提供します。この技術は大規模言語モデル（LLM）などの計算とメモリ間のデータ転送速度がボトルネックとなる問題を根本的に解決することを目指します。

▶ シニアテクニカルアナリスト

SamsungのzHBMは、ロジックとメモリの3D統合という点で学術的ブレークスルーに近い技術新規性があり、AIシステム設計のパラダイムを大きく変える【機会】を秘めています。データ移動ボトルネックの根本的解決は、AI性能向上に不可欠です。しかし、zHBMはまだ応用研究段階であり、実用化には5年以上かかる可能性が高いです。超高密度な3D統合は、熱管理、電力供給、製造歩留まり、そしてテストの複雑性といった未解決課題が山積しており、これらを克服するための材料、装置、設計技術の革新が不可欠です。日本の材料・装置メーカーにとっては、この革新的な技術に対応するための先行研究開発が【機会】となる一方、技術トレンドを見誤ると【脅威】にもなり得ます。

その他の注目記事

AI需要がCoWoSとSoICの供給を逼迫：2027年には世界需要が250万枚超へ倍増し、10-20%の不足予測
技術新規性●●○○○ 実用化距離●●●●● 市場インパクト●●●●●

AI GPU/アクセラレータの需要急増により、TSMCのCoWoS/SoIC供給が2027年まで10-20%不足する見込み。日本の材料・装置メーカーは供給能力増強の好機。

イビデン、AIサーバー向けABF基板に5,000億円投資を決定、2028年以降の需給逼迫に備え
技術新規性●●○○○ 実用化距離●●●●○ 市場インパクト●●●●○

AI基板世界首位のイビデンが2028年までに5,000億円を投資しABF基板を増産。2029年以降の供給不足懸念に対応する日本企業の戦略的動き。

ECTC 2026が示す先端パッケージングの未来：ガラス基板とFOPLPがシステム革新の中心に
技術新規性●●●●○ 実用化距離●●○○○ 市場インパクト●●●●●

半導体イノベーションの焦点がパッケージングへシフト。ガラス基板とFOPLPがHPC/AI向け次世代高密度PKGプラットフォームとして注目される。

サムスン電機、AIチップ向けガラス基板で新光電気工業と競合、2028年量産目標も品質認証・歩留まりが課題
技術新規性●●●●○ 実用化距離●●●○○ 市場インパクト●●●●●

サムスン電機がAIチップ向けガラス基板で新光電気工業と競争。2028年量産目標も品質認証と歩留まりが課題。日本企業にとって競争激化の兆し。

Intel Foundry、FoverosとEMIB先端パッケージングでAIデータセンター向けコンピューティング性能を強化、2026年にはEMIB-T導入へ
技術新規性●●●●○ 実用化距離●●●○○ 市場インパクト●●●●●

IntelがFoveros/EMIBでAIデータセンター向けPKGを強化。2026年導入のEMIB-Tで電力効率と信号ルーティングを改善しHBMサポートを強化。

今週のアクション提案

記事評価マトリクスと機会/脅威分析を踏まえたアクション提案です。

即時（今週中）

- 【調達】AIチップおよびHBMのサプライヤーに対し、2027年までの供給見通しと価格動向について緊急ヒアリングを実施し、リスク評価を更新すること。
- 【R&D;】ガラス基板、PLP、ハイブリッドボンディング関連の最新技術動向を再調査し、自社技術との関連性や潜在的機会を評価するタスクフォースを招集すること。
- 【経営企画】AI半導体サプライチェーンのボトルネック（ABF基板、ボンディング装置等）が自社の事業に与える影響を分析し、短期的な対応策を検討すること。

短期（1ヶ月）

- 【R&D;】HBM4および次世代メモリ（zHBM）の技術ロードマップを詳細に分析し、自社の材料・装置開発戦略への影響を評価するレポートを作成すること。
- 【部品メーカー】AIチップメーカーの先端パッケージング（CoWoS, SoIC, Foveros, EMIB）の採用動向を把握し、自社製品の互換性向上や新製品開発の方向性を検討すること。
- 【調達】ABF基板やHBM関連の主要材料・装置サプライヤー（味の素、イビデン、HANMI等）との関係を強化し、長期的な供給契約や共同開発の可能性を探ること。

中長期（四半期〜）

- 【経営企画】米国のCHIPS法など、各国の半導体政策がグローバルサプライチェーンに与える影響を分析し、自社の海外事業戦略や投資計画に反映させること。
- 【R&D;】ガラス基板やPLP技術の実用化に向けた研究開発投資計画を策定し、潜在的なパートナーシップやM&A;の機会を検討すること。
- 【半導体PKG】AIシステム全体の信頼性と検証（3DIC検証）の重要性が高まる中、自社のテスト・品質管理プロセスを強化し、システムレベルでのソリューション提供能力を検討すること。

troy-technical.jp 独自キュレーション。記事著作権は各原著作者に帰属。 | Gemini API + Claude | 2026-08-16

半導体後工程 採用記事全文集

出力日: 2026-08-16

採用記事数: 35 件

収録記事一覧

#01 TSMC、CoWoSパッケージングで98%超の歩留まり達成、ABF基板が新たなボトルネックに浮上

#02 NVIDIAの次世代Feynman AIプラットフォーム加速、TSMCがSoIC月産5万枚へ増強体制

#03 AI需要がCoWoSとSoICの供給を逼迫：2027年には世界需要が250万枚超へ倍増し、10-20%の不足予測

#04 イビデン、AIサーバー向けABF基板に5,000億円投資を決定、2028年以降の需給逼迫に備え

#05 KLA、先進パッケージング事業で2026年に売上11億ドルを予測、AI・HBM需要が牽引

#06 Applied Materials、2026年第3四半期売上91.2億ドルを達成し、半導体後工程の需要増に対応するため生産能力を倍増へ

#07 JEDECがHBM4パッケージ高さを775µmに緩和、12-Hi/16-HiスタックがCu-Cuハイブリッドボンディングなしで可能に

#08 TSMCのCoWoS/SoIC技術がAIチップ供給の主要ボトルネック、2027年には世界需要の最大20%が供給不足予測

#09 Samsung、FMS 2026でロジック・メモリ3D統合の次世代AIメモリ「zHBM」とHBM4E/HBM5ロードマップを発表

#10 TSMCが先端パッケージング能力を3年間で倍増、SamsungはBroadcomと2nm/先端パッケージング協業を拡大

#11 TSMC、CoWoS 5.5xプロセスでAI関連製品98-99%の歩留まり達成、2029年までに14倍レティクルサイズに拡張へ

#12 Micron、36GB 12層HBM4の量産を開始しNVIDIA Vera Rubinに出荷、米国に2500億ドル超の半導体投資を拡大

#13 Samsung、HBM4への積極投資で来年のHBM市場トップシェア獲得へ動く、NVIDIA/AMDも関心

#14 ECTC 2026が示す先端パッケージングの未来：ガラス基板とFOPLPがシステム革新の中心に

#15 SEMI Europe APC 2026がAIシステム性能を駆動するパワー・インターコネクト革新を議論：2.5D/3D統合、チップレット、ヘテロジニアス統合が鍵

#16 SK Hynix、HBM市場60%超シェアを背景にHBM4価格を70%引き上げ、米韓で約70億ドルのパッケージング投資を加速

#17 AIがパネルレベルパッケージング（PLP）とガラスコア基板へのシフトを加速、次世代パッケージングの主軸に

#18 Samsung、HBM4の歩留まりが初期60%未満から80%へ急改善、SK Hynixの労使交渉難航でAIメモリ競争激化

#19 2026年のチップ危機がハードウェア業界に警鐘：AI需要が半導体サプライチェーンを再構築

#20 2026年のHBM供給危機、AIハードウェア展開の主要ボトルネックとして2027年まで継続予測

#21 Bonafide Research、グローバル3D/2.5D ICパッケージング市場がUCIe標準で加速、2031年まで成長予測

#22 IDTechEx、2.5D/3D半導体パッケージングの新トレンド分析：ガラスインターポーザとハイブリッドボンディングが進化を牽引

#23 IMAPS Device Packaging Conference 2026が3D/2.5Dパッケージングの最新動向を詳述：FOPLP、ハイブリッドボンディングが需要を牽引

#24 HBM供給不足、ボンディング装置の長期バックログと低歩留まりがボトルネック：2027年までAI需要を制約か

#25 サムスン電機、AIチップ向けガラス基板で新光電気工業と競合、2028年量産目標も品質認証・歩留まりが課題

#26 サムスン電機、AIデータセンター需要で半導体パッケージ基板稼働率が前年比19ポイント増の89%に急上昇

#27 アプライドマテリアルズ、2026年先端パッケージング売上成長率予測を70%超に上方修正ーAI半導体投資がHBM・多層パッケージに拡大

#28 米商務省、AI・先端コンピューティング・半導体パッケージング分野の7社に最大8億7400万ドルの奨励金を供与意向

#29 サムスン電機、ベトナム工場でAI半導体用先端パッケージ基板生産能力を2.4倍に拡大

#30 ASMPT、2026年上半期に先端パッケージング事業がAI需要で過去最高の売上を達成ーPLPを次世代成長ドライバーに

#31 Intel Foundry、FoverosとEMIB先端パッケージングでAIデータセンター向けコンピューティング性能を強化、2026年にはEMIB-T導入へ

#32 2026年世界の半導体設備投資、AI推論需要急増で前年比30%増の2400億ドルに到達予測ー先端パッケージングが成長牽引

#33 NXP Semiconductors、マレーシア後工程工場を倍増へー2028年第1四半期稼働で生産能力を大幅強化、レゾナックもAI向け材料46%増収

#34 2026年6月の世界半導体売上高が2.2倍の1345億ドルで過去最高を記録ーTSMC CoWoS歩留まり99%超もHBM・ABF基板がボトルネックに

#35 TSMC、OCP APAC 2026でAI先端パッケージング競争はシステムレベルの信頼性と検証へと移行と発表ー3DIC検証の重要性を強調

#01 TSMC、CoWoSパッケージングで98%超の歩留まり達成、ABF基板が新たなボトルネックに浮上

公開日 2026年08月12日　Xenospectrum　台湾



概要

TSMCは、先進パッケージング技術CoWoSにおいて、5.5倍レティクルサイズのAIチップ向け製品で98%以上の高い歩留まりを安定的に達成したと発表しました。これによりCoWoSの生産能力は3年連続で倍増し、需要に「非常に近い」水準に達していますが、サプライチェーンの制約はHBMメモリからABF基板へと移行しています。同社はSoIC技術の量産も拡大しており、6ミクロンのハイブリッドボンディングピッチが既に量産され、2029年までに4.5ミクロンへの縮小を計画しています。ABF基板の供給不足がAIチップ拡張の新たな主要な制約となるため、味の素を含むサプライヤーは2030年までの供給能力拡大と、それ以降の需要を見据えた新工場建設を計画しています。

詳細

主要成果

TSMCは、先進パッケージング技術であるCoWoSにおいて、5.5倍レティクルサイズを用いた複数のAI顧客製品で98%を超える非常に高い歩留まりを安定的に達成していることを公表しました。これにより、CoWoSの生産能力は過去3年間で毎年倍増し、現在の需要レベルに極めて近づいています。しかし、半導体サプライチェーンにおけるボトルネックは高帯域幅メモリ（HBM）からABF（Ajinomoto Build-up Film）基板へと移行しており、これが今後のAIチップ拡張における主要な制約となる見込みです。

技術・臨床詳細

TSMCの先進パッケージング担当副社長であるHe Jun氏によると、同社のCoWoS技術は、特にAI関連の高性能チップにおいて卓越した生産効率を示しています。加えて、TSMCのSoIC（System-on-Integrated-Chips）技術も急速な成長期に入っており、既に6ミクロン（μm）のハイブリッドボンディングピッチでの量産を実現しています。この技術はさらに進化し、2029年までには4.5ミクロンへのピッチ縮小を目指しており、これによりより高密度な3D積層が可能となります。CoWoSの今後の拡張ロードマップでは、2029年までに14倍レティクルサイズへの対応が計画されており、さらなる大規模AIチップの統合が期待されます。

背景・業界文脈

AI需要の爆発的な増加は、高性能チップのパッケージング技術への要求を飛躍的に高めています。CoWoSのような2.5D/3Dパッケージング技術は、複数のダイ（論理、メモリなど）を高度に統合することで、データ転送速度の向上と消費電力の削減を実現します。しかし、この複雑なパッケージングには、特定の材料と製造装置が不可欠です。これまでHBMの供給がボトルネックとされてきましたが、その生産能力が着実に向上する一方で、ABF基板の供給が新たな懸念事項として浮上しています。ABFは、高性能パッケージ基板の絶縁材料として不可欠であり、AIプロセッサの処理能力向上に伴い、より大型で複雑な基板が必要とされています。

今後の展望

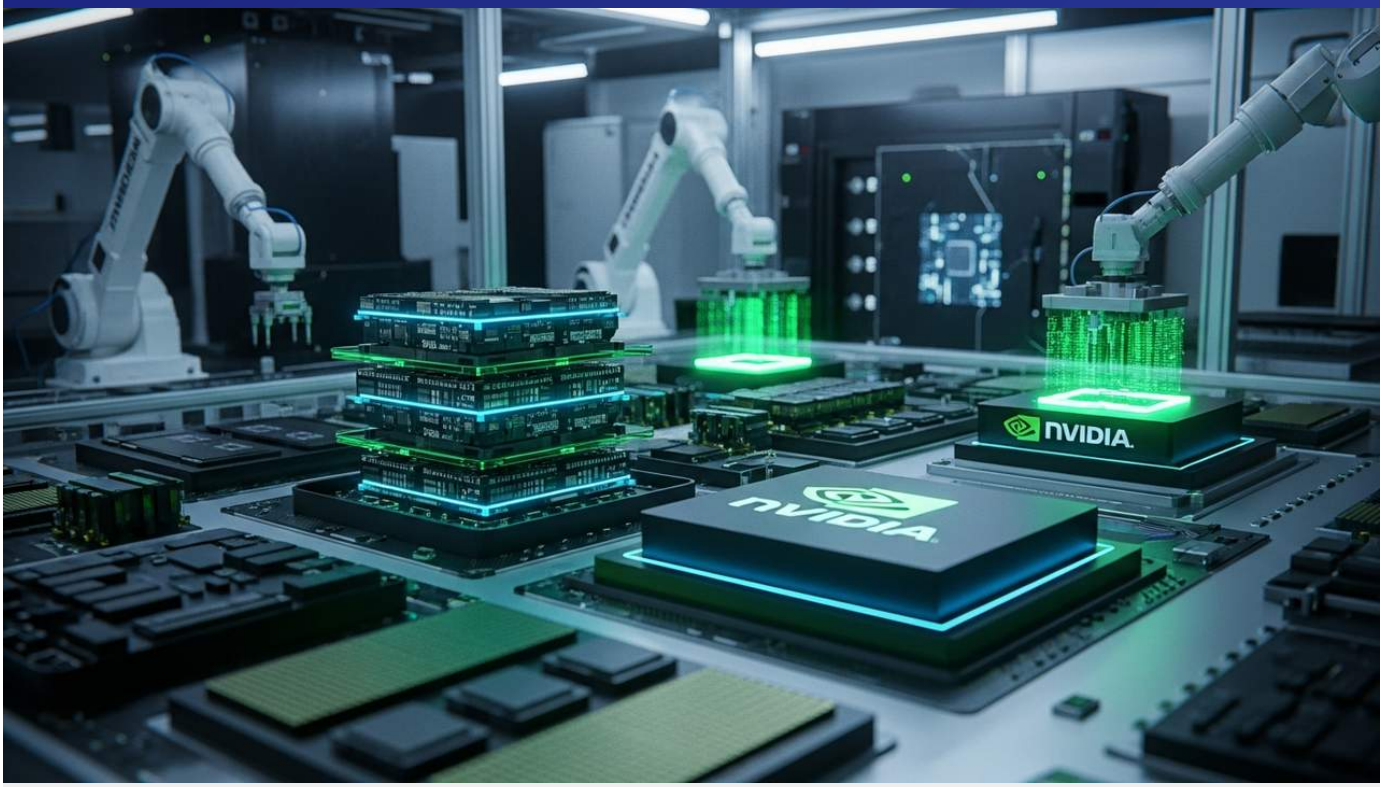
ABF基板の供給不足に対処するため、世界最大のABF供給企業である味の素は、2030年までに群馬工場を含む既存施設での生産能力を段階的に拡大する計画です。さらに、2030年以降の需要に対応するため、第3の工場建設も検討されており、長期的な供給安定化を目指しています。TSMCのSoIC技術の進化とCoWoSの拡張計画は、将来のAIおよびHPC（ハイパフォーマンスコンピューティング）チップの性能向上を支える基盤となりますが、サプライチェーン全体のバランス、特にABFのような重要材料の安定供給が、今後の半導体産業の成長を左右する重要な課題となります。

元記事: https://xenospectrum.com/en/tsmc-cowos-memory-abf-bottlenecks/

収集日: 2026年08月14日 | 自動記事収集・翻訳システム (Gemini API使用)

#02 NVIDIAの次世代Feynman AIプラットフォーム加速、TSMCがSoIC月産5万枚へ増強体制

公開日 2026年08月14日　Benzinga　台湾



概要

NVIDIAが次世代AIプラットフォーム「Feynman」のロードマップを前倒しで加速しており、TSMCはこれに対応するため先進パッケージング能力を大幅に増強しています。TSMCは特にSoIC技術の生産能力を急拡大し、嘉義のAP7と南部科学園区のAP8施設の建設を加速。サプライチェーン情報筋によると、SoICの月間生産能力は2027年末までに現在の20,000枚から50,000枚に上方修正される見込みです。この増強は、NVIDIAのA16プロセス採用とSoIC 3Dスタッキング、さらにはコパッケージドオプティクス（CPO）技術の統合を支えるものです。

詳細

主要成果

NVIDIAは、次世代AIプラットフォーム「Feynman」の展開ロードマップを前倒しで加速させており、2028年後半のデビューを目標としています。これに対応するため、TSMCはSoIC（System-on-Integrated-Chips）を含む先進パッケージング能力の急拡大を進行中です。具体的には、嘉義のAP7および南部科学園区のAP8施設の建設が急ピッチで進められており、TSMCのSoIC月間生産能力は2027年末までに約50,000枚へと大幅に増強される見込みです。

技術・臨床詳細

NVIDIAのFeynmanプラットフォームは、TSMCの最先端A16プロセスを直接採用し、SoIC 3Dスタッキング技術とコパッケージドオプティクス（CPO）技術の統合を大幅に増加させることが特徴です。SoICは、複数のチップレットを垂直方向に積層するTSMCの先進的な3Dチップレット技術であり、これによりデータ転送効率と電力効率を大幅に向上させます。CPOは、光インターコネクトをパッケージ内に直接統合することで、チップ間の通信速度を飛躍的に高める技術です。これらの技術は、AIチップの性能を次世代レベルへと引き上げる上で不可欠であり、TSMCの能力増強はNVIDIAの革新的なAI製品の市場投入を強力に後押しします。

背景・業界文脈

AI需要の爆発的な増加は、半導体業界に前例のないパッケージング能力の要求をもたらしています。特に、AIアクセラレータは大量のデータを高速に処理する必要があるため、CoWoS（Chip-on-Wafer-on-Substrate）やSoICのような先進パッケージング技術への依存度が非常に高いです。NVIDIAがFeynmanプラットフォームの投入を加速している背景には、AI市場における激しい競争と、より高性能なAIインフラへの喫緊のニーズがあります。TSMCの能力増強は、このような市場の圧力に対応し、AI半導体サプライチェーンにおける自身のリーダーシップを確固たるものにするための戦略的な動きです。

今後の展望

TSMCは、SoIC、CoWoS-L、そして次世代のCoPoS（Chip-on-Pacakge-on-Substrate）技術といった多様な先進パッケージングソリューションの能力を準備しています。SoICの月間生産能力を2026年末の20,000枚から2027年末までに50,000枚に増強する計画は、今後のAIチップの供給安定化と性能向上に大きく貢献するでしょう。この積極的な投資と技術開発は、半導体後工程におけるイノベーションを加速させ、AI時代におけるcomputing power の新たなベンチマークを設定する可能性を秘めています。

元記事: https://www.benzinga.com/markets/tech/26/08/61201714/nvidias-next-gen-feynman-ai-platform-is-ramping-up-forcing-tsmc-to-race-ahead-report

収集日: 2026年08月14日 | 自動記事収集・翻訳システム (Gemini API使用)

#03 AI需要がCoWoSとSoICの供給を逼迫：2027年には世界需要が250万枚超へ倍増し、10-20%の不足予測

公開日 2026年08月11日　Exponential Industry　アメリカ



概要

TSMCのCoWoSおよびSoIC先進パッケージング技術は、AI GPUおよびアクセラレータの生産における主要な物理的制約となっています。世界のCoWoS需要は2026年の130万～140万枚から2027年には250万～270万枚へと倍増すると予測されており、供給は依然として需要に対し10～20%不足する見込みです。TSMCは嘉義に追加の先進パッケージング施設を建設中であり、ASE/SPILやAmkorといったOSATパートナーも能力増強を進めていますが、需給ギャップは解消されていない状況です。

詳細

主要成果

TSMCが提供するCoWoSおよびSoICといった先進パッケージング技術は、現在、AI GPUおよびアクセラレータの製造において最も顕著な物理的制約となっています。世界のCoWoS需要は、2026年の年間130万～140万枚から、わずか1年後の2027年には250万～270万枚へとほぼ倍増すると予測されており、この需要急増に対応するため供給サイドでは大規模な投資が行われています。しかしながら、これらの努力にもかかわらず、先進パッケージングの供給は今後も需要に対して10～20%不足する可能性が高いと見られています。

技術・臨床詳細

CoWoS（Chip-on-Wafer-on-Substrate）は、複数のチップをインターポーザー上で水平に配置し、HBM（高帯域幅メモリ）などを統合する2.5Dパッケージング技術の代表です。一方、SoIC（System-on-Integrated-Chips）は、チップレットを垂直に積層するTSMC独自の3Dパッケージング技術であり、より高密度な統合と短い配線経路を実現します。AIアプリケーションの要求性能が飛躍的に向上するにつれて、これらの技術はAIプロセッサの処理能力と効率を最大化するために不可欠となっています。特に、GPUやAIアクセラレータでは、数百ギガバイト/秒、テラバイト/秒レベルのメモリ帯域幅が必要とされ、CoWoSによるHBM統合がその鍵を握っています。

背景・業界文脈

AIモデルの複雑化と大規模化に伴い、従来の2Dパッケージングでは性能限界に達しており、先進パッケージング技術への移行が加速しています。データセンターやクラウドインフラにおけるAIワークロードの拡大が、高性能AIチップの需要を牽引しており、これがCoWoSおよびSoICパッケージング能力に対する前例のない要求に繋がっています。TSMCは、この需要に対応するため、嘉義に新たな先進パッケージング施設を建設するなどの大規模な投資を進めています。また、ASE/SPILやAmkorといった主要なOSAT（Outsourced Semiconductor Assembly and Test）プロバイダーも、協調して能力増強を図っていますが、需要の伸びが供給増強を上回るペースで進んでいるのが現状です。

今後の展望

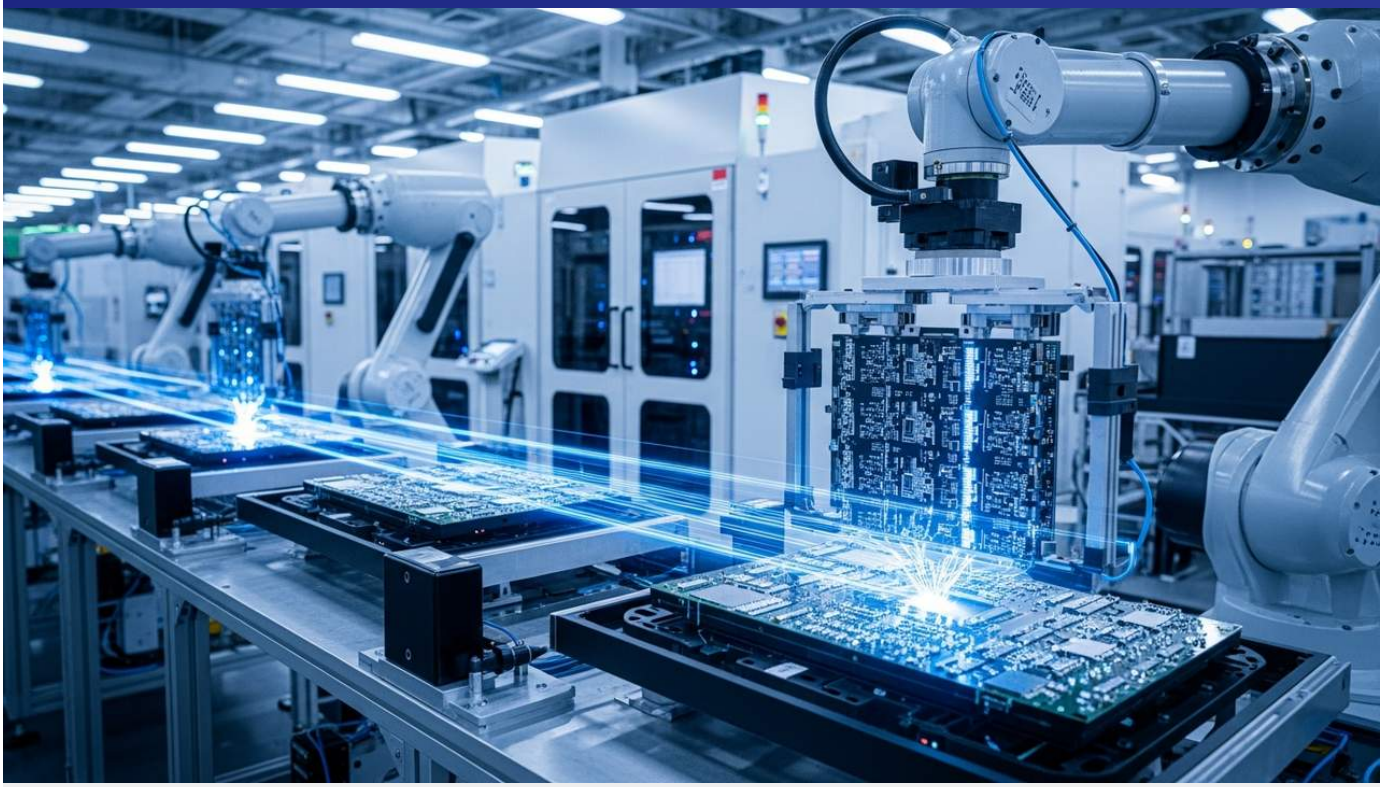
先進パッケージングの需給ギャップは、短期的にAIチップの出荷量と市場拡大に影響を与える可能性があります。この状況は、TSMCやOSAT企業にさらなる投資を促すだけでなく、新たなパッケージング材料や装置の開発競争を激化させる要因ともなります。また、顧客企業はサプライチェーンのリスクを分散するため、複数のサプライヤーとの関係強化や、自社内でのパッケージング技術開発への投資も検討する可能性があります。長期的に見れば、このボトルネックは、パッケージング技術のさらなる革新と、より効率的な生産プロセスの確立を加速させる原動力となるでしょう。

元記事: https://exponentialindustry.com/blog/2026-08-10-tsmc-cowos-soic-ai-advanced-packaging-bottleneck/

収集日: 2026年08月14日 | 自動記事収集・翻訳システム (Gemini API使用)

#04 イビデン、AIサーバー向けABF基板に5,000億円投資を決定、2028年以降の需給逼迫に備え

公開日 2026年08月06日　MK　日本



概要

世界最大のAI基板メーカーであるイビデンは、AIサーバーおよび高性能サーバー向けICパッケージ基板の生産能力拡大のため、今年から2028年までに5,000億円を投資すると発表しました。顧客は2028年までのABF基板が長期契約で確保されているにもかかわらず、2029年および2030年を見越した供給不足への懸念から、基板メーカーにさらなる早期の能力増強や共同設備投資を求めています。ABF基板の強力な需要は、真空ラミネート装置の受注を急増させ、Eternal Precision Mechanicsなどの関連企業にも大きな影響を与えています。

詳細

主要成果

AI基板メーカー世界首位のイビデンは、AIサーバーおよび高性能サーバー向けのICパッケージ基板の生産能力を大幅に拡大するため、今年から2028年までの期間で総額5,000億円という大規模な投資を行う計画を明らかにしました。これは、AI関連需要の爆発的な増加がもたらすABF（Ajinomoto Build-up Film）基板の深刻な供給不足に対処し、将来的な市場の要求に応えるための戦略的な動きです。

技術・臨床詳細

ABF基板は、高性能な半導体パッケージの絶縁材料として不可欠であり、特にAIチップや高性能CPU/GPUにおいて、多数の配線層と微細な回路形成を可能にします。現在の高性能半導体は、より多くのコアと高いI/O密度を必要とし、これに対応するためには、より大型で複雑なABF基板が求められています。イビデンの投資は、主にこのような先進的なABF基板の生産ラインを強化し、需要に応じた供給量を確保することを目的としています。顧客企業は、すでに2028年までのABF基板を長期契約で確保しているものの、その後の2029年および2030年における需要逼迫への懸念から、イビデンを含む基板メーカーに対し、さらなる早期の能力増強や、場合によっては共同での設備投資を積極的に要請しています。

背景・業界文脈

AIの進化は、半導体業界全体に広範な影響を与えており、特に後工程におけるパッケージング技術とそれに伴う材料の重要性が増しています。ABF基板は、TSMCのCoWoSのような2.5D/3Dパッケージングにおいて不可欠なコンポーネントであり、AIチップの性能を最大限に引き出す上でボトルネックとなる可能性が指摘されていました。この強い需要は、ABF基板の製造に用いられる真空ラミネート装置の受注も急増させており、Eternal Materials傘下のEternal Precision Mechanicsなどの関連装置メーカーにも大きなビジネスチャンスをもたらしています。また、TSMCの幹部も、HBMメモリと並びABFが半導体業界で最も深刻な不足の一つであると繰り返し言及しており、イビデンがこの状況の主要な受益者であると確認されています。

今後の展望

イビデンの大規模投資は、AIインフラの発展を支える上で極めて重要です。この投資により、2028年までの供給体制は安定化に向かうものの、2029年以降もAI需要の勢いは衰えないと予想されており、業界全体でのさらなる協調と投資が必要となるでしょう。味の素も2030年までにABFの供給能力を段階的に拡大し、その後を見据えた第3の工場を計画するなど、主要サプライヤーが供給安定化に努めています。ABF基板の安定供給は、次世代AIチップの開発と量産における決定的な要因となり、半導体サプライチェーン全体のレジリエンスを高める上で不可欠な要素です。

元記事: https://www.mk.co.kr/en/business/12119467

収集日: 2026年08月14日 | 自動記事収集・翻訳システム (Gemini API使用)

#05 KLA、先進パッケージング事業で2026年に売上11億ドルを予測、AI・HBM需要が牽引

公開日 2026年08月10日　Quartz　アメリカ



概要

KLA Corporationは、AIインフラ投資と半導体複雑化の加速に支えられ、先進パッケージング事業の収益が2026年には約11億ドルに達すると予測しており、前年比70%以上の成長を見込んでいます。特に、CoWoSや新興のSoICパッケージング技術における強力な需要が、ハイブリッドボンディングやナノメートルレベルの精度に対応する高度な検査・計測ツールへの移行を促しています。AI支出、HBM、および先進パッケージングが、2027年までKLAの力強い成長を牽引し続けると予想されています。

詳細

主要成果

KLA Corporationは、AIインフラへの大幅な投資と半導体デバイスの複雑化の進展を背景に、先進パッケージング事業が著しい成長を遂げると予測しています。同社は、半導体プロセス制御ポートフォリオからの先進パッケージング関連収益が、2025年の約6億3500万ドルから、2026年には約11億ドルにまで増加すると見込んでおり、これは前年比で70%以上の成長に相当します。

技術・臨床詳細

KLAの成長は、特にTSMCのCoWoSや、今後普及が加速するSoICといった最先端パッケージング技術への強い需要によって牽引されています。これらの技術は、ダイ間のハイブリッドボンディングや、ナノメートルレベルの極めて高い精度でのアライメント、検査、計測を要求します。KLAのプロセス制御システムは、これらの厳しい要件を満たすために不可欠な存在であり、パッケージングプロセスの各段階における欠陥検出と計測において重要な役割を果たします。半導体デバイスの集積度と価値が高まるにつれて、生産歩留まりを最大化するための高度なプロセス制御の重要性が構造的に増大しており、KLAはその恩恵を享受しています。

背景・業界文脈

AIやHPC（高性能コンピューティング）の需要が爆発的に拡大する中で、半導体チップの性能向上は微細化だけでなく、先進パッケージング技術の進化に大きく依存するようになっています。特に、HBM（高帯域幅メモリ）の採用拡大や、チップレットアーキテクチャの普及は、パッケージングの複雑さを増し、より高度な検査・計測ソリューションを必要としています。KLAは、半導体製造プロセスの初期段階から後工程のパッケージングに至るまで、幅広いプロセス制御ソリューションを提供しており、この市場の変化に迅速に対応しています。競合他社と比較しても、KLAの包括的なポートフォリオと技術的優位性が、急速に成長する先進パッケージング市場でのリーダーシップを確立しています。

今後の展望

KLAは、AI関連の設備投資、HBMの需要増加、および先進パッケージング市場の拡大が、2027年まで同社の力強い収益成長を牽引し続けると予想しています。半導体産業全体の構造的な変化、すなわちデバイスの複雑化と価値の向上は、プロセス制御の重要性を永続的に高めるでしょう。KLAは、このトレンドに乗じて、研究開発への継続的な投資を通じて、次世代のパッケージング技術が要求する新たな課題に対応するソリューションを提供し続けることで、長期的な成長を維持する戦略です。これにより、同社は先進パッケージング市場における主導的な地位をさらに強化すると考えられます。

元記事: https://qz.com/can-kla-s-advanced-packaging-strength-support-1b-revenue-target

収集日: 2026年08月14日 | 自動記事収集・翻訳システム (Gemini API使用)

#06 Applied Materials、2026年第3四半期売上91.2億ドルを達成し、半導体後工程の需要増に対応するため生産能力を倍増へ

公開日 2026年08月13日　GlobeNewswire　アメリカ



概要

Applied Materialsは、2026年第3四半期（7月末まで）に売上高91.2億ドルを計上し、前年比25%増を達成し市場予想をわずかに上回りました。同社は、DRAM、最先端ファウンドリロジック、および先進パッケージング市場において強力なリーダーシップと次世代ソリューションを有しており、2027年以降も力強い収益とマージン成長を予測しています。AIコンピューティング能力インフラストラクチャの拡大に牽引され、需要増加に対応するため、半導体システムの四半期生産量を2028年までに現在のレベルから倍増させる計画です。

詳細

主要成果

Applied Materialsは、2026年第3四半期（7月末まで）の決算を発表し、売上高は前年比25%増の91.2億ドルに達し、市場予想をわずかに上回る堅調な業績を記録しました。この成長は主にAIコンピューティング能力インフラストラクチャの拡大に牽引されており、特にDRAM、最先端のファウンドリロジック、および先進パッケージング装置への需要が押し上げられています。同社は、需要の増加に対応するため、2028年までに半導体システムの四半期生産量を現在のレベルから倍増させるという野心的な製造能力増強計画を発表しました。

技術・臨床詳細

Applied Materialsは、半導体製造装置のリーディングカンパニーとして、特にDRAM、ロジック半導体の先端プロセス、そして先進パッケージング分野において、業界をリードする革新的なソリューションを提供しています。先進パッケージング技術、例えばTSMCのCoWoSやSoICのような2.5D/3Dインテグレーションには、精密な薄膜堆積、エッチング、検査などの工程が不可欠であり、Applied Materialsはそのための高精度な装置を供給しています。同社の技術は、HBM（高帯域幅メモリ）の積層やチップレットの統合など、複雑化する後工程の要求に対応し、次世代AIチップの性能向上と量産を支える基盤となっています。

背景・業界文脈

AI、HPC、データセンターインフラへの世界的な投資が加速する中、半導体産業は歴史的な成長局面を迎えています。特に、AIアクセラレータは大量のデータを高速かつ効率的に処理するために、先進的なプロセシング能力だけでなく、高度なパッケージング技術を必要とします。Applied Materialsの好調な業績は、このような市場の動向を正確に捉え、技術革新と生産能力拡大の両面で戦略的に対応してきた結果です。同社は、長年にわたり培ってきた技術的専門知識と広範な顧客基盤を背景に、サプライチェーン全体で重要な役割を担っています。

今後の展望

Applied Materialsは、2027年以降もDRAM、最先端ファウンドリロジック、および先進パッケージング市場において、力強い収益とマージンの成長を支える強力なリーダーシップポジションと革新的な次世代ソリューションのパイプラインを有していると強調しています。2028年までに四半期生産量を倍増させるという製造能力への追加投資計画は、AI時代の持続的な半導体需要に応えるための長期的なコミットメントを示しています。この戦略的な拡大は、同社が今後も半導体産業の成長を牽引し、先進技術の普及に貢献していくことを示唆しています。

元記事: https://ir.appliedmaterials.com/news-releases/news-release-details/applied-materials-announces-third-quarter-2026-results

収集日: 2026年08月14日 | 自動記事収集・翻訳システム (Gemini API使用)

#07 JEDECがHBM4パッケージ高さを775µmに緩和、12-Hi/16-HiスタックがCu-Cuハイブリッドボンディングなしで可能に

公開日 2026年08月12日　Exponential Industry　アメリカ



概要

JEDECはHBM4のパッケージ高さ仕様を720 µmから775 µmへと緩和し、これによりCu-Cuハイブリッドボンディングを直ちに必要とせずに12-Hiおよび16-HiスタックのHBMモジュールを実現できるようになりました。HBMはTSVとマイクロバンプを介して3D積層DRAMダイを使用し、TSMC CoWoSのような2.5Dインターポーザーを通じてアクセラレーターに接続されます。各ベンダーはSK HynixのMR-MUF、SamsungとMicronのTCB-NCFなど、独自のボンディング手法を採用しています。

詳細

主要成果

JEDEC（電子デバイス技術評議会）は、HBM4（High Bandwidth Memory 4）のパッケージ高さに関する仕様を、従来の720 µmから775 µmへと緩和することを決定しました。この変更は、現在の主流である銅-銅（Cu-Cu）ハイブリッドボンディング技術を即座に採用することなく、より多くのDRAMダイを積層した12-Hiおよび16-Hiスタックの HBMモジュールを実現するための重要なステップです。これにより、HBMの容量と性能をさらに向上させる柔軟性が提供されます。

技術・臨床詳細

HBMは、TSV（Through-Silicon Via）とマイクロバンプを介して複数のDRAMダイを3次元的に積層する先進的なメモリ技術です。この積層されたHBMダイは、TSMCのCoWoS（Chip-on-Wafer-on-Substrate）のような2.5Dインターポーザーを介して、GPUやAIアクセラレーターなどのロジックチップに接続されます。このアーキテクチャは、極めて高いメモリ帯域幅と低い消費電力を実現します。JEDECによるパッケージ高さの緩和は、HBMメーカーがより多くのダイをスタックする際に、パッケージング工程の複雑性やコスト増加を一時的に抑えつつ、容量増加を達成できる道を拓きます。現在、HBM製造にはベンダー固有のボンディング手法が用いられており、例えばSK HynixはMR-MUF（Mass Reflow-Molded Underfill）を、SamsungとMicronはTCB-NCF（Thermo-Compression Bonding with Non-Conductive Film）を採用しています。これらの技術は、微細なバンプピッチで高い接続信頼性を確保するために最適化されています。

背景・業界文脈

AI、HPC、データセンターといった高性能コンピューティング分野の急速な発展は、メモリ帯域幅と容量に対する要求を指数関数的に高めています。HBMは、その優れた性能により、これらの要求を満たすためのデファクトスタンダードとなっています。JEDECによる仕様緩和は、HBMのさらなる進化を促進し、将来のAIアクセラレーターがより大規模なモデルを効率的に処理できるようになるための環境を整えるものです。また、チップレットアーキテクチャの採用が加速する中で、単一パッケージ内での複数のダイのヘテロジニアスインテグレーション（異種統合）が一般的になりつつあり、5ミクロン以下の相互接続精度への需要を促進しています。この動向は、HBMと先進パッケージング技術の重要性をさらに高めています。

今後の展望

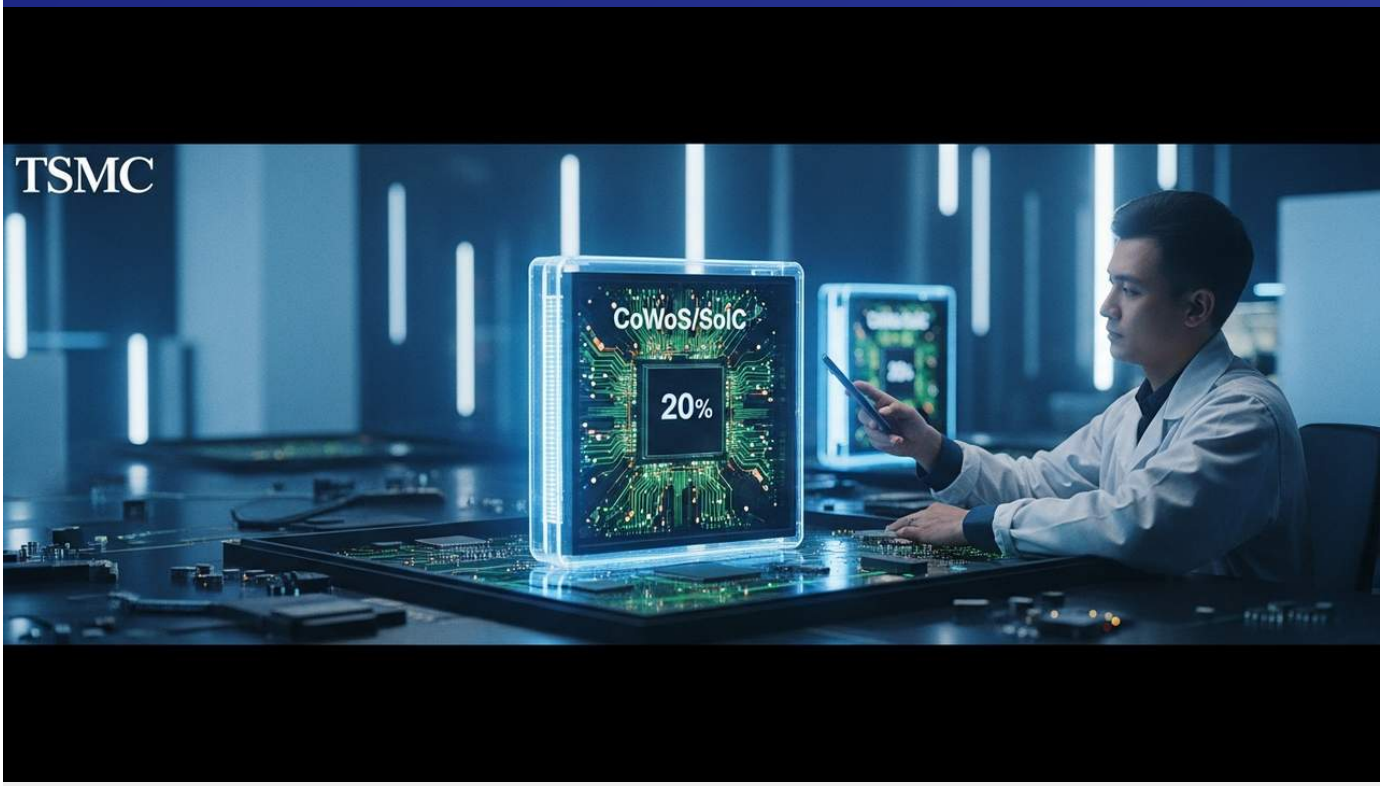
HBM4のパッケージ高さ緩和は、HBMメーカーにとって、より高容量のHBM製品を開発・量産する上での技術的な障壁を一時的に軽減します。これにより、HBMの市場投入サイクルが加速し、AIやHPC分野におけるイノベーションがさらに推進される可能性があります。長期的には、Cu-Cuハイブリッドボンディングのようなより高度な接続技術への移行は避けられないものの、今回の緩和は、その移行期間における技術的な橋渡しとなるでしょう。HBMの進化は、半導体後工程におけるパッケージング技術の革新と、材料開発、装置開発の加速を促し、次世代AIインフラの性能向上に不可欠な役割を担い続けると考えられます。

元記事: https://exponentialindustry.com/blog/2026-08-11-hbm-stacking-architecture-packaging-market-guide/

収集日: 2026年08月14日 | 自動記事収集・翻訳システム (Gemini API使用)

#08 TSMCのCoWoS/SoIC技術がAIチップ供給の主要ボトルネック、2027年には世界需要の最大20%が供給不足予測

公開日 2026年08月11日　Exponential Industry　台湾



概要

TSMCのCoWoSおよびSoICパッケージング技術が、AI GPUおよびアクセラレータ生産における主要な物理的制約となっていることが明らかになりました。世界のCoWoS需要は2026年の130万～140万ウェーハから2027年には250万～270万ウェーハへと倍増すると予測されています。この急増する需要に対し、TSMCとOSATパートナーによる供給増強をもってしても、2027年には10～20%の供給不足に直面すると見込まれています。これにより、AIハードウェアの展開は深刻なボトルネックに直面し続ける可能性があります。

詳細

主要成果

TSMCが提供するCoWoSおよびSoICといった先端パッケージング技術が、AI GPUおよびアクセラレータの生産において極めて重要な、かつ主要な物理的制約となっていることが指摘されています。特に、世界のCoWoSパッケージング需要は2026年の130万～140万ウェーハから、2027年には250万～270万ウェーハへとほぼ倍増する見込みです。この急速な需要拡大に対し、TSMC単独およびOSAT（Outsourced Semiconductor Assembly and Test）パートナーの供給能力を最大限に活用しても、2027年には市場全体で10～20%の深刻な供給不足が発生すると予測されており、AI産業の成長ペースを左右するボトルネックが継続する見通しです。

技術・臨床詳細

CoWoS（Chip-on-Wafer-on-Substrate）は、主にHBM（High Bandwidth Memory）とGPUなどのロジックダイをシリコンインターポーザ上にマイクロバンプフリップチップボンディングで接続する2.5Dパッケージング技術です。これにより、高密度なメモリとプロセッサの統合が可能となり、AIワークロードに不可欠な高い帯域幅と低遅延を実現します。一方、SoIC（System-on-Integrated-Chips）は、CoWoSよりもさらに高度な3Dスタッキング技術であり、サブミクロンピッチでの直接銅-銅ハイブリッドボンディングを採用しています。この技術は、ダイ間を極めて微細なピッチで直接接続することで、データ転送効率を最大化し、システム全体の性能を飛躍的に向上させます。これらの技術は、複雑なAIモデルの処理能力を向上させるために不可欠であり、半導体業界におけるシステム統合の最前線に位置しています。

背景・業界文脈

AI技術の急速な進化と普及は、高性能なAI半導体に対する爆発的な需要を生み出しています。NVIDIAのAI GPUや同様のアクセラレータは、その性能を最大限に引き出すために、TSMCのCoWoSやSoICのような先端パッケージング技術に大きく依存しています。しかし、これらの複雑なパッケージングプロセスは、専門的な設備、高度な技術、そして長い製造リードタイムを必要とするため、生産能力の迅速な増強が難しいという課題があります。TSMCは世界最大のファウンドリとして、先端パッケージング市場で圧倒的なシェアを占めていますが、それでもAI需要の急激な伸びには追いつけない状況が続いています。OSAT企業も投資を拡大していますが、技術的な難易度が高く、すぐにTSMCの能力を補完することは困難です。

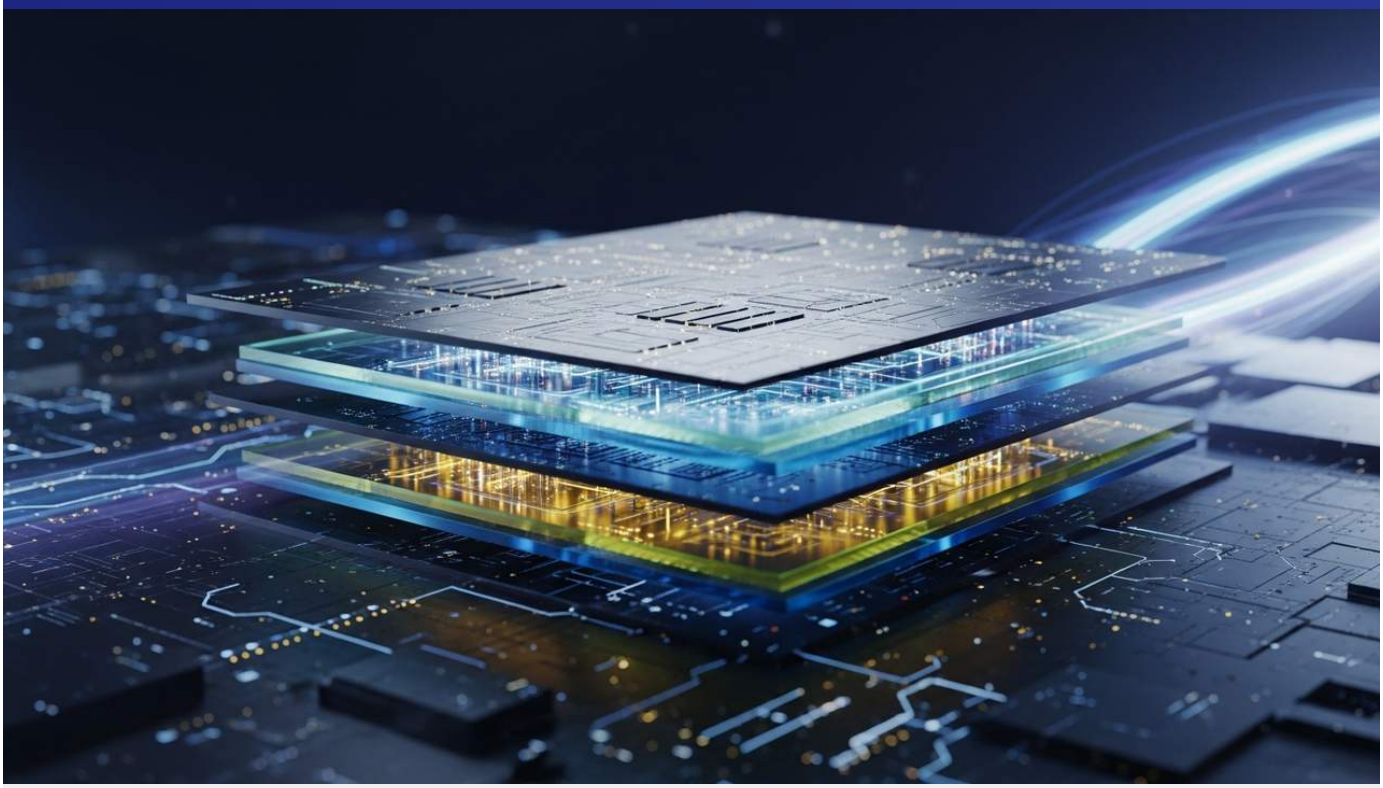
今後の展望

CoWoSとSoICの供給不足は、AI業界にとって短期から中期的な最大の課題となるでしょう。このボトルネックは、AIチップの価格高騰、製品供給の遅延、そしてAIインフラ投資の減速につながる可能性があります。TSMCとOSAT企業は今後も生産能力増強に多額の投資を行うと予想されますが、2027年以降も需要が供給を上回る状況が続く可能性が高いです。業界は、新たなパッケージング技術の開発、サプライチェーンの多様化、そしてより効率的なリソース配分を通じて、この課題を克服することが求められています。また、将来的には、より高い統合度と効率性を備えた次世代パッケージングソリューションが、この供給制約を緩和する鍵となるでしょう。

元記事: https://vertexaisearch.cloud.google.com/grounding-api-redirect/AUZIYQHodwvDy4xioEjjl05wjHfgv-dEWDJY0EXhk8MV65O07YQMBVwmxz-Ij1-6Ok8EZ3zzPzxudrgHpv3md76_TRMN1xq9z32-NCw5RNhwDTHB_1wVsOw6xvSMvUNn7MOPM4-PrJB4eJISMLCDiNR0pi1wwjxlxNxUQMqHqIgXqrNnzUCziAIAWg5xKMnTzCUd5qFzl2NdI9-Rw1OdqA==

#09 Samsung、FMS 2026でロジック・メモリ3D統合の次世代AIメモリ「zHBM」とHBM4E/HBM5ロードマップを発表

公開日 2026年08月12日　Samsung Semiconductor　韓国



概要

SamsungはFMS 2026において、次世代HBMであるHBM4EとHBM5を含むHBMロードマップを発表し、3Dメモリアーキテクチャによる AIインフラのビジョンを提示しました。特に、ロジックとメモリを3D統合する革新的なAIメモリアーキテクチャ「zHBM」を披露し、データ移動の物理的距離を短縮するソリューションとして注目されています。この技術は、従来のシステムにおけるデータ移動ボトルネックを劇的に軽減し、AI処理性能を飛躍的に向上させる可能性を秘めています。Samsungは、この技術を基盤として次世代AI市場でのリーダーシップ確立を目指します。

詳細

主要成果

Samsungは、FMS 2026（Flash Memory Summit 2026）において、AIインフラの未来を再定義する野心的な3Dメモリアーキテクチャのビジョンを発表しました。特に注目すべきは、HBM4EとHBM5を含む次世代HBM（High Bandwidth Memory）のロードマップと、ロジックとメモリを革新的な方法で3D統合する「zHBM」と呼ばれる新しいAIメモリアーキテクチャの発表です。このzHBMは、従来のシステムにおけるデータ移動の物理的距離を短縮することで、データ移動ボトルネックを大幅に軽減し、AI処理の効率を劇的に向上させることを目指しています。

技術・臨床詳細

zHBMアーキテクチャは、ロジックダイと複数のDRAMダイを垂直方向に積層する従来のHBM構成を超え、ロジック機能の一部をHBMスタック自体、またはその隣接領域に直接統合することを想定しています。これにより、データがDRAMとメインプロセッサ間を移動する際の物理的距離と遅延が最小限に抑えられます。現在のHBM技術では、HBMスタックはプロセッサとシリコンインターポーザを介して接続されますが、zHBMはさらに緊密な統合により、データ帯域幅を劇的に向上させ、電力効率を高めます。HBM4EおよびHBM5は、それぞれデータチャネル数の増加やインターフェース速度の向上により、さらなる高帯域幅を提供し、AIアクセラレータの性能要件に対応します。これらの技術は、例えば大規模言語モデル（LLM）や複雑なニューラルネットワークのトレーニングにおいて、計算とメモリ間のデータ転送速度がボトルネックとなる問題を根本的に解決する可能性を秘めています。

背景・業界文脈

AIワークロード、特に深層学習モデルの計算規模が拡大するにつれて、プロセッサとメモリ間のデータ転送速度（メモリ帯域幅）がシステムの全体的な性能を制限する主要因となっています。HBM技術は、このボトルネックを緩和するために開発され、AI GPUやHPCアプリケーションで広く採用されてきました。しかし、HBM3Eの登場後も、AIの進化は止まらず、さらなる帯域幅と効率が求められています。SamsungのzHBMや次世代HBMの取り組みは、このような市場の要求に応えるものであり、AI半導体市場における同社の競争力を高める戦略の一環です。競合他社も同様に次世代メモリ技術や3D統合ソリューションの開発を進めており、この分野は半導体業界の最重要戦場となっています。

今後の展望

zHBMのような3D統合メモリアーキテクチャは、将来のAIシステム設計において不可欠な要素となるでしょう。データ移動ボトルネックの解消は、AIモデルのトレーニング時間短縮、推論効率の向上、そしてより大規模で複雑なAIモデルの実現に直結します。Samsungは、ファウンドリ、メモリ、および先端パッケージング技術を統合したターンキーソリューションを提供することで、AI時代におけるリーダーシップを強化しようとしています。今後、zHBMがAIアクセラレータにどのように実装され、その性能が実証されるかが注目されます。この技術は、AIだけでなく、HPCやエッジAIデバイスなど、広範なアプリケーション分野に革命をもたらす可能性を秘めています。

元記事: https://semiconductor.samsung.com/news-events/tech-blog/samsung-presents-its-vision-for-next-generation-ai-infrastructure-with-3d-memory-architecture-at-fms-2026/

収集日: 2026年08月16日 | 自動記事収集・翻訳システム (Gemini API使用)

#10 TSMCが先端パッケージング能力を3年間で倍増、SamsungはBroadcomと2nm/先端パッケージング協業を拡大

公開日 2026年08月13日　BigGo Finance　台湾



概要

TSMCは過去3年間、毎年先端パッケージング生産能力を倍増させてきたことを明らかにしましたが、高まるAI半導体需要にはまだ十分に対応できていないと述べました。同社は現在、世界中で10の専用先端パッケージング施設を運営しています。一方、Samsung ElectronicsはHBM供給の強化に加え、Broadcomとの協業を拡大し、2nm以下の次世代ファウンドリプロセスと先端パッケージングを含む総合的な半導体ソリューションを提供します。また、Samsungはテキサス州テイラー工場での2nmプロセス量産インフラ構築を加速しており、AIチップ競争での巻き返しを図っています。

詳細

主要成果

TSMCは、AI半導体需要の急増に対応するため、過去3年間で毎年先端パッケージング生産能力を倍増させてきたと発表しました。しかし、同社は依然としてAI半導体需要に完全には追いついていないことを認め、供給不足が続いている状況を示唆しています。これに対し、Samsung Electronicsは、Broadcomとの戦略的協業を拡大し、HBM（High Bandwidth Memory）供給だけでなく、2nm以下の最先端ファウンドリプロセスと先端パッケージングを組み合わせた総合的なソリューション提供を目指しています。特に、Samsungは米国テキサス州テイラー工場で2nmプロセス技術の量産インフラ構築を加速しており、次世代AIチップ市場での競争力を強化する姿勢を鮮明にしています。

技術・臨床詳細

TSMCの先端パッケージング能力は、主にCoWoS（Chip-on-Wafer-on-Substrate）やSoIC（System-on-Integrated-Chips）といった2.5D/3D統合技術に集中しており、これらはAI GPUやアクセラレータの性能向上に不可欠です。同社が世界中で運営する10の専用パッケージング施設は、これらの複雑なプロセスに対応するための大規模な投資と技術的専門知識を象徴しています。一方、Samsungの取り組みは、メモリ、ファウンドリ、およびパッケージングの各部門を統合した「ターンキーソリューション」戦略に基づいています。Broadcomとの協業拡大は、高性能なAIチップ設計に最適な2nmプロセス技術と、それを支える高度なHBMおよび先端パッケージング（例えば、I-Cubeのようなインターポーザベースのパッケージングや、将来的な3Dスタッキング）を組み合わせることで、顧客にワンストップで高性能なAIソリューションを提供することを目指しています。テキサス州テイラー工場への投資は、この2nm技術の量産化を確実にするための重要なステップであり、特にゲート・オール・アラウンド（GAA）トランジスタ技術の導入が注目されます。

背景・業界文脈

AIの爆発的な成長は、半導体業界に大きな構造変化をもたらしており、従来のプロセッサ性能だけでなく、HBMなどの高性能メモリ、そしてそれらを統合する先端パッケージング技術が、AIチップの性能と供給を左右する重要な要素となっています。TSMCは長らく先端パッケージング分野のリーダーとして市場を牽引してきましたが、需要の急増により供給制約が顕在化しています。Samsungは、メモリ、ファウンドリ、パッケージングの三位一体の強みを活かし、TSMCの牙城を崩すべく積極的な投資と戦略的提携を進めています。Broadcomは高性能ネットワークチップやAIアクセラレータを手がける主要企業であり、Samsungとの協業拡大は、AIチップのエコシステム全体に大きな影響を与える可能性があります。特に、2nmプロセス技術は、性能と電力効率において次世代のAIチップにとって極めて重要であり、この分野での量産能力の確保は競争優位性を確立する上で決定的な要因となります。

今後の展望

TSMCとSamsungの間の先端パッケージングおよびプロセス技術競争は、今後数年間でさらに激化すると予想されます。TSMCは既存のCoWoS/SoIC能力を拡大し続ける一方で、ABF基板のようなサプライチェーンの新たなボトルネックへの対処が課題となります。Samsungは、2nmプロセス技術の早期量産とBroadcomのような主要顧客との協業強化を通じて、AI半導体市場でのシェア拡大を目指します。この競争は、AIチップの性能向上とコスト効率化を加速させ、最終的にはAIアプリケーションのさらなる普及を後押しすることになるでしょう。両社の投資競争は、半導体製造装置メーカーや材料サプライヤーにも大きなビジネスチャンスをもたらします。

元記事: https://finance.biggo.com/news/d0aa8655-6d69-45dd-8169-1be4da3c1792

収集日: 2026年08月16日 | 自動記事収集・翻訳システム (Gemini API使用)

#11 TSMC、CoWoS 5.5xプロセスでAI関連製品98-99%の歩留まり達成、2029年までに14倍レティクルサイズに拡張へ

公開日 2026年08月12日　Wccftech　台湾



概要

TSMCのHo Chun副社長は、CoWoS 5.5xプロセスで組み立てられた複数のAI関連製品が、98%から99%という非常に高い歩留まりを達成したと発表しました。これは、極めて複雑な先端パッケージング技術におけるTSMCの卓越した製造能力を示すものです。同副社長はまた、パッケージング能力をフォトマスクサイズの3倍以上に拡張する際の課題に言及しつつ、TSMCが2029年までにCoWoS技術を14倍レティクルサイズへと大幅に拡張する計画であることを明らかにしました。この計画は、将来のAIチップのさらなる高性能化に対応するための戦略的な動きです。

詳細

主要成果

TSMCのHo Chun副社長は、同社のCoWoS（Chip-on-Wafer-on-Substrate）5.5倍レティクルサイズプロセスを使用して組み立てられた複数のAI関連製品において、驚異的な98%から99%の歩留まりを達成していることを公式に発表しました。この数値は、AIチップのような複雑なヘテロジニアスインテグレーション（異種統合）パッケージングにおいて、業界最高水準の製造効率と品質をTSMCが実現していることを明確に示しています。さらに、Ho副社長は、2029年までにCoWoS技術を現在の5.5倍から14倍レティクルサイズへと大幅に拡張する野心的なロードマップを明らかにしました。

技術・臨床詳細

CoWoSは、高性能ロジックダイとHBM（High Bandwidth Memory）をシリコンインターポーザ上に統合する2.5Dパッケージング技術であり、AIアクセラレータの性能を最大化するために不可欠です。この技術における98%～99%という歩留まりは、マイクロバンプフリップチップボンディング、シリコンインターポーザ製造、およびその後のパッケージング工程におけるTSMCの成熟したプロセス制御能力と高度な自動化を示唆しています。パッケージング能力をフォトマスクサイズの3倍以上に拡張する際の課題として、例えば、大型インターポーザの製造における反り管理、多層構造の整合性、および熱管理の複雑さなどが挙げられます。TSMCが計画する14倍レティクルサイズへの拡張は、単一パッケージ内にさらに多くのAIチップレットやHBMスタックを統合することを可能にし、次世代AIモデルが要求する膨大な計算能力とメモリ帯域幅に対応するために極めて重要です。このスケールアップは、製造装置、材料、およびプロセス技術のさらなる革新を必要とします。

背景・業界文脈

AI、特に生成AIの急速な発展は、高性能なAI半導体に対する需要を爆発的に高めています。これらのAIチップは、演算能力だけでなく、メモリ帯域幅と効率性が極めて重要であり、CoWoSのような先端パッケージング技術がそのボトルネックとなっています。TSMCの高い歩留まり達成は、同社がこの困難な市場要求に応える能力を持っていることを示し、AIチップの供給能力安定化に貢献します。競合他社も先端パッケージング分野への投資を加速させていますが、TSMCのCoWoS技術は依然として業界ベンチマークとしての地位を確立しています。今回の発表は、TSMCが将来のAI需要に対応するための長期的な戦略を持っていることを投資家や顧客に示すものであり、半導体サプライチェーン全体に安心感を与えるものです。

今後の展望

TSMCのCoWoS技術の継続的な進化、特に2029年までの14倍レティクルサイズへの拡張は、AIチップの性能と集積度を新たなレベルへと引き上げるでしょう。これにより、より大規模で複雑なAIモデルのトレーニングと推論が可能となり、AIアプリケーションの応用範囲がさらに広がると期待されます。ただし、このような大規模パッケージング技術の進展は、基板材料、冷却ソリューション、およびテスト手法の革新も同時に必要とします。TSMCのCoWoS戦略は、AI時代における同社のリーダーシップを確固たるものにする一方で、半導体業界全体の技術ロードマップと競争環境に大きな影響を与えることになります。

元記事: https://wccftech.com/tsmc-exec-makes-big-announcement-confirms-98-yield-for-cowos-packaged-ai-chips/

収集日: 2026年08月16日 | 自動記事収集・翻訳システム (Gemini API使用)

#12 Micron、36GB 12層HBM4の量産を開始しNVIDIA Vera Rubinに出荷、米国に2500億ドル超の半導体投資を拡大

公開日 2026年08月13日　openPR.com　アメリカ



概要

Micron Technologyは2026年3月に、最新世代の36GB 12層HBM4メモリの量産を開始し、NVIDIA Vera Rubinプラットフォーム向けに出荷していることを発表しました。この動きは、AIモデルの計算負荷増大に伴い、より大容量で高帯域幅のメモリへの市場移行が加速していることを示しています。Micronはまた、AI駆動の高度メモリ需要に対応するため、2035年までに米国における半導体製造・技術投資を2500億ドル以上へと大幅に増額する計画を明らかにしました。これにより、同社は次世代AIインフラにおけるリーダーシップを強化します。

詳細

主要成果

Micron Technologyは、2026年3月に革新的な36GB 12層HBM4メモリの量産を開始し、NVIDIAの次世代AIプラットフォームであるVera Rubin向けに既に出荷していることを発表しました。この重要なマイルストーンは、AIアクセラレータ市場におけるMicronの強力な地位と、高帯域幅メモリ技術の急速な進化を強調するものです。さらに、Micronは、AIによって加速される高度なメモリ需要に対応するため、2035年までに米国における半導体製造および技術研究開発への投資総額を2500億ドル以上へと大幅に増額する計画を明らかにしました。

技術・臨床詳細

HBM4は、従来のHBM3Eと比較して、データチャネル数の増加とインターフェース速度の向上により、大幅に高い帯域幅を提供します。Micronの36GB 12層HBM4は、12枚のDRAMダイを垂直に積層し、TSV（Through Silicon Via）技術とマイクロバンプボンディングを通じて統合されています。この高密度かつ高性能なメモリは、NVIDIA Vera Rubinのような最先端のAI GPUおよびアクセラレータが要求する膨大なデータ処理能力をサポートするために不可欠です。HBM4は、特に大規模言語モデル（LLM）のトレーニングや推論、HPC（High-Performance Computing）、データセンターアプリケーションなど、データ集約型のAIワークロードにおいて、計算速度と効率を劇的に向上させます。HBM4の採用は、AIシステムの全体的な性能を向上させるだけでなく、電力効率の改善にも寄与し、持続可能なAIインフラの構築に貢献します。

背景・業界文脈

AIモデルの複雑化と大規模化は、計算能力だけでなく、プロセッサとメモリ間のデータ転送速度がボトルネックとなる「メモリウォール」問題を引き起こしています。HBM技術は、この問題に対処するために開発され、AI半導体業界のデファクトスタンダードとなっています。HBM3Eが2026年も重要な技術であり続ける一方で、HBM4への移行は避けられない流れであり、主要メモリメーカー各社は生産と認定を加速させています。MicronのHBM4量産とNVIDIAへの出荷は、SK HynixやSamsungといった競合他社とのHBM市場における競争をさらに激化させることになります。米国における巨額の投資計画は、国内半導体製造能力の強化を目指す米国政府のCHIPS法などの政策と合致しており、サプライチェーンのレジリエンスを高める狙いもあります。

今後の展望

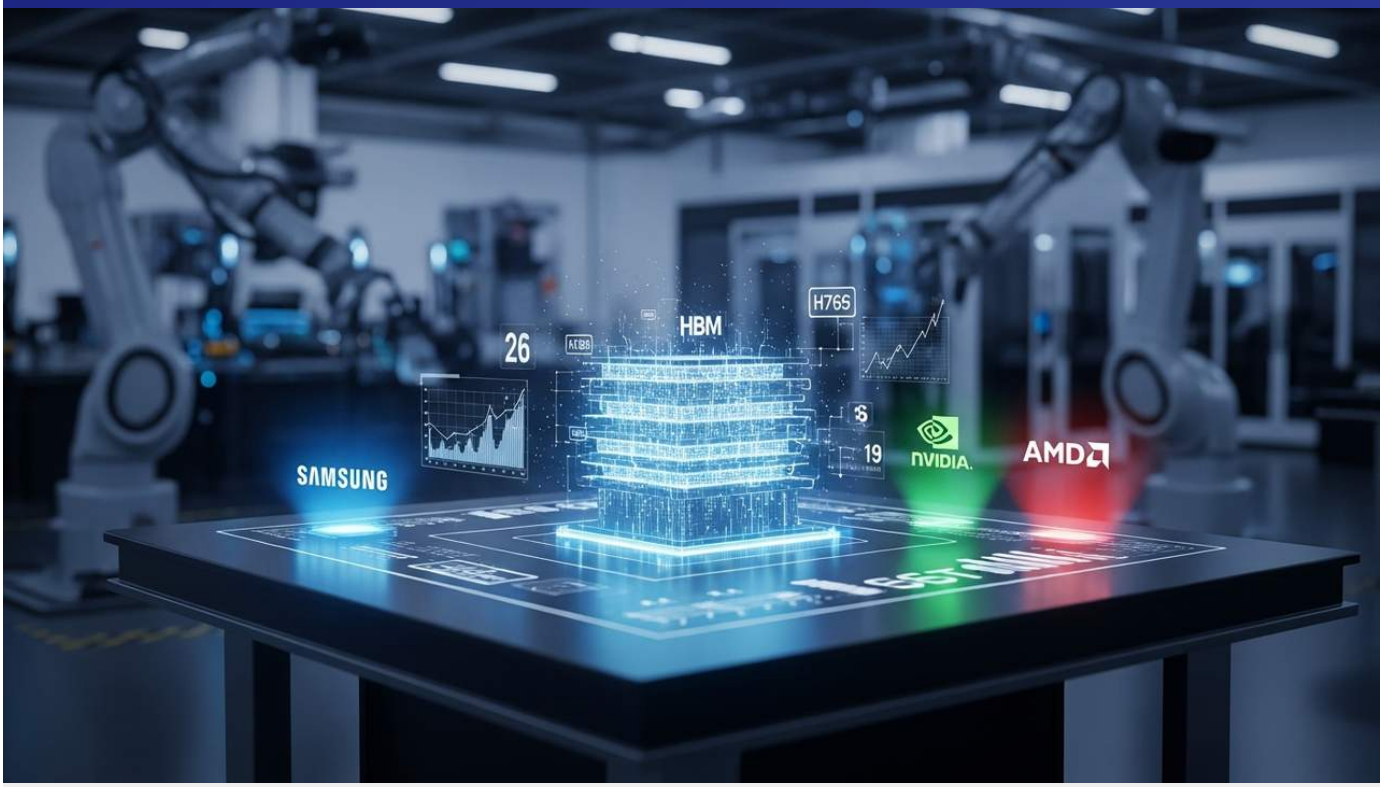
MicronのHBM4量産とNVIDIA Vera Rubinプラットフォームへの供給開始は、AIアクセラレータ市場の進化における重要な転換点を示しています。HBM4の普及は、AIアプリケーションの性能を飛躍的に向上させ、より高度なAIモデルの実現を可能にするでしょう。また、米国における2500億ドルを超える投資は、MicronがHBMだけでなく、広範な先端半導体技術において長期的なリーダーシップを確立しようとする強い意志を反映しています。これにより、同社は次世代AIインフラの需要に対応するための強固な基盤を築き、グローバルな半導体サプライチェーンにおけるその影響力をさらに拡大すると予想されます。今後、HBM4の市場シェア争いと技術革新が注目されます。

元記事: https://www.openpr.com/news/4602776/high-bandwidth-memory-market-2026-ai-accelerators-and-hbm4

収集日: 2026年08月16日 | 自動記事収集・翻訳システム (Gemini API使用)

#13 Samsung、HBM4への積極投資で来年のHBM市場トップシェア獲得へ動く、NVIDIA/AMDも関心

公開日 2026年08月08日　Sammy Fans　韓国



概要

UBSの予測によると、Samsung ElectronicsはHBM4への積極的な投資と生産拡大により、来年HBMメモリの世界トップメーカーになる可能性を秘めています。AIシステムのデータ処理量増加に伴いHBM需要が急速に拡大しており、HBM4への移行が主要な要因です。HBM4はデータチャネル数を従来の1,024から2,048に倍増させ、メモリとAIチップ間の高速データ移動を実現します。Samsungは製造施設への投資も強化しており、NVIDIAやAMDといった主要AIチップベンダーも同社のHBM4に強い関心を示しています。

詳細

主要成果

UBSの最新予測によると、Samsung Electronicsは、次世代HBM（High Bandwidth Memory）であるHBM4への積極的な投資と生産能力強化を通じて、来年にはHBMメモリの世界市場でトップシェアを獲得する可能性があります。これは、AIシステムのデータ処理量が爆発的に増加する中、より高性能なHBMに対する需要が急速に拡大していることが背景にあります。特に、HBM4技術への早期かつ大規模な移行が、Samsungの市場リーダーシップ獲得の主要な推進力となると見られています。NVIDIAやAMDといった主要なAIチップメーカーも、SamsungのHBM4技術に強い関心を寄せていると報じられています。

技術・臨床詳細

HBM4は、これまでのHBM世代と比較してデータ転送性能を大幅に向上させることを目指しています。最も重要な改善点の一つは、データチャネル数が従来のHBM3Eの1,024ビットから2,048ビットへと倍増されることです。これにより、メモリとAIチップ（GPUやASICなど）間のデータ帯域幅が飛躍的に拡大し、大規模なAIモデルのトレーニングや推論に不可欠な超高速データ移動が可能となります。HBM4は、複数のDRAMダイをTSV（Through Silicon Via）で垂直に積層し、微細なピッチで接続することで、高密度かつ高効率なメモリソリューションを提供します。Samsungは、このHBM4の生産能力を拡大するために、先端製造施設への投資を強化しており、歩留まり向上やコスト効率化にも注力しています。この技術は、AIデータセンター、HPC（High-Performance Computing）、および自動運転車載システムなどの分野で、メモリボトルネックを解消し、システム全体の性能を最大化する上で重要な役割を果たします。

背景・業界文脈

AIの進化は、半導体業界に大きな変革をもたらしており、プロセッサの計算能力だけでなく、HBMのような高帯域幅メモリの供給がAIチップの性能を決定づける主要因となっています。現在、HBM市場はSK Hynixが先行していますが、Samsungはメモリ、ファウンドリ、パッケージングの三位一体戦略を掲げ、HBM市場での巻き返しを図っています。HBM4は、次世代AIチップの重要な構成要素となるため、その開発と量産体制の構築は、主要メモリメーカーにとって極めて戦略的な意味を持ちます。NVIDIAやAMDといったAIチップのリーディングカンパニーがSamsungのHBM4に関心を示すことは、同社の技術力と供給能力に対する高い評価を反映しており、今後の市場シェア争いを一層激化させるでしょう。

今後の展望

SamsungのHBM4への大規模なコミットメントは、AIメモリ市場の競争環境を大きく変化させる可能性を秘めています。HBM4の早期量産と品質安定化、そして主要顧客への供給開始が実現すれば、SamsungはHBM市場での存在感を一気に高めることができます。来年の市場トップシェア獲得は、同社のAI時代におけるリーダーシップを確固たるものにする上で重要なマイルストーンとなるでしょう。この競争は、技術革新を加速させ、最終的にはより高性能で効率的なAIシステムが市場に投入されることに繋がります。HBM4世代での競争は、今後のAI産業全体の発展を左右する鍵となるでしょう。

元記事: https://www.sammyfans.com/2026/08/08/samsungs-hbm4-push-could-help-it-take-the-top-spot-next-year/

収集日: 2026年08月16日 | 自動記事収集・翻訳システム (Gemini API使用)

#14 ECTC 2026が示す先端パッケージングの未来：ガラス基板とFOPLPがシステム革新の中心に

公開日 2026年08月11日　Advanced Packaging Magazine　アメリカ



概要

ECTC 2026では、半導体イノベーションの焦点がトランジスタスケーリングからパッケージングと統合技術へと構造的に変化していることが強調されました。特に、ヘテロジニアスインテグレーション、ハイブリッドボンディング、先端基板、フォトニックパッケージング、熱管理における進歩が注目を集めています。次世代高密度パッケージングプラットフォームとして、ガラス基板とファンアウトパネルレベルパッケージング（FOPLP）がHPCおよびAIアプリケーション向けに大きな潜在力を秘めていると議論され、システム性能向上の鍵を握る技術として浮上しました。

詳細

主要成果

2026年の電子部品・技術会議（ECTC 2026）では、半導体業界のイノベーションが、従来のトランジスタ微細化から、先端パッケージングと統合技術へと大きくシフトしていることが明確に示されました。会議では、ヘテロジニアスインテグレーション（異種統合）、ハイブリッドボンディング、革新的な先端基板、フォトニックパッケージング、そして高度な熱管理ソリューションにおける最新の進歩が強調されました。特に、次世代の高密度パッケージングプラットフォームとして、ガラス基板とファンアウトパネルレベルパッケージング（FOPLP）が、HPC（High-Performance Computing）およびAIアプリケーションの性能向上に不可欠な技術として大きな注目を集めました。

技術・臨床詳細

ヘテロジニアスインテグレーションは、異なる機能を持つ複数のダイ（チップレット）を単一のパッケージ内に統合するアプローチであり、システムの全体的な性能、電力効率、および機能性を向上させます。ハイブリッドボンディングは、チップ間をサブミクロンレベルのピッチで直接銅-銅接合する技術で、従来のマイクロバンプに比べて接続密度を劇的に高め、データ転送速度を向上させます。ECTC 2026では、ガラス基板が次世代高密度パッケージングの有望なソリューションとして具体的に議論されました。ガラス基板は、シリコンインターポーザと比較して大面積化が容易であり、より優れた電気特性と機械的安定性を提供し、コスト効率の高い製造を可能にする潜在力を持っています。また、ファンアウトパネルレベルパッケージング（FOPLP）は、より大きなパネルサイズでチップをパッケージングすることで、ウェーハレベルパッケージングよりも多くのチップを一度に処理でき、製造コストを削減しつつ高集積化を実現する技術として注目されています。これらの技術は、AIプロセッサやHBM（High Bandwidth Memory）を統合した複雑なシステムにおいて、性能、電力、コストのバランスを最適化する上で不可欠です。

背景・業界文脈

ムーアの法則の限界が認識される中、半導体業界は、トランジスタの微細化だけでは性能向上を維持することが困難になってきています。このため、パッケージング技術がシステムレベルのイノベーションを推進する新たなフロンティアとして浮上しました。AIやHPCのような計算集約型アプリケーションの需要は、この傾向を加速させており、より高性能、高帯域幅、低遅延、そして高電力効率のパッケージングソリューションが求められています。ガラス基板やFOPLPのような新興技術は、従来の有機基板やシリコンインターポーザの限界を克服し、これらの要求に応えるための重要な鍵となります。学会での議論は、これらの技術が研究段階から実用化へと移行しつつあることを示しており、業界全体の方向性を決定づけるものとなります。

今後の展望

ガラス基板とFOPLPは、今後の先端パッケージング市場において重要な役割を果たすと予想されます。これらの技術は、AIアクセラレータ、データセンター、車載エレクトロニクスなど、高密度かつ高性能な半導体を必要とする分野での採用が加速するでしょう。特にFOPLPは、製造規模の経済性を通じて、高性能パッケージのコストを削減する潜在力も秘めています。今後数年間で、これらの技術の実用化に向けたさらなる研究開発と産業界での標準化が進むと見られます。ECTC 2026での議論は、これらの技術が半導体イノベーションの次なる波を形成し、システム性能の新たなパラダイムを確立する可能性を示唆しています。

元記事:
https://advancedpackaging.news/article/125052/Advanced_packaging_moves_to_the_center_of_system_innova

収集日: 2026年08月16日 | 自動記事収集・翻訳システム (Gemini API使用)

#15 SEMI Europe APC 2026がAIシステム性能を駆動するパワー・インターコネクト革新を議論：2.5D/3D統合、チップレット、ヘテロジニアス統合が鍵

公開日 2026年08月15日　SEMI Europe　ヨーロッパ



概要

2026年のAdvanced Packaging Conference (APC)では、AIシステム性能を実現するパワーとインターコネクトの革新が主要な議論のテーマとなりました。従来のデバイススケーリングが限界に達する中、システムレベルの性能スケーリングを維持するためには、先端パッケージング（AP）とテストの革新が鍵であると強調されました。
2.5D/3D統合、チップレットアーキテクチャ、ヘテロジニアス統合、および高度な基板と相互接続を通じて、業界は演算能力、帯域幅、および機能を大幅に向上させつつ、消費電力を削減できると提言されています。

詳細

主要成果

SEMI Europeが主催する2026年のAdvanced Packaging Conference (APC)において、AIシステムの高性能化を可能にするパワーマネジメントとインターコネクト技術の革新が中心的な議論となりました。従来のトランジスタ微細化によるデバイススケーリングが物理的・経済的限界に直面する中、システムレベルでの性能向上を継続するためには、先端パッケージング（AP）とテスト技術の革新が不可欠であることが強く認識されました。特に、2.5D/3D統合、チップレットアーキテクチャ、ヘテロジニアス統合、および高度な基板と相互接続技術が、演算能力、データ帯域幅、機能性を飛躍的に向上させると同時に、全体の消費電力を効果的に削減する上で鍵となると結論付けられました。

技術・臨床詳細

2.5D/3D統合技術は、異なる機能を持つ複数の半導体ダイをシリコンインターポーザ上に配置（2.5D）したり、垂直に積層（3D）したりすることで、単一チップの限界を超える集積度と性能を実現します。チップレットアーキテクチャは、特定の機能を持つ小さな「チップレット」を組み合わせてシステムオンチップ（SoC）を構成するもので、設計の柔軟性、歩留まり向上、そしてコスト削減に貢献します。ヘテロジニアス統合は、ロジック、メモリ、アナログ、RFなど異なるプロセスで製造されたチップレットを最適に組み合わせることで、システムの効率と性能を最大化します。これらの技術は、例えばHBM（High Bandwidth Memory）をAIプロセッサと統合するCoWoSのようなソリューションにおいて、データ移動のボトルネックを解消し、電力効率を向上させる上で極めて重要です。また、高度な基板技術は、微細配線と低損失の信号伝送を可能にし、高周波特性や熱管理能力を向上させます。精密なインターコネクト技術は、これらの複合的なパッケージング構造における信号の整合性と信頼性を確保するために不可欠です。

背景・業界文脈

AI、HPC（High-Performance Computing）、自動運転車、5G通信などの先進技術の発展は、半導体チップに対してこれまでにない性能、消費電力、フォームファクタの要求を課しています。伝統的なCMOSスケーリングのペースが鈍化する中、半導体業界は、パッケージングを単なる保護機能から、システム性能向上と機能拡張の主要なドライバーへと再定義しています。APC 2026での議論は、この業界全体のパラダイムシフトを反映しており、先端パッケージングがイノベーションの中心的な役割を担うようになったことを示しています。特に、高密度なパワー供給と信号伝送を実現するインターコネクトの技術革新は、AIアクセラレータの電力効率とスループットを決定づける上で極めて重要です。

今後の展望

先端パッケージングとテストの継続的な革新は、将来のAIおよびHPCシステムの性能スケーリングを維持するための絶対的な要件となります。2.5D/3D統合、チップレット、ヘテロジニアス統合といった技術は、今後数年間でさらに普及し、標準化が進むでしょう。これにより、設計者はより複雑で高性能なシステムを効率的に構築できるようになり、新しいアプリケーションと市場機会が創出されます。APC 2026で示された方向性は、半導体業界が、より持続可能で高性能な未来を築くために、パッケージングとインターコネクトの革新に重点を置くことを明確に示しています。

元記事: https://www.semiconeuropa.org/APC

収集日: 2026年08月16日 | 自動記事収集・翻訳システム (Gemini API使用)

#16 SK Hynix、HBM市場60%超シェアを背景にHBM4価格を70%引き上げ、米韓で約70億ドルのパッケージング投資を加速

公開日 2026年08月15日　SK Hynix (Facebook関連アカウント)　韓国



概要

SK Hynixは、HBM市場で60%以上の圧倒的なシェアを保持していることを背景に、2026年には次世代HBM4の価格を約70%引き上げると発表しました。同社はAI需要の急増に対応するため、ウェーハ生産能力を倍増させ、韓国に新たな工場を建設する計画です。さらに、米インディアナ州に38.7億ドル規模のパッケージング工場を建設し、AIメモリの供給ボトルネック緩和とHBM4の早期市場投入を目指します。HBM4は2026年に2048ビットインターフェースで速度を倍増させ、AIおよびHPC市場をターゲットとします。

詳細

主要成果

SK Hynixは、高帯域幅メモリ（HBM）市場において60%を超える圧倒的な市場シェアを保持していることを背景に、2026年には次世代HBMであるHBM4の価格を約70%引き上げると発表しました。この価格戦略は、AI需要の爆発的な増加とHBM供給の逼迫状況を反映しています。同社は、急増するAIメモリ需要に対応するため、ウェーハ生産能力を倍増させる計画であり、韓国に新たな製造工場を建設するほか、米国インディアナ州には38.7億ドル（約5500億円）を投じて先端パッケージング工場を建設する予定です。これらの投資は、AIメモリの供給ボトルネックを緩和し、HBM4の市場投入を加速することを目的としています。

技術・臨床詳細

HBM4は、現在のHBM3Eと比較して、データ帯域幅と効率性を大幅に向上させるように設計されています。特に、HBM4は2048ビットのインターフェース幅を特徴とし、これによりHBM3Eの1024ビットからデータ転送速度が理論上倍増します。この広帯域インターフェースは、AIプロセッサとメモリ間のデータ移動を最適化し、大規模言語モデル（LLM）のトレーニングや高解像度画像処理、科学シミュレーションといったHPC（High-Performance Computing）アプリケーションにおける計算ボトルネックを劇的に解消します。SK Hynixの先端パッケージング工場は、HBMの積層技術、特にTSV（Through Silicon Via）を用いたダイ間接続の微細化と信頼性向上に貢献します。インディアナ州の工場では、HBM4の生産能力を大幅に拡大するだけでなく、米国に強固なサプライチェーン基盤を構築し、地政学的リスクにも対応する狙いがあります。また、ウェーハ生産能力の倍増は、HBMに用いられるDRAMチップの供給を確保し、HBM4の量産体制を万全にするための不可欠なステップです。

背景・業界文脈

AIの進化は、半導体業界に構造的な変革をもたらしており、特に高帯域幅メモリの需要が供給を大幅に上回る状況が続いています。SK Hynixは、HBM技術のパイオニアの一つとして、NVIDIAなどの主要AIチップメーカーへの主要サプライヤーとなり、市場シェアを確立してきました。HBM4の価格引き上げは、同社の市場支配力と、今後もAIメモリ需要が堅調に推移するという強い自信の表れです。競合他社であるSamsungやMicronもHBM4の開発と生産能力増強に積極的であり、HBM市場における競争は激化しています。SK Hynixの米国への大規模投資は、米国政府の半導体製造奨励政策（CHIPS法など）にも合致し、サプライチェーンの地理的多様化と地域経済への貢献も期待されています。

今後の展望

SK HynixのHBM4価格引き上げと大規模投資は、AIメモリ市場のダイナミクスを大きく変える可能性があります。HBM4の2048ビットインターフェースは、AIおよびHPCアプリケーションの性能を飛躍的に向上させ、より複雑で要求の厳しいAIモデルの開発を可能にするでしょう。米国でのパッケージング工場建設は、グローバルサプライチェーンの強靭化に貢献し、AIチップの安定供給を支えます。今後、SK HynixがHBM4市場でどのような技術的リーダーシップを発揮し、競合他社との差別化を図るかが注目されます。この動きは、半導体製造装置メーカーや材料サプライヤーにも新たなビジネス機会をもたらし、AI時代の半導体産業の発展をさらに加速させるでしょう。

元記事: https://www.facebook.com/fb-answers/sk-hynix-hbm-ai-memory-outlook-2026/

収集日: 2026年08月16日 | 自動記事収集・翻訳システム (Gemini API使用)

#17 AIがパネルレベルパッケージング（PLP）とガラスコア基板へのシフトを加速、次世代パッケージングの主軸に

公開日 2026年08月15日　IEEE / Presentation　アメリカ



概要

半導体分野では、AI、車載エレクトロニクス、民生機器の需要増大により、先端パッケージングが性能向上、高集積化、小型化の重要な推進力として注目されています。この文脈で、パネルレベルパッケージング（PLP）やガラスコア基板といった次世代パッケージングプラットフォームが、業界の将来の方向性を形作る主要技術として浮上しています。PLPは製造コスト削減と超大型パッケージ対応の可能性で注目されていますが、反り管理や熱堅牢性などの課題も存在します。これらの技術は、AI時代の高性能チップに不可欠なソリューションとなります。

詳細

主要成果

AI、車載エレクトロニクス、および民生機器の需要急増に伴い、半導体業界において先端パッケージングが、チップ性能向上、高集積化、および小型化を実現するための最も重要な推進力として位置付けられています。特に、パネルレベルパッケージング（PLP）とガラスコア基板という二つの革新的な技術が、半導体パッケージングの将来の方向性を決定づける主要なプラットフォームとして浮上しています。PLPは製造コストの削減と超大型パッケージへの対応能力で大きな期待を集める一方、ガラスコア基板は高密度配線と優れた電気的特性を提供し、次世代の高性能チップにおいて不可欠な役割を果たすと期待されています。

技術・臨床詳細

パネルレベルパッケージング（PLP）は、チップを従来の円形ウェーハではなく、より大きな正方形または長方形のパネル上で製造・パッケージングする技術です。これにより、製造工程での材料利用効率が向上し、単位面積あたりのチップ数を増やすことで、最終的なパッケージングコストを削減できる可能性を秘めています。PLPは、特にファンアウト型パッケージングにおいて、大面積基板上での多数のチップ統合を容易にし、AIプロセッサやHBM（High Bandwidth Memory）などの大規模なヘテロジニアスインテグレーション（異種統合）に適しています。しかし、PLPでは、大面積基板の製造における反り管理、高精度なリソグラフィ、および熱堅牢性の確保といった技術的課題が依然として存在します。一方、ガラスコア基板は、従来の有機基板と比較して、より微細な配線パターン形成が可能であり、低誘電損失、高機械的強度、そして優れた熱安定性を提供します。これにより、高周波信号の伝送品質が向上し、高密度な配線が必要なAIチップやHPCアプリケーションにとって理想的なプラットフォームとなります。ガラスは、有機材料に比べて熱膨張係数が低いため、異なる材料間で発生する熱応力を低減し、パッケージの信頼性を向上させる効果も期待できます。

背景・業界文脈

ムーアの法則の減速が顕著になる中、半導体業界は、トランジスタの微細化以外の方法で性能向上を実現するための新たなアプローチを模索しています。先端パッケージングは、この課題に対する主要な解決策の一つであり、AIの爆発的な成長がその開発と採用を加速させています。AIチップは、膨大なデータを高速に処理するために、高性能なプロセッサ、大容量・高帯域幅のメモリ、そしてそれらを効率的に統合するパッケージング技術を必要とします。PLPやガラスコア基板は、従来のパッケージング技術の限界を突破し、これらの要求を満たすための次世代ソリューションとして位置付けられています。これらの技術への移行は、半導体製造装置メーカー、材料サプライヤー、および設計フロー全体に大きな影響を与え、サプライチェーン全体の変革を促しています。

今後の展望

パネルレベルパッケージングとガラスコア基板は、AI時代における高性能半導体の製造において不可欠な技術となるでしょう。PLPは製造コストと規模の経済性で、ガラスコア基板は電気的性能と信頼性で、それぞれ独自の強みを発揮します。今後数年間で、これらの技術における反り管理、熱設計、およびコスト効率の高い量産技術の開発がさらに進むと予想されます。これらの技術の成熟は、AIアクセラレータ、データセンター、エッジAIデバイス、そして自動運転車などの分野における半導体性能の飛躍的な向上を可能にし、新たなイノベーションの波を創出するでしょう。業界全体は、これらの技術が直面する課題を克服し、その潜在能力を最大限に引き出すために協調的な努力を続ける必要があります。

元記事: https://events.vtools.ieee.org/m/541765

収集日: 2026年08月16日 | 自動記事収集・翻訳システム (Gemini API使用)

#18 Samsung、HBM4の歩留まりが初期60%未満から80%へ急改善、SK Hynixの労使交渉難航でAIメモリ競争激化

公開日 2026年08月10日　TrendForce　台湾



概要

Seoul Economic Dailyの報道によると、SamsungのHBM4歩留まりが、量産開始時の60%未満からわずか数ヶ月で80%へと劇的に改善しました。これは、HBM供給が逼迫する中でSamsungが迅速なプロセス改善を達成したことを示します。同社は2026年末までに80%の歩留まり目標を設定していましたが、これを上回るペースで改善を達成しました。HBM4に使用される1c DRAMの歩留まりが80%を超えたことも、HBM4全体の歩留まり向上に大きく寄与しています。一方で、SK Hynixでは労使交渉が決裂し、ボーナス支払いをめぐって交渉が難航していると報じられており、HBM市場の競争に新たな側面を加えています。

詳細

主要成果

Seoul Economic Dailyの報道によると、Samsung Electronicsは、次世代高帯域幅メモリ（HBM）であるHBM4の歩留まりを、量産開始時の60%未満から、わずか数ヶ月で80%へと劇的に向上させました。これは、HBM供給が世界的に逼迫する中で、Samsungが極めて迅速なプロセス改善を達成し、2026年末に設定していた80%の目標を前倒しでクリアしたことを示しています。HBM4全体の歩留まり向上には、主要コンポーネントである1c DRAMチップの歩留まりが80%を超えたことが大きく貢献しています。この動きは、HBM市場におけるSamsungの競争力を大幅に強化するものです。一方で、競合のSK Hynixでは労使交渉が決裂し、特にボーナス支払いに関する交渉が難航していると報じられており、HBMサプライチェーンの安定性に新たな懸念材料が浮上しています。

技術・臨床詳細

HBM4は、複数のDRAMダイを垂直に積層し、TSV（Through Silicon Via）と呼ばれる微細な貫通電極で接続する複雑なパッケージング技術です。このプロセスは、極めて高い精度と厳しい品質管理が要求されるため、初期の歩留まりは一般的に低い傾向にあります。Samsungが達成した80%の歩留まりは、HBM4の複雑な製造プロセス（DRAMチップ製造、バンプ形成、ダイ積層、ハイブリッドボンディングなど）における同社の技術成熟度と最適化能力の高さを示しています。特に、HBM4に使用される1c DRAMは、最先端の10nmクラスプロセス技術で製造されており、その高い歩留まりは、個々のDRAMダイの品質が安定していることを意味します。これにより、多層積層後の最終的なHBM4パッケージの信頼性と性能が保証されます。Samsungは、メモリ設計、ファウンドリ製造、先端パッケージングの各部門を統合した「ターンキーシステム」を活用して、この急速な歩留まり改善を実現したと推測されます。HBM4は、NVIDIAの次世代AIチップであるVera Rubinなどに搭載され、データチャネル数の増加と帯域幅の拡大により、AIワークロードの性能を飛躍的に向上させることが期待されています。

背景・業界文脈

AIの爆発的な成長は、HBMのような高性能メモリに対する前例のない需要を生み出し、市場は構造的な供給不足に直面しています。HBMはAIアクセラレータの性能を左右する主要な構成要素であり、その供給能力と歩留まりは、AI産業全体の成長を決定づける要因となっています。SamsungとSK Hynixは、HBM市場における主要な競合他社であり、HBM4世代でのリーダーシップを確立するために熾烈な競争を繰り広げています。Samsungの急速な歩留まり改善は、同社がHBM市場でのシェア拡大に向けて強力な追い風を得たことを意味します。一方で、SK Hynixの労使交渉問題は、同社の生産計画や市場供給に潜在的な影響を与える可能性があり、AIチップメーカーにとって新たなリスク要因となるかもしれません。この状況は、HBMサプライチェーン全体のレジリエンスと、複数の供給元を確保することの重要性を浮き彫りにしています。

今後の展望

SamsungのHBM4歩留まりの大幅な改善は、AIメモリ市場における競争の激化と、同社の市場シェア拡大への強い意欲を示しています。これにより、NVIDIAなどの主要顧客へのHBM4供給が安定し、次世代AIチップの展開が加速されると期待されます。SK Hynixの労使問題が解決されれば、両社のHBM4量産競争はさらに白熱し、技術革新を加速させるでしょう。AIの需要は今後も高まる一方であり、HBM技術の進化と安定供給は、AI産業全体の発展にとって不可欠な要素となります。この競争は、半導体製造装置メーカーや材料サプライヤーにも大きなビジネスチャンスをもたらし、HBM技術のさらなる革新を促すことになります。

元記事: https://www.trendforce.com/news/2026/08/10/news-samsungs-hbm4-yield-reportedly-hits-80-as-race-to-supply-vera-rubin-heats-up-sk-hynix-labor-talks-add-a-twist/

収集日: 2026年08月16日 | 自動記事収集・翻訳システム (Gemini API使用)

#19 2026年のチップ危機がハードウェア業界に警鐘：AI需要が半導体サプライチェーンを再構築

公開日 2026年08月13日　Trax Technologies　アメリカ



概要

2026年のチップ危機は、現代のサプライチェーン運営が半導体供給に深く依存している現実を浮き彫りにしました。AIアクセラレータ、倉庫ロボット、自動運転車、IoTセンサーなど、あらゆるハードウェア依存の業務において、チップの可用性が企業の存続と成長に直結しています。この危機は、AI需要がメモリ、GPU、先端パッケージング、および関連インフラに対する需要を再形成する中で、半導体サプライチェーン全体にわたる構造的なシフトが起きていることを示唆しています。業界は、よりレジリエントで予測可能な供給体制の構築を迫られています。

詳細

主要成果

2026年に発生したチップ危機は、AIアクセラレータから自動運転車、IoTセンサーに至るまで、現代のあらゆるハードウェア依存型ビジネスが半導体供給に極めて深く依存していることを明確に示しました。この危機は単なる一時的な供給不足ではなく、AIの爆発的な需要がメモリ、GPU、先端パッケージング、および関連インフラに対する要求を根本的に再形成する中で、半導体サプライチェーン全体にわたる構造的シフトが進行していることを浮き彫りにしています。チップの可用性は、企業の運営効率と競争力を直接左右する、極めて重要な要素として認識されています。

技術・臨床詳細

AIの進化は、高性能な計算能力と大量のデータ処理を必要とし、これに対応するためにGPU（Graphics Processing Unit）や特定のAIアクセラレータが不可欠です。これらのチップは、大容量かつ高速なHBM（High Bandwidth Memory）と、それらを効率的に統合するCoWoS（Chip-on-Wafer-on-Substrate）などの先端パッケージング技術に大きく依存しています。今回のチップ危機は、これらの高性能チップの製造には、最先端のファウンドリプロセス、高度なパッケージング設備、そして特殊な材料や装置が不可欠であることを再認識させました。特に、HBMスタック、シリコンインターポーザ、そしてそれらを接続するマイクロバンプやハイブリッドボンディング技術の複雑性が、製造リードタイムの長期化と歩留まりの課題を生み出しています。サプライチェーンのボトルネックは、単一のコンポーネントだけでなく、製造装置、特定の化学材料、さらには熟練した技術者の不足といった多岐にわたる側面で顕在化しています。

背景・業界文脈

過去数十年間、半導体業界はグローバル化と専門化を進めてきましたが、その結果として、サプライチェーンは極めて複雑で相互依存性が高い構造となりました。特に、少数の企業が最先端の製造能力や特定材料の生産を支配している現状は、地政学的リスクや予期せぬ需要変動に対して脆弱であることを今回の危機が示しました。AI需要は、従来のPCやスマートフォン市場とは異なり、予測が難しく、かつ急激な規模の拡大を特徴としています。この新しい需要パターンが、既存のサプライチェーンモデルに大きなプレッシャーをかけ、メモリ、GPU、先端パッケージングといった特定分野での供給不足を深刻化させています。各国政府も、半導体サプライチェーンのレジリエンス向上を目指し、国内製造への投資を奨励する政策（例: 米国のCHIPS法、EUのEuropean Chips Act）を打ち出しています。

今後の展望

2026年のチップ危機は、半導体業界および依存するすべてのハードウェア産業にとって、サプライチェーンの再考と再構築を迫る「ウェイクアップコール」となりました。今後、企業はサプライチェーンの透明性を高め、多様な供給源を確保し、地域ごとの製造能力を強化する方向にシフトしていくでしょう。特にAI関連の半導体では、HBMや先端パッケージングの供給能力を増強するための大規模な投資が継続されると予想されます。また、AIがサプライチェーン管理自体に導入され、需要予測の精度向上やリスク管理の最適化に活用される可能性もあります。この危機を乗り越えることで、より強靭で持続可能な半導体エコシステムが構築され、AI時代における技術革新のペースが維持されることが期待されます。

元記事: https://www.traxtech.com/ai-in-supply-chain/2026-chip-supply-chain-crisis-hardware-impact?hs_amp=true

収集日: 2026年08月16日 | 自動記事収集・翻訳システム (Gemini API使用)

#20 2026年のHBM供給危機、AIハードウェア展開の主要ボトルネックとして2027年まで継続予測

公開日 2026年08月15日　EnkiAI　アメリカ



概要

AIセクターの爆発的な成長は、構造的なHBM供給危機を引き起こし、2026年を通じてAIハードウェア展開の主要なボトルネックとなっています。市場は供給主導型から極端な需要過多へと移行し、主要メモリメーカーは数年先まで製品が完売状態です。NVIDIAのBlackwell B200 GPUがH100の80GBから140%増の192GBのHBM3Eを搭載するなど、チップあたりのメモリ搭載量の急速な増加が需要の津波を生み出しています。Micronは米国での先端HBMパッケージング工場に150億ドル、SK Hynixはインディアナ州に38.7億ドルのパッケージング工場を建設し、この供給不足の緩和を目指しています。

詳細

主要成果

AIセクターの爆発的な成長は、高性能HBM（High Bandwidth Memory）の構造的な供給危機を招いており、2026年を通じてAIハードウェア展開における最も深刻なボトルネックとして浮上しています。HBM市場は供給主導型から、極端な需要過多によって定義される環境へと移行し、主要メモリメーカーは数年先まで製品が完売状態であると報告されています。この供給不足は少なくとも2027年まで継続すると予測されています。特に、NVIDIAのBlackwell B200 GPUがH100の80GBから140%増となる192GBのHBM3Eを搭載するなど、AIチップあたりのメモリ搭載量の急速な増加が、HBM需要の津波を生み出している主要因です。

技術・臨床詳細

HBMスタックの製造は、TSV（Through Silicon Via）と呼ばれる微細な貫通電極と、極めて高精度なボンディング装置を必要とする複雑なプロセスです。TSVはDRAMダイを垂直に積層し、高密度なデータパスを提供しますが、この技術は低歩留まり許容度が課題となります。限られたベンダーしかこれらの特殊な装置、特にマルチレイヤーボンダーを製造できないため、装置の供給自体がボトルネックとなっています。例えば、HANMI（韓美半導体）のような主要ボンダーメーカーは、12ヶ月ものバックログを抱えていると報告されており、これがHBM生産能力拡大の大きな制約となっています。TSMCのCoWoS（Chip-on-Wafer-on-Substrate）生産能力も2026年末までに25%増加する目標ですが、AI需要の成長ペースがこの予測を上回っているため、先端パッケージングが最も深刻なボトルネックとして浮上しています。この技術的課題と装置の供給不足が複合的に作用し、HBM供給不足を深刻化させています。

背景・業界文脈

AIモデルの複雑化と大規模化は、計算能力だけでなく、プロセッサとメモリ間の超高速データ転送を可能にするメモリ帯域幅を飛躍的に増加させる必要を生み出しました。HBMは、このメモリボトルネックを解決するために開発された技術であり、AIアクセラレータにとって不可欠なコンポーネントとなっています。しかし、HBMの製造は非常に技術集約的であり、DRAMチップの製造、TSV形成、ダイ積層、マイクロバンプまたはハイブリッドボンディング、そして最終的なパッケージングまで、多岐にわたる複雑な工程を含みます。このため、生産能力の増強には巨額の設備投資と長いリードタイムが必要となります。Micron Technologyは米国での先端HBMパッケージング工場に150億ドルを投資し、SK Hynixはインディアナ州に38.7億ドルを投じてパッケージング工場を建設する計画であり、主要メモリメーカーは供給不足解消に向けて大規模な投資を行っています。これらの投資は、米国政府の半導体製造奨励政策（CHIPS法など）にも合致しています。

今後の展望

HBM供給危機は、AI産業全体の成長速度と発展経路に直接的な影響を与えるでしょう。少なくとも2027年までは供給が需要に追いつかない状況が続く可能性が高く、AIチップの価格高騰、AIハードウェアの供給遅延、そしてAIインフラ投資の制約が予想されます。メモリメーカーやパッケージングプロバイダーによる大規模な設備投資は、長期的な供給能力改善に貢献するものの、短期的なボトルネックは解消されにくいと見られます。業界全体は、HBM技術の効率化、新たなパッケージングソリューションの開発、そしてサプライチェーン全体の協調的な最適化を通じて、この課題に対処する必要があります。HBMの安定供給は、AIが次なるブレークスルーを達成するための絶対的な前提条件となります。

元記事: https://enkiai.com/data-center/hbm-supply-crisis-2026-the-bottleneck-redefining-ai/

収集日: 2026年08月16日 | 自動記事収集・翻訳システム (Gemini API使用)

#21 Bonafide Research、グローバル3D/2.5D ICパッケージング市場がUCIe標準で加速、2031年まで成長予測

公開日 2026年08月08日　Bonafide Research　インド



概要

本記事はBonafide Researchが発行した市場調査レポートの概要紹介です。Bonafide Researchの最新レポートによると、グローバル3D ICおよび2.5D ICパッケージング市場は、オープンなUniversal Chiplet Interconnect Express（UCIe）標準の採用により、マルチベンダー間の相互運用性が保証され、ロジック、メモリ、アナログ、RFダイを単一フットプリントで混在させるトレンドが加速すると予測されています。これにより、先端パッケージングソリューションの需要が高まります。しかし、TSVプロセスにおける歩留まり損失や熱管理コストの高さが、依然として生産上の課題として指摘されています。

詳細

本記事はBonafide Researchが発行した市場調査レポートの概要紹介です。

レポート概要

Bonafide Researchの「Global 3D IC and 2.5D IC Packaging Market Outlook, 2031」レポートは、3D ICおよび2.5D ICパッケージング市場の将来的な展望と主要なトレンドを包括的に分析しています。このレポートは、市場規模の予測、成長ドライバー、技術的な課題、および主要な市場プレイヤーの戦略的動向について詳細な情報を提供します。

主要な調査結果

- オープンなUniversal Chiplet Interconnect Express（UCIe）標準の導入は、マルチベンダー環境でのチップレット間の相互運用性を保証し、3D ICおよび2.5D ICパッケージング市場の成長を加速させる主要な要因となります。
- UCIe標準により、ロジック、メモリ、アナログ、RFなど、異なる機能を持つダイを単一のフットプリントで効率的に統合するトレンドが加速しています。これにより、高性能な異種統合パッケージングソリューションへの需要が高まります。
- 市場成長の促進要因としては、AI、HPC（High-Performance Computing）、データセンター、自動運転車、5G/6G通信などのアプリケーションにおける高性能チップの需要増が挙げられます。
- しかし、TSV（Through Silicon Via）プロセスにおける高い歩留まり損失と、高集積化されたパッケージにおける熱管理コストの高さが、生産性向上とコスト効率化における重要な課題として残っています。

発行会社について

Bonafide Researchは、インドを拠点とする市場調査およびコンサルティング企業であり、多岐にわたる産業分野における詳細な市場分析と予測を提供しています。同社は、定量的・定性的なデータに基づく包括的なレポートを通じて、顧客が戦略的な意思決定を行うための洞察を提供することを目指しています。Bonafide Researchは、家電、自動車、IT、ヘルスケア、食品・飲料など、様々なセクターをカバーしています。

元記事: https://www.bonafideresearch.com/product/2608511401/global-3d-ic-and-twofived-ic-

収集日: 2026年08月16日 | 自動記事収集・翻訳システム (Gemini API使用)

#22 IDTechEx、2.5D/3D半導体パッケージングの新トレンド分析：ガラスインターポーザとハイブリッドボンディングが進化を牽引

公開日 2026年08月15日　IDTechEx　イギリス



概要

IDTechExの分析によると、半導体パッケージングの進化において、ガラスインターポーザとハイブリッドボンディングが重要な技術トレンドとして浮上しています。ガラスインターポーザはパネルレベルパッケージングと互換性があり、高密度ルーティングをより管理しやすいコストで実現する可能性を秘めています。HBM向けのハイブリッドボンディング（銅-銅）は、チップ間での超微細ピッチ垂直相互接続を可能にする重要な技術です。チップレットコンセプトとヘテロジニアスインテグレーションが先端パッケージングの採用を推進しており、HPC、自動運転車、5Gなどの主要市場における需要が高まっています。

詳細

主要成果

IDTechExの最新分析は、半導体パッケージングの進化における主要な新興トレンドとして、ガラスインターポーザとハイブリッドボンディング技術を強調しています。ガラスインターポーザは、パネルレベルパッケージング（PLP）との互換性を持ち、高密度な配線をコスト効率良く実現する大きな可能性を秘めています。同時に、HBM（High Bandwidth Memory）向けのハイブリッドボンディング（銅-銅）は、チップ間での超微細ピッチの垂直相互接続を可能にする上で不可欠な技術と位置付けられています。これらの技術は、チップレットコンセプトとヘテロジニアスインテグレーション（異種統合）の採用を加速させ、HPC（High-Performance Computing）、自動運転車、5G通信などの主要市場における先端パッケージングソリューションの需要を強力に推進しています。

技術・臨床詳細

ガラスインターポーザは、従来のシリコンインターポーザと比較して、大面積化が容易で、優れた電気的特性（低誘電損失）と機械的強度を提供します。また、熱膨張係数が有機基板とシリコンの中間であるため、異なる材料間の熱応力を緩和し、信頼性を向上させるメリットがあります。これにより、高密度な配線層をより低コストで実現し、高周波信号の伝送品質を確保できます。パネルレベルパッケージング（PLP）との互換性は、製造規模の経済性を通じてコスト削減に貢献する可能性を秘めています。ハイブリッドボンディング（銅-銅ボンディング）は、チップレット間をマイクロバンプよりもはるかに微細なピッチ（サブミクロンレベル）で直接接続する技術です。これにより、I/O密度を劇的に向上させ、データ帯域幅を最大化し、電力効率を改善します。特にHBMとロジックダイの統合において、この技術はデータ移動のボトルネックを解消し、AIアクセラレータなどの高性能チップの性能を飛躍的に向上させる上で不可欠です。チップレットとヘテロジニアスインテグレーションは、異なる機能を持つ複数のチップを最適に統合することで、設計の柔軟性を高め、歩留まりを改善し、システムのカスタマイズを容易にします。

背景・業界文脈

ムーアの法則の限界と、AI、HPC、自動運転などの計算集約型アプリケーションの需要増大は、半導体業界に新たなイノベーションの道を模索させています。トランジスタの微細化だけでは性能向上が困難になる中、先端パッケージング技術がシステムレベルの性能向上を推進する主要な手段となっています。ガラスインターポーザやハイブリッドボンディングといった技術は、このパラダイムシフトの最前線に位置しており、従来のパッケージング技術の限界を克服することを目的としています。これらの技術は、半導体サプライチェーン全体にわたる大規模な投資と技術開発を促しており、材料サプライヤー、製造装置メーカー、および設計サービスプロバイダーに新たなビジネス機会をもたらしています。

今後の展望

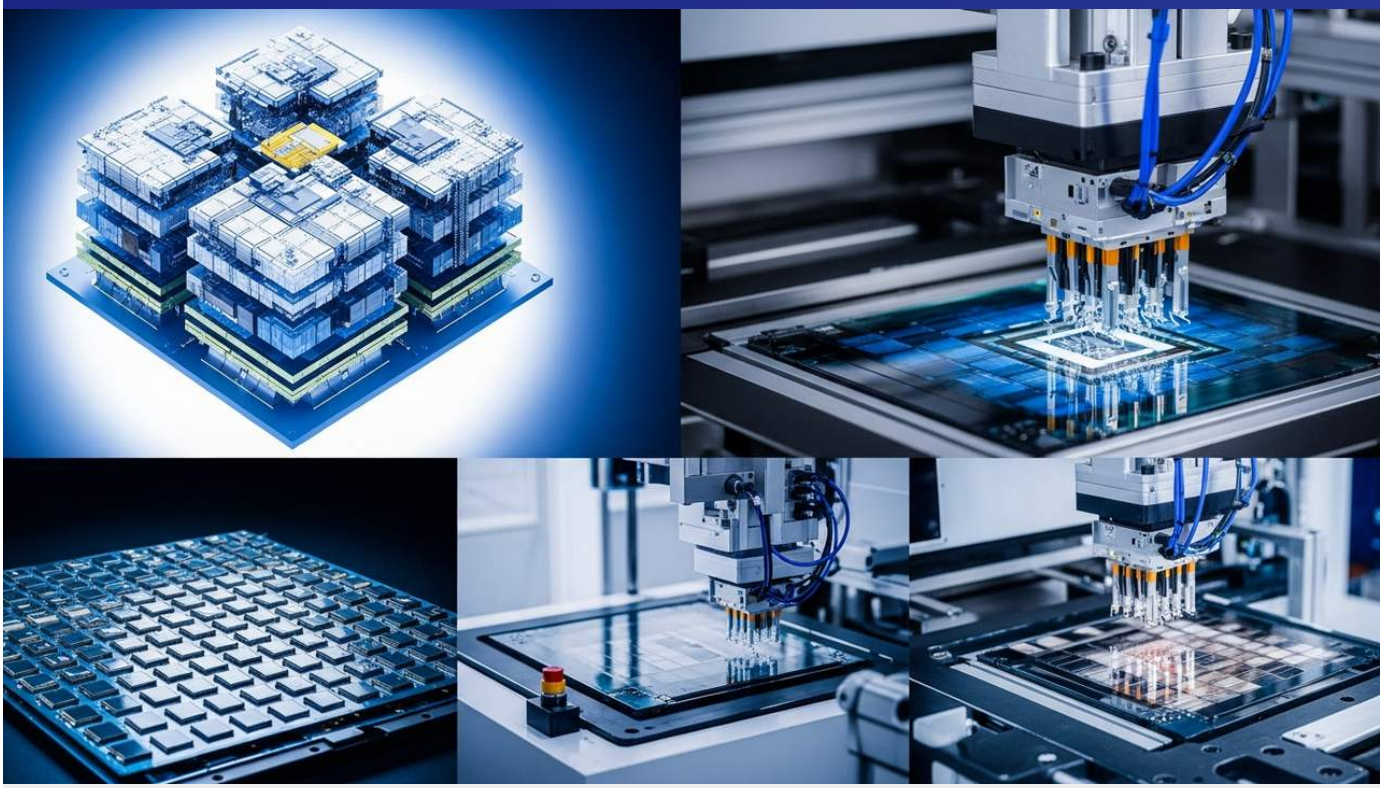
ガラスインターポーザとハイブリッドボンディングは、今後数年間で2.5D/3D半導体パッケージング市場においてますます重要な役割を果たすと予想されます。これらの技術の普及は、AIアクセラレータ、次世代データセンター、車載AIプラットフォーム、および5G/6Gインフラの性能を飛躍的に向上させるでしょう。特に、ガラスインターポーザの量産技術の成熟とハイブリッドボンディングの標準化が進むにつれて、より複雑で高性能なチップレットベースのシステムが、よりコスト効率良く開発・製造されることが期待されます。これらのトレンドは、半導体業界の競争環境を再構築し、技術革新の新たな波を創出する上で中心的な役割を果たすでしょう。

元記事: https://www.idtechex.com/ja/research-article/emerging-trends-and-key-markets-in-2-5d-and-3d-semiconductor-packaging/31994

収集日: 2026年08月16日 | 自動記事収集・翻訳システム (Gemini API使用)

#23 IMAPS Device Packaging Conference 2026が3D/2.5Dパッケージングの最新動向を詳述：FOPLP、ハイブリッドボンディングが需要を牽引

公開日 2026年08月15日　IMAPS　アメリカ



概要

IMAPS Device Packaging Conference 2026のプロフェッショナル開発コースでは、現在の3Dおよび2.5Dパッケージングプロセスと技術、および将来の発展について詳細が提供されました。ファンアウトパネルレベルパッケージング（FOPLP）、ハイブリッドボンディング、銅ピラー熱圧縮ボンディングといった最新の技術が取り上げられ、これらがモバイルデバイス、データセンター、自動車、航空宇宙分野における3D ICおよびウェーハレベルパッケージングの需要を牽引していることが強調されました。これらの技術は、高性能・高密度化が求められる次世代アプリケーションにおいて不可欠な役割を果たします。

詳細

主要成果

IMAPS（International Microelectronics Assembly and Packaging Society）が主催するDevice Packaging Conference 2026のプロフェッショナル開発コース（PDCs）では、現在の3D ICおよび2.5D ICパッケージングプロセスと技術の最前線、ならびにその将来的な発展方向が詳細に解説されました。特に、ファンアウトパネルレベルパッケージング（FOPLP）、ハイブリッドボンディング、および銅ピラー熱圧縮ボンディングといった革新的な技術が注目され、これらの技術がモバイルデバイス、高性能データセンター、自動車、航空宇宙といった多岐にわたる分野における3D ICおよびウェーハレベルパッケージングの需要を強力に牽引していることが強調されました。

技術・臨床詳細

3D ICおよび2.5D ICパッケージングは、複数の半導体ダイを垂直方向または水平方向に統合することで、従来の2Dパッケージングの限界を超える集積度と性能を実現します。FOPLP（Fan-Out Panel Level Packaging）は、チップを円形ウェーハではなく、より大型の正方形または長方形のパネル上でパッケージングする技術であり、材料効率の向上と製造コストの削減を可能にします。これにより、HPC（High-Performance Computing）やAIアクセラレータ向けの大型で複雑なパッケージングにおいて、高いスループットとコスト効率を提供します。ハイブリッドボンディングは、チップレット間をサブミクロンピッチで直接銅-銅接合する技術で、I/O密度を飛躍的に高め、データ帯域幅を最大化し、電力効率を改善します。これは、HBM（High Bandwidth Memory）とロジックダイの統合、あるいはチップレット間の超高速通信に不可欠です。銅ピラー熱圧縮ボンディングは、微細な銅柱を介してチップを接続する技術であり、優れた電気的特性と熱特性を提供します。これらの技術は、データセンターのサーバープロセッサ、自動運転車載用AIチップ、次世代モバイルデバイスのSoC（System-on-Chip）、そして航空宇宙分野における堅牢な高性能システムなど、多様なアプリケーションで要求される高密度、高性能、低消費電力、そして信頼性の高いパッケージングソリューションを提供します。

背景・業界文脈

半導体業界は、ムーアの法則の減速という課題に直面しており、トランジスタの微細化だけでは性能向上を維持することが困難になっています。このため、パッケージング技術が、システムレベルの性能と機能性を向上させるための主要な手段として再評価されています。特にAI、5G、IoT、自動運転などの技術革新は、高集積化、高性能化、そして低消費電力化が求められるチップの開発を加速させており、3D/2.5Dパッケージング、FOPLP、ハイブリッドボンディングといった先端技術への需要が高まっています。IMAPSのような国際的なフォーラムでの議論は、これらの技術が研究段階から実用化へと移行し、業界標準として確立されつつあることを示しています。

今後の展望

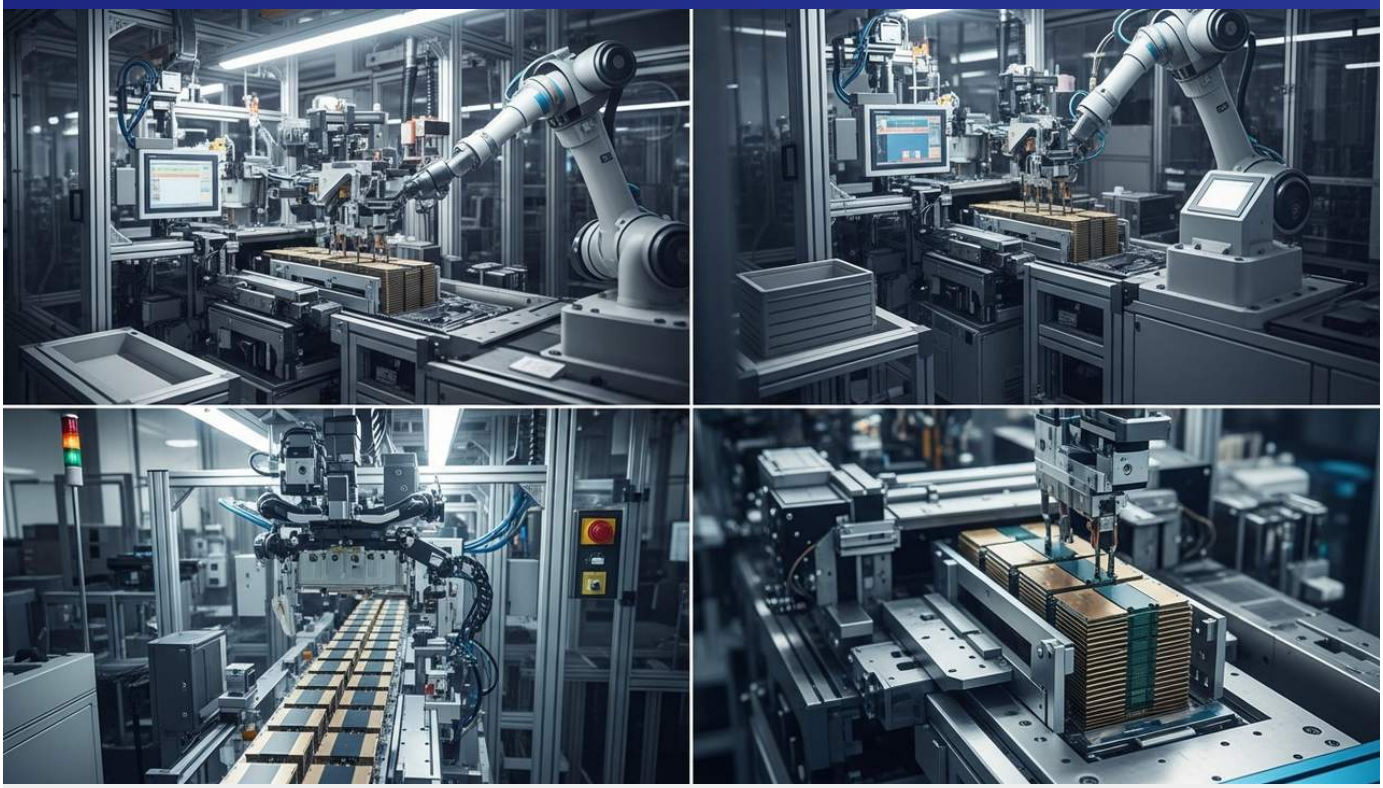
IMAPS DPC 2026で強調された先端パッケージング技術は、今後数年間で半導体業界の主要なトレンドを形成し続けるでしょう。FOPLPは製造コスト効率の改善と大面積対応で、ハイブリッドボンディングは超高密度インターコネクトで、それぞれ市場を牽引します。これらの技術の普及は、モバイルデバイスのさらなる高性能化、データセンターの処理能力向上、自動運転車のリアルタイムAI処理能力強化、そして航空宇宙分野における小型・高信頼性システム開発を可能にします。これらの技術が成熟し、より広範に採用されることで、半導体チップの設計と製造における新たなイノベーションの波が生まれることが期待されます。業界は、これらの技術がもたらす機会を最大限に活用し、同時に残る技術的課題（例: 熱管理、歩留まり、信頼性）を克服するために協力していく必要があります。

元記事: https://imaps.org/page/DPC-26-PDCs

収集日: 2026年08月16日 | 自動記事収集・翻訳システム (Gemini API使用)

#24 HBM供給不足、ボンディング装置の長期バックログと低歩留まりがボトルネック：2027年までAI需要を制約か

公開日 2026年08月15日　AI CERTs News　アメリカ



概要

HBMスタックの製造は、スルーシリコンビア（TSV）と高精度なボンディング装置を必要とし、低歩留まり許容度が業界の課題となっています。限られたベンダーしかこれらの装置を製造できないため、HANMIはマルチレイヤーボンダーで12ヶ月ものバックログを抱えていると報告されており、これがHBM生産能力の拡大を深刻に制約しています。TSMCのCoWoS生産能力は2026年末までに25%増加する目標ですが、AI需要がこの予測を上回るペースで成長しており、パッケージングが最も深刻なボトルネックとして浮上しています。この状況は、HBM供給不足が2027年まで続くと予想される主因です。

詳細

主要成果

AI需要の爆発的な増加に対応する高帯域幅メモリ（HBM）の供給不足は、主にHBMスタック製造における技術的な複雑さと、それに必要な特殊な製造装置の供給制約によって深刻化しています。特に、スルーシリコンビア（TSV）を用いたHBMスタックは、極めて高精度なボンディング装置を必要とし、低歩留まり許容度が業界全体の課題となっています。限られた数のベンダーしかこれらの特殊装置、特にマルチレイヤーボンダーを製造できないため、主要サプライヤーであるHANMIは12ヶ月もの長期バックログを抱えていると報告されており、これがHBM生産能力の拡張を大きく阻害しています。結果として、先端パッケージングがAI半導体サプライチェーンにおける最も深刻なボトルネックとして浮上しており、HBM供給不足は少なくとも2027年まで継続すると予測されています。

技術・臨床詳細

HBMスタックは、複数のDRAMダイを垂直に積層し、TSVを通じて電気的に接続する3Dパッケージング技術の代表例です。このTSVプロセスは、ダイに微細な穴を開け、銅を充填して電気経路を形成するという、極めて精密な工程を含みます。その後のダイ間の接合には、マイクロバンプまたはハイブリッドボンディング技術が用いられ、これらはナノメートルレベルの精度が要求されます。これらの工程における少しの不整合も、全体の歩留まりに大きな影響を与えるため、製造プロセス全体の最適化と厳格な品質管理が不可欠です。高精度なボンディング装置は、複数のダイを正確に位置合わせし、微細なバンプを同時に接合する能力を持つ必要があります。この種の装置は開発に時間とコストがかかり、製造には高度な技術が求められるため、市場に供給できるメーカーが限定されています。TSMCのCoWoS（Chip-on-Wafer-on-Substrate）技術もHBM統合に不可欠ですが、同社が2026年末までに生産能力を25%増加させる目標を設定しているにもかかわらず、AI需要の成長がこれを上回るペースであるため、最終パッケージング段階でボトルネックが生じています。

背景・業界文脈

AI技術の進化は、CPUやGPUの計算能力だけでなく、メモリ帯域幅の飛躍的な向上を要求しています。HBMは、この要求に応えるために開発された高性能メモリであり、AIアクセラレータにとって不可欠なコンポーネントとなっています。しかし、HBMの製造は、DRAMチップの微細化、TSV技術、先端パッケージングという複数の最先端技術の融合によって成り立っており、その複雑さが供給不足の根本的な原因となっています。主要なメモリメーカー（SK Hynix、Samsung、Micron）は、HBM生産能力増強に巨額の投資を行っていますが、特殊な製造装置の供給不足が全体のスケーリングを妨げています。装置メーカーの長期バックログは、メモリメーカーの投資効果が時間差でしか現れないことを意味し、これがHBM供給不足の長期化につながっています。

今後の展望

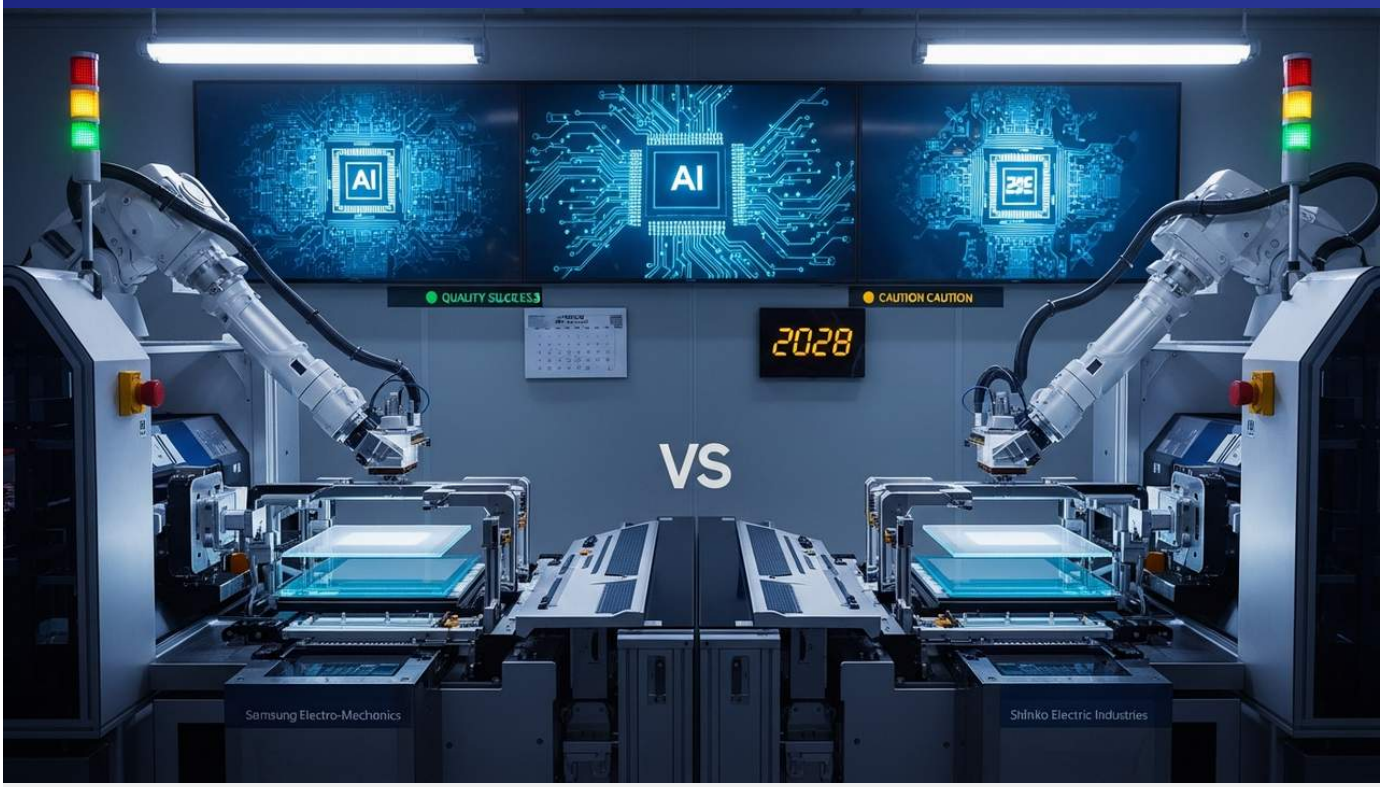
HBM供給不足は、AI産業全体の成長速度と技術革新に直接的な影響を与える深刻な課題です。2027年まで供給が需要に追いつかない状況が続くとの予測は、AIチップの価格高騰、AIハードウェアの展開遅延、そしてAIインフラ投資計画への制約を意味します。この課題に対処するためには、メモリメーカー、パッケージングプロバイダー、製造装置メーカーの間で、より緊密な協力と投資の調整が必要です。装置メーカーは生産能力を増強し、メモリメーカーは歩留まり改善と代替技術の探索を進める必要があります。また、AIチップの設計においても、HBM依存度を最適化するようなアプローチが求められるかもしれません。HBM供給の安定化は、AIが次なるブレークスルーを達成し、社会に広く普及するための絶対的な前提条件となります。

元記事: https://www.aicerts.ai/news/hbm-supply-crunch-why-ai-memory-shortage-lasts-until-2027/

収集日: 2026年08月16日 | 自動記事収集・翻訳システム (Gemini API使用)

#25 サムスン電機、AIチップ向けガラス基板で新光電気工業と競合、2028年量産目標も品質認証・歩留まりが課題

公開日 2026年08月14日　BusinessKorea (仮)　韓国



概要

サムスン電機は、AIチップ向け先端パッケージ基板としてガラス基板事業への参入を加速しており、日本の新光電気工業と激しい競争を繰り広げています。同社はDongwoo Fine-Chemとの合弁会社「GlaSSEM」を設立し、2028年の量産開始を目指していますが、顧客による品質認証の取得と安定した歩留まりの確保が主要な課題です。AIチップのパッケージ面積拡大に伴う反り問題を最小限に抑えるガラス基板は、今後需要が大きく拡大すると見込まれています。

詳細

主要成果

サムスン電機は、AIチップ向けパッケージ基板として期待されるガラス基板の量産体制構築を加速していますが、顧客の品質認証と安定した歩留まり確保という技術的課題に直面し、2028年の量産開始を目指しています。同社はDongwoo Fine-Chemとの合弁会社「GlaSSEM」を設立し、日本の新光電気工業といった先行企業との競争を激化させています。

技術・臨床詳細

- ガラス基板は、AIチップの高性能化に伴いパッケージ面積が拡大する中で発生する反りを最小限に抑えることができる点で、従来の樹脂基板に対して優位性を持っています。これにより、より多くのチップを積層し、より複雑なパッケージングを可能にするため、AI半導体業界の次の主要技術として注目されています。
- サムスン電機は、ガラス基板技術の確立に向け、材料開発から製造プロセスに至るまで多大なリソースを投入しています。特に、ガラスという脆性材料への微細な穴あけ（ビア形成）や金属配線形成は極めて高度な技術を要します。
- 現在の課題は、製品の信頼性を確保するための顧客からの品質認証の取得と、大規模量産における安定した高歩留まりの達成です。これらの技術的ハードルをクリアすることが、2028年の目標達成に不可欠です。

背景・業界文脈

AIチップの性能向上には、プロセッサとメモリ間のデータ転送速度の向上と電力効率の改善が不可欠であり、これらを可能にする先端パッケージング技術が半導体業界の焦点となっています。ガラス基板は、その低誘電損失、高い熱安定性、優れた寸法安定性から、データ伝送速度の向上とパッケージの信頼性向上に大きく貢献すると期待されています。この技術は、特にHBM (High Bandwidth Memory) とロジックチップの統合が進むAIアクセラレータにおいて、今後のデファクトスタンダードとなる可能性を秘めています。

今後の展望

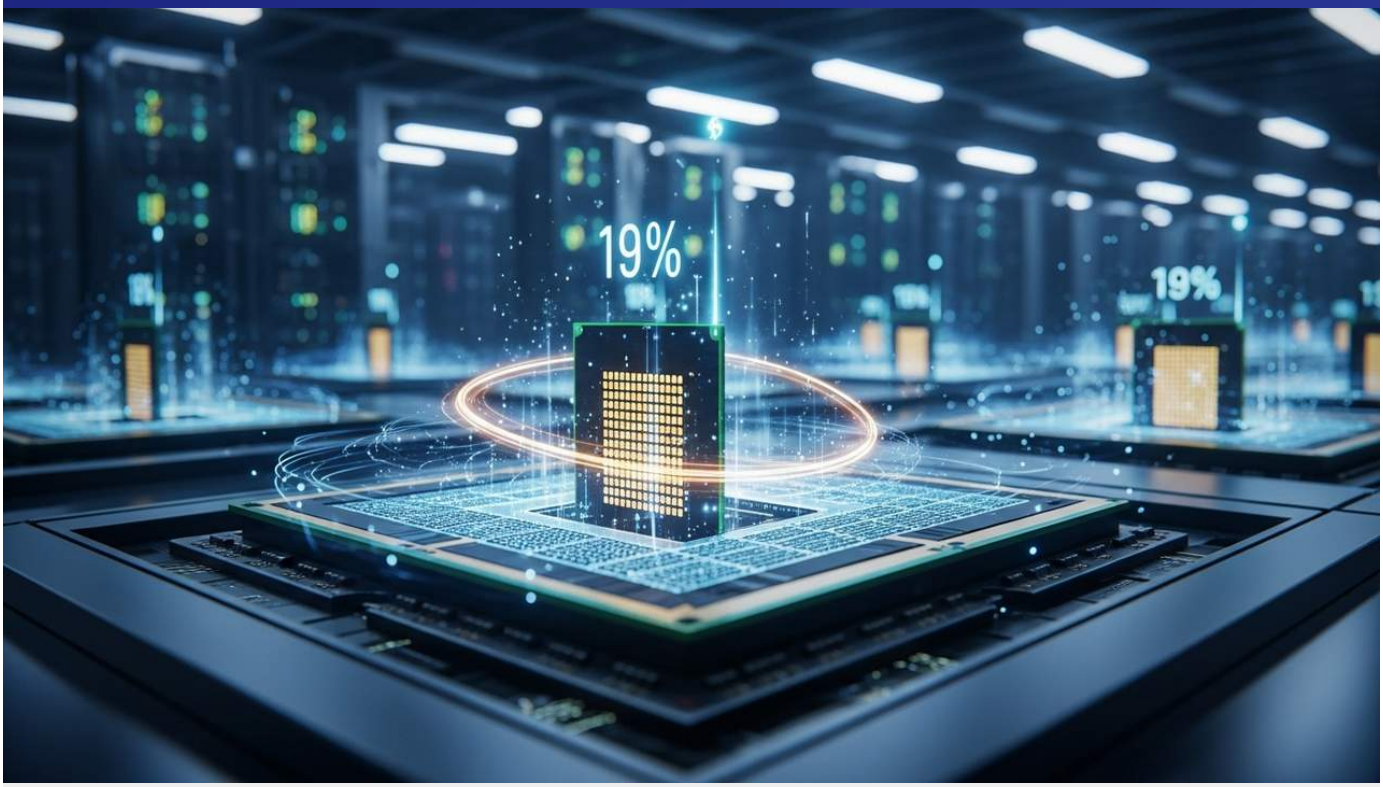
ガラス基板技術は、次世代AI半導体の性能を決定づける重要な要素となるでしょう。サムスン電機がこれらの技術的課題を克服し、2028年に量産を開始できれば、先端パッケージング市場における同社の競争力は飛躍的に向上します。しかし、競争相手も同様に開発を進めており、品質とコスト、供給安定性で優位に立つことが長期的な成功の鍵となります。

元記事: #

収集日: 2026年08月16日 | 自動記事収集・翻訳システム (Gemini API使用)

#26 サムスン電機、AIデータセンター需要で半導体パッケージ基板稼働率が前年比19ポイント増の89%に急上昇

公開日 2026年08月14日　연합뉴스 (Yonhap News)　韓国



概要

サムスン電機は、人工知能 (AI) データセンターインフラの拡大需要に牽引され、半導体パッケージ基板の稼働率を大幅に引き上げました。今年上半期における同社のパッケージソリューション部門の半導体パッケージ基板平均稼働率は89%に達し、前年比で19%ポイントという著しい増加を記録しました。この急増は、主要なグローバルビッグテック企業によるAIデータセンター投資の拡大が、高付加価値半導体基板 (FCBGA) の需要を大きく押し上げた結果と分析されています。

詳細

主要成果

サムスン電機は、AIデータセンターインフラの急拡大需要を背景に、今年上半期の半導体パッケージ基板の平均稼働率を89%にまで大幅に引き上げました。これは前年同期比で19%ポイントという驚異的な増加であり、特に高付加価値半導体基板であるFCBGA（Flip-Chip Ball Grid Array）の需要増が、同社のパッケージソリューション部門の業績を牽引していることが明らかになりました。

技術・臨床詳細

- 稼働率89%という数値は、生産ラインがほぼフル稼働に近い状態であることを示し、AI半導体市場における同社の供給能力が極めて逼迫している状況を反映しています。FCBGAは、CPU、GPU、AIアクセラレータなどの高性能ロジックチップとHBM（高帯域メモリ）を接続するための主要なパッケージング技術であり、AIワークロードの複雑化に伴いその重要性が増しています。
- 高稼働率は、AI半導体の性能を最大限に引き出すための先端パッケージング技術への投資が、同社の収益と市場シェアに直接貢献していることを意味します。特に、大規模なデータ処理と高いデータ転送速度が求められるAIデータセンターにおいては、FCBGAの品質と供給安定性が極めて重視されます。

背景・業界文脈

AI技術の進化と普及は、世界中のデータセンターにおけるコンピューティング能力への要求を劇的に高めています。これにより、AI半導体チップの需要が爆発的に増加しており、特に、チップ間の高速通信を可能にするHBMや、それを実装するための先端パッケージ基板の供給がボトルネックとなっています。サムスン電機の稼働率急上昇は、この世界的なAIブームが半導体後工程サプライチェーン全体に及ぼす強い影響を示す具体的な証拠です。多くのグローバルビッグテック企業がAI戦略を加速する中で、安定した高性能パッケージ基板の供給が競争優位の鍵となっています。

今後の展望

サムスン電機の高稼働率は、今後のAI半導体市場の力強い成長を示唆しており、同社がこの成長の恩恵を最大限に享受する立場にあることを裏付けています。しかし、このような高稼働状態が続くことは、供給網全体に緊張をもたらし、潜在的な供給不足や価格上昇のリスクもはらんでいます。同社は、今後も継続的な設備投資と技術革新を通じて、高付加価値製品の供給能力をさらに拡大し、AI時代におけるリーダーシップを強化していくことが求められるでしょう。

元記事: #

収集日: 2026年08月16日 | 自動記事収集・翻訳システム (Gemini API使用)

#27 アプライドマテリアルズ、2026年先端パッケージング売上成長率予測を70%超に上方修正—AI半導体投資がHBM・多層パッケージに拡大

公開日 2026年08月14日　Xenospectrum (情報集約サイト)　アメリカ



概要

アプライドマテリアルズは、2026年の先端パッケージング事業の売上高成長予測を、これまでの50%超から20ポイント上方修正し、70%以上に引き上げると発表しました。この大幅な修正は、AI半導体への投資が、前工程の微細化だけでなく、HBM（高帯域メモリ）や多層パッケージングといった後工程の領域にまで拡大していることを明確に示しています。同社は、HBMスタッキングが後工程装置の需要を強力に押し上げている一方で、クリーンルームの確保が顧客の設備投資における新たな制約要因となっていると指摘しています。

詳細

主要成果

アプライドマテリアルズは、2026年の先端パッケージング事業の売上高成長予測を、これまでの50%超から大幅に上方修正し、70%以上に引き上げると発表しました。この上方修正は、AI半導体への投資が前工程の微細化だけでなく、HBM（高帯域メモリ）や多層パッケージングといった後工程の領域にまで急速に拡大していることを明確に示しています。HBMスタッキングが後工程装置の需要を強力に牽引している一方で、クリーンルームの確保が顧客の設備投資における新たなボトルネックとなっている現状も浮き彫りになりました。

技術・臨床詳細

- 先端パッケージングは、複数のチップを統合し、より高い性能と効率を実現する技術であり、AI半導体の性能向上に不可欠です。HBMスタッキングは、DRAMチップを垂直に積み重ねて帯域幅を劇的に向上させる技術であり、これを実現するためには高度なダイボンディング、熱圧着（TCB: Thermo-Compression Bonding）、および検査装置が不可欠です。
- アプライドマテリアルズの装置は、これらの複雑な積層プロセスやヘテロジニアス統合を可能にするための鍵となる技術を提供しています。予測の上方修正は、同社の装置がAI時代の先端パッケージングの主流技術に深く関与していることを示唆しています。
- クリーンルームの制約は、単に装置の供給だけでなく、高度な製造環境のインフラ投資がAI半導体生産のスケールアップを妨げる要因となっていることを示しており、半導体エコシステム全体での投資のバランスが求められます。

背景・業界文脈

AIの進化は、より多くのデータをより速く処理する能力を要求しており、これによりGPUやAIアクセラレータ、そしてそれらを支えるHBMの需要が爆発的に増加しています。従来の半導体製造では、前工程の微細化が性能向上の主要な推進力でしたが、技術的限界とコストの増大に直面しています。そこで、複数のチップを効率的に統合する先端パッケージングが、新たな性能向上とコスト削減のフロンティアとして注目されています。このトレンドは、半導体製造装置市場において、後工程関連の設備投資の重要性を飛躍的に高めています。

今後の展望

アプライドマテリアルズの強力な成長予測は、AI半導体市場が今後も構造的な成長を続けることを示唆しています。同社は、先端パッケージング分野における技術リーダーシップを維持することで、この市場拡大の恩恵を最大限に享受するでしょう。しかし、クリーンルームやその他のインフラのボトルネックは、業界全体の生産能力の制約となり続ける可能性があり、今後も後工程サプライチェーンにおける戦略的な投資と協力が不可欠となるでしょう。AI技術のさらなる進化は、より高度で複雑なパッケージングソリューションを要求し続けるため、この分野の技術革新は止まることがありません。

元記事: https://xenospectrum.com/en/applied-materials-packaging-growth/

収集日: 2026年08月16日 | 自動記事収集・翻訳システム (Gemini API使用)

#28 米商務省、AI・先端コンピューティング・半導体パッケージング分野の7社に最大8億7400万ドルの奨励金を供与意向

公開日 2026年08月10日　AnySilicon　アメリカ



概要

米商務省は、AI、先端コンピューティング、半導体パッケージング、材料、サプライチェーンセキュリティを対象とする7社の半導体企業に対し、最大8億7400万ドルの奨励金を提供する意向を発表しました。この大規模な投資は、CHIPSおよび科学法に基づく米政府の広範な半導体戦略の一環であり、国内の半導体技術開発を強化し、海外サプライチェーンへの依存を低減することを目的としています。今回の奨励金は、米国の半導体エコシステム全体の競争力とレジリエンスを向上させるための重要なステップとなります。

詳細

主要成果

米商務省は、CHIPSおよび科学法に基づき、AI、先端コンピューティング、半導体パッケージング、材料、サプライチェーンセキュリティ分野で活動する7社の半導体企業に対し、総額最大8億7400万ドル（約1300億円）の奨励金を提供する意向を発表しました。この大規模な投資は、米国が半導体技術開発と国内製造能力を強化し、海外サプライチェーンへの戦略的依存を軽減するための強力なコミットメントを示すものです。

技術・臨床詳細

- 奨励金の対象となる企業は、AIおよび高性能コンピューティング（HPC）向けチップの開発を加速するための最先端プロセス技術や、複数のチップを効率的に統合する革新的なパッケージングソリューションに焦点を当てています。具体的には、3Dスタッキング、ヘテロジニアス統合、ウェハーレベルパッケージングといった技術が支援の対象と見られます。
- また、半導体製造に不可欠な特殊材料の開発や、サプライチェーン全体のセキュリティとレジリエンスを向上させる技術も重点分野です。これは、米国が半導体エコシステムのあらゆる段階で強固な基盤を築こうとしていることを示唆しています。
- この投資は、特に軍事および国家安全保障分野で求められる「トラステッド・ファウンドリ」能力の確立にも貢献し、機密性の高い用途におけるチップの供給保証を目指します。

背景・業界文脈

CHIPSおよび科学法は、米国の技術的リーダーシップを維持し、国内の半導体製造を活性化させるための包括的な戦略的枠組みです。近年、半導体サプライチェーンの脆弱性が世界的に認識され、特に地政学的緊張が高まる中で、米国は自国の技術基盤を強化する必要性に迫られています。今回の奨励金は、AIの急速な発展に伴う高性能半導体需要の増加に対応し、米国内での研究開発から量産までを一貫して支援することで、国際競争力を高めることを目的としています。

今後の展望

この8億7400万ドルの投資は、対象企業の研究開発、設備投資、人材育成を強力に後押しし、米国の半導体イノベーションを加速させるでしょう。長期的に見れば、これは米国内での先端半導体エコシステムの構築を促進し、新たな雇用創出と経済成長に貢献する可能性を秘めています。さらに、サプライチェーンのレジリエンスが向上することで、将来的な供給途絶リスクを低減し、国家安全保障上の重要な優位性をもたらすことが期待されます。これにより、米国はAI時代の技術競争において、より強固な足場を築くことになります。

元記事: https://anysilicon.com/news/u-s-plans-874-million-investment-in-seven-semiconductor-technology-companies/

収集日: 2026年08月16日 | 自動記事収集・翻訳システム (Gemini API使用)

#29 サムスン電機、ベトナム工場でAI半導体用先端パッケージ基板生産能力を2.4倍に拡大

公開日 2026年08月08日　ベトナムコリアタイムズ (Vietnam Korea Times)　ベトナム



概要

サムスン電機は、ベトナムのタイグエン工場において、AI半導体向け先端パッケージ基板の生産能力を既存の2.4倍にまで大幅に拡大すると報じられました。この動きは、サムスングループのベトナム事業が、従来の完成品生産から半導体後工程、さらにはAI向け主要部品へと事業領域を広げていることを明確に示しています。同社は、超大型FCBGA（Flip-Chip Ball Grid Array）の増設計画をタイグエン人民委員会に正式に報告しており、AI時代の需要に対応する戦略的な生産拠点化を加速しています。

詳細

主要成果

サムスン電機は、AI半導体需要の急増に対応するため、ベトナムのタイグエン工場におけるAI半導体用先端パッケージ基板の生産能力を、現在の2.4倍にまで大幅に拡大すると発表しました。この拡張は、サムスングループ全体のベトナム事業が、従来の完成品製造から、戦略的な半導体後工程およびAI向け主要部品の生産拠点へとシフトしていることを明確に示しています。

技術・臨床詳細

- 今回増設されるのは、主に超大型FCBGA（Flip-Chip Ball Grid Array）基板の生産ラインです。FCBGAは、CPUやGPUといった高性能ロジックチップとHBM（高帯域メモリ）を接続するための主要なパッケージング技術であり、AIアクセラレータの性能を左右する重要な部品です。
- 生産能力の2.4倍増は、月間数万枚レベルの基板増産を意味し、これによりサムスン電機は世界的なAI半導体サプライチェーンにおける供給能力を大きく強化することになります。タイグエン工場は、既にサムスン電子の半導体後工程ラインも一部稼働しており、今後AI半導体の一大生産拠点となることが期待されます。

背景・業界文脈

AI技術の急速な進展は、データセンターの高性能化を促し、AIチップの需要を爆発的に押し上げています。これに伴い、先端パッケージング技術とその基板に対する需要も急増しており、特にFCBGAのような高密度・高速通信を可能にする基板の供給不足が懸念されています。サムスン電機のベトナム工場への投資は、このボトルネックを解消し、AI時代の市場機会を捉えるための戦略的な動きです。ベトナムは、低コストで豊富な労働力と政府の支援により、半導体後工程の新たなハブとして注目されています。

今後の展望

今回の生産能力拡大は、サムスン電機がAI半導体市場における競争力をさらに高める上で極めて重要です。2.4倍の能力増強は、グローバル市場でのシェア拡大に貢献するだけでなく、AIチップサプライチェーンにおけるサムスンの影響力を強化します。今後、ベトナムのタイグエン工場は、サムスンのAI半導体戦略における中核的な役割を担い、持続的な投資と技術革新を通じて、次世代AIインフラの基盤を支えることが期待されます。

元記事: #

収集日: 2026年08月16日 | 自動記事収集・翻訳システム (Gemini API使用)

#30 ASMPT、2026年上半期に先端パッケージング事業がAI需要で過去最高の売上を達成—PLPを次世代成長ドライバーに

公開日 2026年08月11日　ASMPT Corporate (Press Release)　香港



概要

ASMPTは、2026年上半期に先端パッケージング（AP）事業がAI分野からの需要急増により過去最高の売上高を達成したと発表しました。同社の熱圧着ボンディング（TCB）、フォトニクス、高精度表面実装技術（SMT）ソリューションがこの好調な業績に大きく貢献しました。ASMPTは、パネルレベルパッケージング（PLP）を将来の主要な成長ドライバーとして積極的に推進しており、既に顧客向けに新しいチップオンパネルツールの出荷を開始しています。

詳細

主要成果

ASMPTは、2026年上半期の業績が好調であったことを発表し、特に先端パッケージング（AP）事業がAI分野からの需要急増により記録的な売上高を達成しました。同社の熱圧着ボンディング（TCB）、フォトニクス、および高精度表面実装技術（SMT）ソリューションがこの成長を牽引しました。また、ASMPTは、将来の主要な成長ドライバーとしてパネルレベルパッケージング（PLP）技術を積極的に推進しており、既に顧客向けに新しいチップオンパネルツールの出荷を開始しています。

技術・臨床詳細

- ASMPTの熱圧着ボンディング（TCB）技術は、HBM（高帯域メモリ）の積層や、複数のチップを近接して統合するCoWoS（Chip on Wafer on Substrate）などの先端パッケージングに不可欠です。これにより、高密度・高速接続が可能となり、AIアクセラレータの性能を最大化します。
- フォトニクスソリューションは、光通信技術を半導体パッケージに統合するもので、データセンター内の高速データ伝送や、光インターコネクトの需要増に対応します。高精度SMT技術は、微細な部品の実装精度を高め、複雑なパッケージング構造の信頼性を向上させます。
- パネルレベルパッケージング（PLP）は、従来のウェハーレベルパッケージングよりも大きな基板（パネル）を使用することで、生産効率とコスト効率を大幅に向上させる可能性を秘めています。ASMPTのチップオンパネルツールは、このPLPの実現に向けた重要なステップとなります。

背景・業界文脈

AI、高性能コンピューティング、5G通信などの技術進化は、半導体チップの性能向上だけでなく、チップ間の接続技術である先端パッケージングの重要性を飛躍的に高めています。特に、AI半導体におけるHBMの需要増や、GPUとロジックチップのヘテロジニアス統合は、より高度で効率的なパッケージングソリューションを求めています。ASMPTの記録的な売上は、同社がこの技術トレンドの中心に位置し、市場のニーズに合致したソリューションを提供していることを明確に示しています。

今後の展望

ASMPTは、先端パッケージング市場における強固な地位を確立しており、AI需要の継続的な拡大により、今後も成長が期待されます。特に、パネルレベルパッケージング技術の商用化が進めば、生産コストの削減とスループットの向上が実現され、より広範なアプリケーションへの採用が加速する可能性があります。この戦略的な動きは、同社が次世代の半導体製造技術のリーダーシップを維持し、長期的な収益成長を確実にするための重要なステップとなります。

元記事: https://troy-technical.com/2026/08/02/asmpts-advanced-packaging-business-achieves-record-sales-in-h1-2026-driven-by-surging-ai-demand/

収集日: 2026年08月16日 | 自動記事収集・翻訳システム (Gemini API使用)

#31 Intel Foundry、FoverosとEMIB先端パッケージングでAIデータセンター向けコンピューティング性能を強化、2026年にはEMIB-T導入へ

公開日 2026年08月10日　ET Datacenters　インド



概要

Intel Foundryは、増加するAIワークロードの需要に対応するため、Foverosスタッキングや EMIB（Embedded Multi-die Interconnect Bridge）インターコネクトを含む先端パッケージング技術を積極的に活用しています。これらの革新技術は、複数の特殊チップを単一の強力なユニットとして相互接続することで、従来のスケール限界を乗り越え、次世代AI半導体を実現します。2026年には、チップへ直接電力を供給し電力効率と信号ルーティングを改善するEMIB-Tを導入し、HBM技術のサポートを強化する予定です。

詳細

主要成果

Intel Foundryは、AIワークロードの需要増大に対応するため、Foverosスタッキングと EMIB（Embedded Multi-die Interconnect Bridge）インターコネクトを含む先端パッケージング技術を戦略的に活用し、データセンター向けAIコンピューティング性能を大幅に強化しています。これらの革新技術は、複数の特殊チップを単一の強力なユニットとして相互接続することで、従来の半導体スケール限界を乗り越え、次世代AI半導体を実現します。特に2026年には、チップへ直接電力を供給し電力効率と信号ルーティングを改善するEMIB-Tの導入を計画しており、HBM（高帯域メモリ）技術のサポートをさらに強化する予定です。

技術・臨床詳細

- Foverosは、ロジックチップを垂直に積層する3Dスタッキング技術であり、異なるプロセスノードで製造されたチップを統合し、コンパクトなフットプリントで高い性能と電力効率を実現します。これにより、AIアクセラレータはより多くの計算能力を少ない面積で提供できるようになります。
- EMIBは、異なるプロセスノードで製造されたチップレットをサイドバイサイドで接続する2.5Dパッケージング技術です。従来のインターポーザーに比べて配線長を短縮し、低電力で高速なチップ間通信を可能にします。EMIB-Tは、チップへ直接電源を供給するPowerVia技術を応用し、電力供給の効率化と信号整合性の向上を図ることで、AIチップのさらなる性能向上に貢献します。
- これらの技術は、特にHBMのような高帯域幅メモリとの統合において、データ転送のボトルネックを解消し、AIモデルの学習・推論速度を劇的に向上させる上で不可欠です。

背景・業界文脈

AIの進化に伴い、データセンターでは膨大なデータを高速に処理するための高性能かつ電力効率に優れた半導体が求められています。従来のモノリシックなチップ設計では、製造コストと物理的限界に直面しており、複数のチップレットを統合するヘテロジニアス統合が業界の新たな主流となっています。Intelは、FoverosやEMIBといった独自の先端パッケージング技術を開発することで、このトレンドをリードし、AI半導体市場における競争力を高めようとしています。これは、単一のチップ性能向上だけでなく、システム全体の性能と効率を最大化するアプローチです。

今後の展望

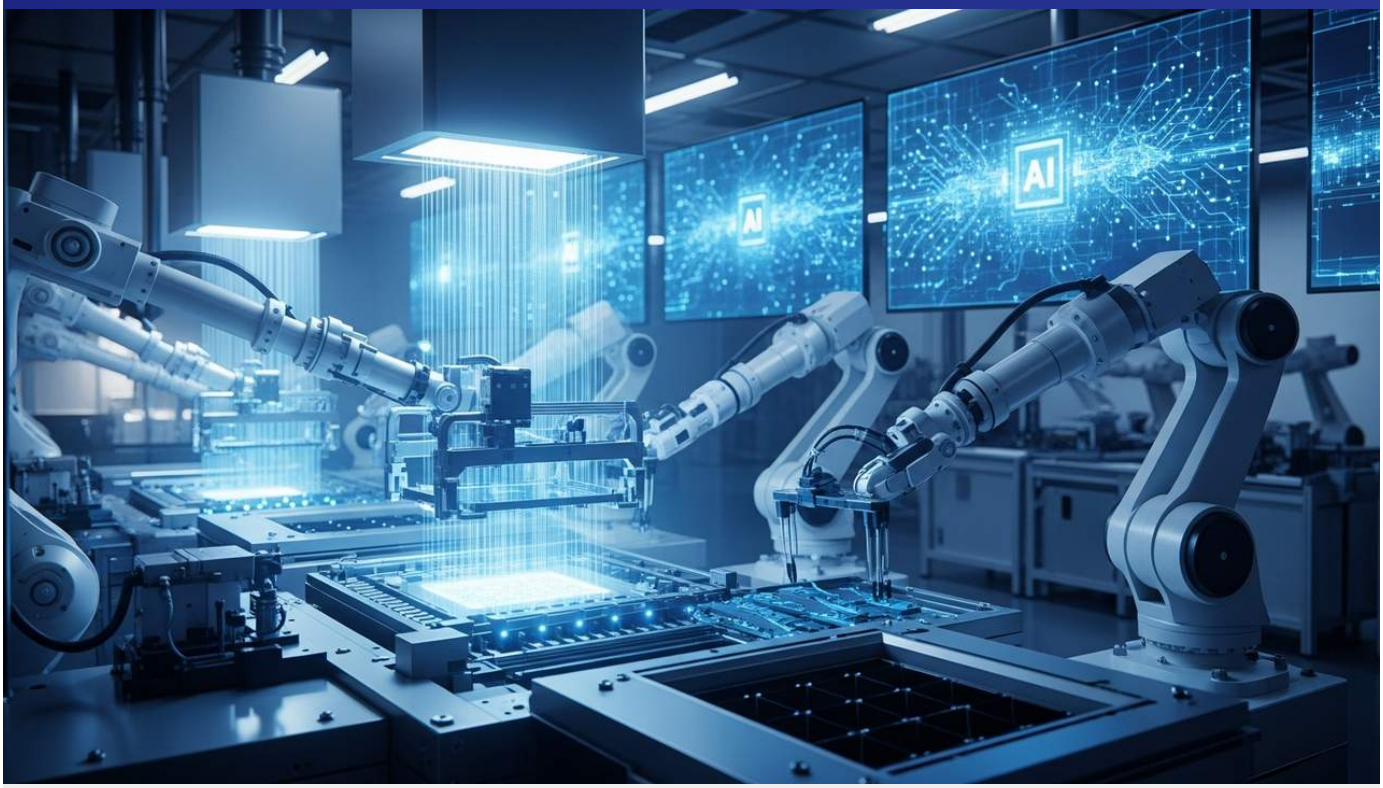
FoverosとEMIB、そして2026年に導入されるEMIB-Tは、IntelがAI時代のリーダーシップを確立するための重要な技術基盤となります。これらの先端パッケージング技術は、Intel Foundryが多様な顧客のAI半導体設計に対応するための柔軟性と拡張性を提供し、次世代のAIアクセラレータ、HPC、データセンタープロセッサの性能をさらに引き上げるでしょう。電力効率とバンド幅の向上は、AIシステムの総所有コスト（TCO）削減にも寄与し、業界全体に大きな影響を与えることが期待されます。

元記事: https://datacenters.economictimes.indiatimes.com/news/ai-compute-infrastructure/intels-advanced-packaging-boosts-ai-compute-for-data-centers/133081675

収集日: 2026年08月16日 | 自動記事収集・翻訳システム (Gemini API使用)

#32 2026年世界の半導体設備投資、AI推論需要急増で前年比30%増の2400億ドルに到達予測—先端パッケージングが成長牽引

公開日 2026年08月10日　Soka Technology　不明



概要

2026年、世界の半導体産業はAI推論能力の需要急増に牽引され、前例のない設備投資のスーパーサイクルに突入すると予測されています。業界予測によると、半導体装置への設備投資総額は前年比30%増の約2400億ドルに達する見込みです。この成長は、特に先端パッケージング技術とヘテロジニアス統合がAIハードウェア性能に不可欠となる中で、設備、テスト、特殊製造ツールへの投資が今後数年間で二桁成長を維持すると予測されていることに起因します。

詳細

主要成果

2026年、世界の半導体産業はAI推論能力に対する需要の急増に牽引され、前例のない大規模な設備投資のスーパーサイクルに突入すると予測されています。業界予測によると、半導体装置への設備投資総額は前年比30%増の約2400億ドルに達する見込みです。この成長は、特に先端パッケージング技術とヘテロジニアス統合がAIハードウェアの性能向上に不可欠となる中で、設備、テスト、および特殊製造ツールへの投資が今後数年間で二桁成長を維持すると予測されていることが主な要因です。

技術・臨床詳細

- AIチップの性能向上には、演算能力だけでなく、メモリとの高速データ転送能力が不可欠であり、これらを効率的に実現するのが先端パッケージングとヘテロジニアス統合です。具体的には、HBM（高帯域メモリ）の積層、チップレット技術、2.5D/3Dパッケージングなどが含まれます。
- これらの技術は、従来のモノリシックなチップ設計の限界を突破し、個別の機能を持つチップを最適に組み合わせることで、電力効率を向上させ、コストを削減しながらも、全体のシステム性能を飛躍的に高めます。
- 設備投資の内訳としては、ダイボンディング、ウェハーボンディング、検査装置、およびパッケージング後のテストソリューションに重点が置かれると予想されます。これらの装置は、高度な精度とスループットが求められ、研究開発投資も活発化しています。

背景・業界文脈

AIの普及と進化は、クラウドからエッジデバイスに至るまで、あらゆる場所での高性能コンピューティング需要を刺激しています。特に、ChatGPTのような大規模言語モデル（LLM）の登場は、AI推論に必要な半導体の種類と量に劇的な変化をもたらしました。この需要に応えるため、半導体メーカーは、前工程の微細化だけでなく、後工程での革新を通じて性能と効率を追求しており、先端パッケージングはその中核をなす技術です。過去数年間で、半導体業界は供給制約に悩まされてきましたが、今回の投資ブームは、将来のAI社会を支えるインフラを構築するための必然的なステップと言えます。

今後の展望

2026年の設備投資の急増は、世界の半導体サプライチェーン全体の能力を大幅に向上させるでしょう。これにより、AI半導体の供給不足が緩和され、AI技術のさらなる普及が促進される可能性があります。先端パッケージング技術への継続的な投資は、半導体業界の競争環境を再定義し、新たな技術的ブレークスルーを生み出す原動力となります。今後数年間は、このスーパーサイクルが続き、半導体製造装置メーカーにとって大きなビジネス機会となると同時に、AIハードウェアのイノベーションを加速させる鍵となるでしょう。

元記事: https://sokatec.com/blogs/news/semiconductor-capital-investment-growth-2026

収集日: 2026年08月16日 | 自動記事収集・翻訳システム (Gemini API使用)

#33 NXP Semiconductors、マレーシア後工程工場を倍増へ—2028年第1四半期稼働で生産能力を大幅強化、レゾナックもAI向け材料46%増収

公開日 2026年08月12日　note (個人ブログ/キュレーション)　日本



概要

NXP Semiconductorsは、マレーシアの組立・テスト（A&T）拠点で新工場の建設を開始し、2028年第1四半期の全面稼働時には拠点全体の生産量を2倍以上に引き上げる予定です。このスマートファクトリーではAMHS（自動搬送システム）や高度な品質管理技術が導入されます。また、レゾナックのAI向け後工程材料が前年同期比で46%増収を記録したことは、AI需要が半導体デバイスだけでなく、後工程材料メーカーにも大きな波及効果をもたらしていることを明確に示しています。

詳細

主要成果

NXP Semiconductorsは、マレーシアの組立・テスト（A&T）拠点において新工場の建設を開始し、2028年第1四半期の全面稼働時には、拠点全体の生産量を2倍以上に引き上げる計画です。この拡張は、AMHS（自動搬送システム）や高度な品質管理技術を導入したスマートファクトリー化を目指します。同時に、日本の化学素材大手レゾナックのAI向け後工程材料が前年同期比で46%増収を達成し、AI需要が半導体デバイスメーカーだけでなく、後工程材料サプライヤーにも広範な好影響を与えていることが明らかになりました。

技術・臨床詳細

- NXPの新工場では、AI、自動車、産業機器といった成長市場向けの半導体の組立・テスト工程が強化されます。AMHSの導入により、生産効率の向上、ヒューマンエラーの削減、クリーンルーム内での汚染リスクの低減が期待されます。また、高度な品質管理技術は、高信頼性が求められる車載用半導体などの厳しい基準を満たす上で不可欠です。
- レゾナックのAI向け後工程材料の好調は、特に高性能AIチップに必要な放熱材料、封止材、パッケージ基板用材料などの需要が急増していることを示唆しています。AIチップは高発熱を伴うため、優れた熱伝導性を持つ材料や、複雑なパッケージ構造を保護する信頼性の高い封止技術が不可欠です。

背景・業界文脈

AIの進化は、半導体業界全体に構造的な変化をもたらしています。高性能AIチップの需要拡大は、チップ製造の前工程だけでなく、組立、テスト、パッケージングといった後工程の能力強化と技術革新を強く促しています。マレーシアは、アジア太平洋地域における半導体後工程の中心地の一つであり、NXPの投資はこの地域における戦略的地位をさらに強化するものです。また、半導体材料メーカーの業績好調は、サプライチェーン全体がAIブームの恩恵を受けていることを示しており、半導体エコシステムの相互依存性が浮き彫りになっています。

今後の展望

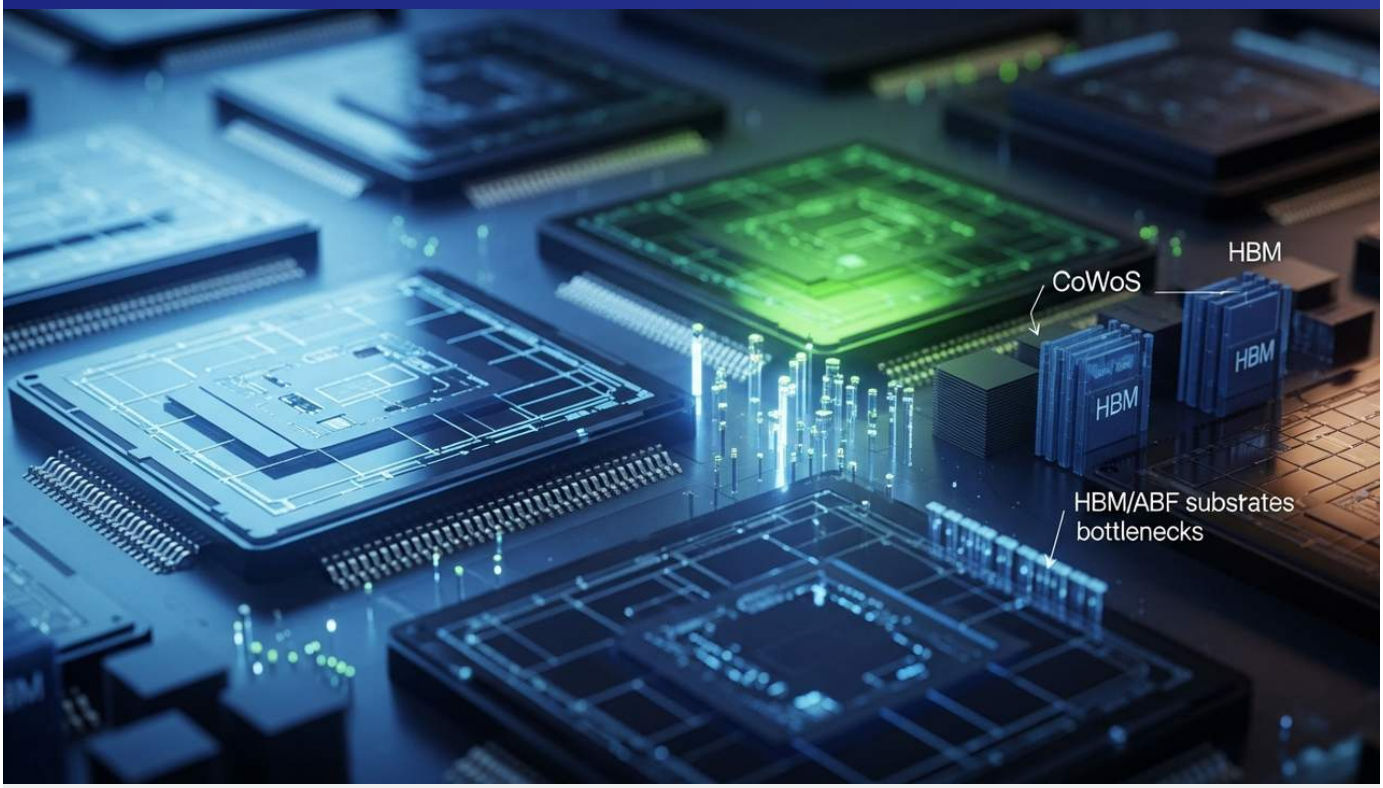
NXPのマレーシア工場拡張は、同社がAIおよび自動車市場における競争力を強化し、将来の需要増に対応するための重要なステップとなります。2028年までに生産能力が倍増することで、グローバルな供給網におけるNXPのプレゼンスが向上し、収益性の向上が期待されます。レゾナックの成功は、材料分野のイノベーションがAI半導体性能の限界を押し上げる上でいかに重要であるかを示しており、今後も材料と装置の両面で後工程への投資が活発化するでしょう。これらの動きは、AI技術のさらなる普及と、半導体産業の持続的な成長を支える基盤となります。

元記事: https://note.com/handotai14/n/ne20b0f717d81

収集日: 2026年08月16日 | 自動記事収集・翻訳システム (Gemini API使用)

#34 2026年6月の世界半導体売上高が2.2倍の1345億ドルで過去最高を記録—TSMC CoWoS歩留まり99%超もHBM・ABF基板がボトルネックに

公開日 2026年08月11日　Amiko Consulting　日本



概要

2026年6月の世界半導体売上高が、前年同月比2.2倍の1345億ドルに達し、単月として過去最高を更新しました。これは、AI向けデータセンター投資の急拡大がHBM（高帯域メモリ）、ロジック、先端ファウンドリの需要を爆発的に膨張させたためです。SKハイニックスはAIメモリ需要に対応するため大規模投資を決定し、TSMCは5.5リテクルサイズのCoWoSで99%超の歩留まりを達成しつつも、メモリやABF基板が引き続きボトルネックとなっていると指摘しています。

詳細

主要成果

2026年6月の世界半導体売上高は、前年同月比2.2倍の1345億ドルに達し、単月として過去最高記録を更新しました。この歴史的な成長は、主にAI向けデータセンター投資の急拡大により、HBM（高帯域メモリ）、ロジック、および先端ファウンドリの需要が爆発的に増加したことに起因します。SKハイニックスはAIメモリ需要に対応するため大規模な投資を決定した一方で、TSMCは5.5リテクルサイズのCoWoSパッケージで99%超という驚異的な歩留まりを達成しつつも、依然としてメモリ供給とABF（Ajinomoto Build-up Film）基板が半導体サプライチェーン全体のボトルネックとなっていると指摘しています。

技術・臨床詳細

- HBMは、AIアクセラレータの性能を決定づける高帯域幅を提供する積層型DRAMです。その需要の急増は、HBM自体の生産能力に加え、それを搭載するための先端パッケージング技術（CoWoSなど）の重要性を高めています。
- TSMCのCoWoS（Chip on Wafer on Substrate）は、GPUとHBMをシリコンインターポーザー上に統合する2.5Dパッケージング技術であり、99%超の歩留まりは、この複雑な技術の成熟度と効率の高さを示しています。しかし、この高歩留まりにもかかわらず、最終的な製品供給を制約しているのは、HBMチップ自体の生産能力と、CoWoSパッケージに不可欠なABF基板の供給不足です。
- ABF基板は、高性能FC-BGAパッケージングに用いられる高機能な材料であり、微細配線と熱特性に優れていますが、その製造には高度な技術と設備が必要で、需要に追いついていないのが現状です。

背景・業界文脈

AI技術の急速な進展は、データセンターにおけるコンピューティングとメモリの需要をこれまでにないレベルに押し上げています。特に、大規模言語モデル（LLM）の学習と推論には、膨大な量のHBMと高性能ロジックチップが不可欠です。この需要急増に対し、半導体業界は生産能力の拡大に努めていますが、特定の材料や部品、特にHBMとABF基板といった先端後工程の要素が、依然として供給網全体のボトルネックとなっています。これは、単にチップを製造するだけでなく、それらを効率的にパッケージングし統合する能力が、AI時代の競争優位を決定づけることを示唆しています。

今後の展望

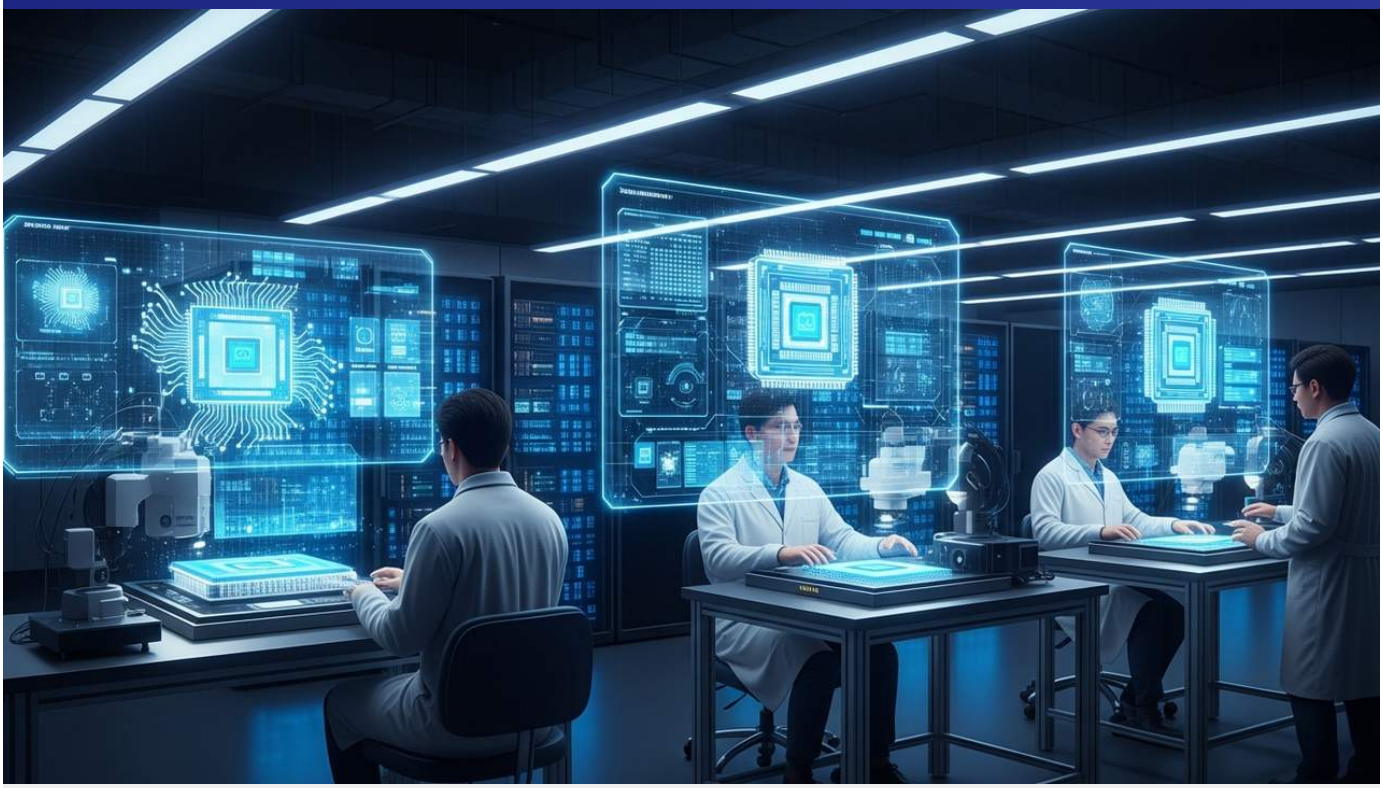
世界半導体売上高の記録的な伸びは、AI主導の市場成長が今後も継続することを示唆しています。SKハイニックスのような大手メモリメーカーによる積極的な投資はHBM供給の改善に貢献するでしょうが、ABF基板の供給問題は、短期的にはAI半導体市場の成長速度を制約する可能性があります。業界全体としては、ボトルネック解消に向けたサプライチェーン全体の協調と、材料メーカーへのさらなる投資が必要となるでしょう。TSMCの高いCoWoS歩留まりは技術的なブレークスルーを示しますが、市場の真の潜在能力を引き出すには、エコシステム全体でのバランスの取れた供給能力の構築が不可欠です。

元記事:
https://amiko.consulting/%E5%8D%8A%E5%B0%8E%E4%BD%93%E3%83%8B%E3%83%A5%E3%83%BC%E3%%20260812/

収集日: 2026年08月16日 | 自動記事収集・翻訳システム (Gemini API使用)

#35 TSMC、OCP APAC 2026でAI先端パッケージング競争はシステムレベルの信頼性と検証へと移行と発表—3DIC検証の重要性を強調

公開日 2026年08月12日　digitimes　台湾



概要

TSMCの先端パッケージング技術・サービス担当バイスプレジデントJun He氏は、OCP APAC 2026サミットで、AIコンピューティング需要がチップ統合の複雑さを急速に高めており、先端パッケージングの競争は単一デバイスの性能を超え、パッケージ、ボード、システム、さらにはラックレベルでの全体的な信頼性と検証に移行していると述べました。AIシステムは、これまで以上に高い品質、信頼性、開発速度を求めており、従来のコンポーネントのみの認定では不十分であり、3DIC（3次元集積回路）の検証が不可欠であると強調しました。

詳細

主要成果

TSMCの先端パッケージング技術・サービス担当バイスプレジデントJun He氏は、OCP APAC 2026サミットにおいて、AIコンピューティング需要の急増がチップ統合の複雑さを劇的に高めており、先端パッケージングにおける競争が単一デバイスの性能向上に留まらず、パッケージ、ボード、システム、さらにはラックレベルでの全体的な信頼性と検証へと移行していると発表しました。彼は、AIシステムが要求する前例のない品質、信頼性、開発速度に対応するためには、従来のコンポーネント単体の認定では不十分であり、3DIC（3次元集積回路）の検証が不可欠であると強調しました。

技術・臨床詳細

- 従来の半導体開発では、個々のチップの性能と信頼性が主な焦点でしたが、AI時代においては、HBM（高帯域メモリ）とGPU、CPUを統合した複雑な2.5D/3Dパッケージ（例えばTSMCのCoWoS）が標準となりつつあります。これらのシステムは、多数の異なるチップが協調して動作するため、個々のチップだけでなく、その統合されたシステム全体としての熱管理、電力供給、信号整合性、そして長期信頼性が極めて重要になります。
- Jun He氏は、3DIC検証の重要性を強調しました。これは、単にパッケージングされたチップの電気的特性や物理的構造を評価するだけでなく、それが組み込まれるボードやシステム、さらにはデータセンターラック全体での動作をシミュレーションし、実環境で検証することを含みます。これにより、予期せぬ相互作用や性能低下を防ぎ、AIシステムの安定稼働を保証します。

背景・業界文脈

AIの進化は、半導体の設計と製造に新たなパラダイムシフトをもたらしています。特に、大規模言語モデル（LLM）のような複雑なAIワークロードは、膨大な量のデータ処理と、プロセッサとメモリ間の超高速通信を要求します。これにより、チップレット技術やヘテロジニアス統合といった先端パッケージングが、半導体性能向上の主要な手段となっています。このコンテキストにおいて、TSMCのようなファウンドリが、単なる製造請負業者から、顧客のシステム全体の設計と検証を支援するソリューションプロバイダーへと役割を拡大していることは、業界の大きな転換点を示しています。

今後の展望

TSMCの発言は、先端パッケージングがAI時代の技術競争の最前線に位置することを示しています。システムレベルでの信頼性と検証への注力は、AIチップ設計者やデータセンター事業者にとって、より安心できるソリューションを提供することに繋がります。今後、TSMCのような主要ファウンドリは、顧客とより緊密に連携し、3DIC検証を含む包括的なサービスを提供することで、AIシステムの開発速度を加速させ、市場投入までの時間を短縮する役割を果たすでしょう。このアプローチは、AI技術のさらなる普及と、半導体産業の持続的な成長を支える上で不可欠です。

元記事: https://www.digitimes.com/news/a20260811PD258/packaging-tsmc-demand-design-development.html

収集日: 2026年08月16日 | 自動記事収集・翻訳システム (Gemini API使用)