

半導体後工程

Weekly Intelligence Report

2026-07-05 | 22件 | 7カ国

troy-technical.jp

今週のキーワード

AIPKGボトルネック

先端パッケージング投資と供給逼迫

22

件
記事総数

7

カ国
対象国

100億

ドル
HBM4売上予測

20

%超
PKG値上げ率

今週的全22記事 — 5軸評価で読むべき記事を選ぶ

各列の見方 — 技術新規性: ブレークスルー度合い 実用化距離: 製品として使える近さ 市場インパクト: 業界全体への影響規模
データ信頼性: 定量データ・査読の有無 日本関連度: 日本の企業・サプライチェーンとの直接的関連性

#	記事タイトル	種別	技術 新規性	実用化 距離	市場 インパクト	データ 信頼性	日本 関連度	一行サマリ
#01	EU、3D IC PKGに投資	企業戦略	●●●○	●●○○	●●●●	●●●○	●●●○	EUがチップス法に基づき3D ICパッケージングR&D;に2.1億ユーロ投資、異種統合・3D積層で欧州の技術的自立と競争力強化を目指す。
#02	AMAT、AI向け新PKG	新製品	●●●●	●●●●	●●●●	●●●●	●●●●	Applied MaterialsがAIチップ向けDRAM・先進パッケージング加速の新システムを発表、HBM製造効率と信頼性を高めハイブリッドボンディングに対応。
#03	ASE、FOPLP量産へ	企業戦略	●●●○	●●●○	●●●●	●●●○	●●●●	ASEがAIチップ需要に対応するためFOPLP量産を2026年末までに開始、CoWoS不足補充と先進パッケージング能力強化へ15の拡張プロジェクトを推進。
#04	Intel/TSMC、PLP推進	市場予測	●●●○	●●●○	●●●●	●●●○	●●●●	IntelとTSMCがPLP技術を推進、AI/HPCチップ製造の効率化とコスト削減で市場が10倍に拡大する見込み。
#05	AMAT、PKGロジック級	技術解説	●●●●	●●●●	●●●●	●●●○	●●●●	Applied Materialsが先進パッケージングでメモリーメーカーにロジック級精密製造を提供、HBMや3D積層ダイの精度・歩留まり向上でAIチップ性能を加速。
#06	ASE、PKG料金20%値上げ	市場危機	●○○○	●●●●	●●●●	●●●○	●●●●	ASEがAI需要急増とCoWoS供給逼迫を受け先進パッケージング料金を20%超値上げ、業界全体のコスト構造に影響を与える可能性。
#07	AI PKGボトルネック解消	技術解説	●●●○	●●●○	●●●●	●●●○	●●●○	AIチップのパッケージングボトルネック解消へCoWoS、ウェーハスケール、CoWoP技術が進化、生産性向上とコスト削減でAI普及を加速。
#08	Lam、W2P処理拡大	企業戦略	●●●●	●●●○	●●●●	●●●●	●●●●	Lam Researchがウェーハ・ツー・パネル処理技術を拡大し、大型パネル基板対応で先進パッケージングの製造コスト削減とスループット向上を目指す。
#09	Samsung、HBM4売上100億ドル	市場予測	●●●○	●●●●	●●●●	●●●○	●●●●	SamsungのHBM4売上がAI需要に牽引され年内100億ドル突破見込み、ハイブリッドボンディングで性能最大化しメモリ市場リーダーシップ強化。
#10	eWeek、AIチップボトルネック	解説記事	●○○○	●●●●	●●●●	●●●○	●●●○	eWeekレポートがAIチップのボトルネックは先進パッケージングと指摘、CoWoS供給不足、データ転送、熱管理、歩留まり・コストが課題。
#11	BOE、ガラス基板サンプル出荷	新製品	●●●●	●●●●	●●●●	●●●○	●●●●	中国BOEが先進チップパッケージング向けガラス基板のサンプル出荷を開始、低熱膨張率・高剛性で微細配線と高密度積層を実現しAI/HPCチップ革新へ。
#12	SK Hynix、640億ドル投資	企業戦略	●●●○	●●●○	●●●●	●●●○	●●●●	SK Hynixが韓国に640億ドルを投資しAIメモリー (HBM) と先進パッケージング能力を強化、M17とP&T7; 拡張でAI時代におけるリーダーシップを確固たるものに。

#	記事タイトル	種別	技術新規性	実用化距離	市場インパクト	データ信頼性	日本関連度	一行サマリ
#14	JCET、PKG投資で株価急騰	企業戦略	●●●○ ○	●●●○ ○	●●●● ○	●●●○ ○	●●●○ ○	中国JCETが先進チップパッケージングに大規模投資を発表し株価急騰、AI/HPC/自動車向けフリップチップ、ファンアウト、2.5D/3D技術を強化。
#15	野村、TSMC目標株価上げ	市場予測	●○○○ ○	●●●● ●	●●●● ○	●●●○ ○	●●●○ ○	野村證券がAIインフラサイクルによる成長を理由にTSMC目標株価を引き上げ、CoWoS需要が供給能力を上回る状況を指摘。
#16	Kioxia、次世代メモリ量産	企業戦略	●●●○ ○	●●●○ ○	●●●● ○	●●●○ ○	●●●● ●	KioxiaがAIブームを追い風に次世代メモリの量産準備を加速、HBM含む高性能NAND強化と先進パッケージングで劇的な回復を目指す。
#17	TSMC CoWoS装置逼迫	市場危機	●○○○ ○	●●●● ●	●●●● ●	●●●○ ○	●●●● ●	TSMCのCoWoSパッケージング装置サプライチェーンがAI需要で強い引き合い、日本の装置メーカーも生産強化を迫られボトルネックが深刻化。
#18	AMAT、6種新システム発表	新製品	●●●● ○	●●●● ○	●●●● ○	●●●● ●	●●●● ○	Applied MaterialsがAIチップ向けDRAM・先端パッケージング加速へ6種の新システムを発表、HBMや3Dスタッキング対応、サブ10nm欠陥検出で歩留まり向上。
#19	Samsung、HBM4と光学HBM	企業戦略	●●●● ○	●●●● ○	●●●● ●	●●●● ●	●●●● ○	SamsungがHBM4生産能力の半分を割り当て4ヶ月で10億ドル売上達成、2028年光学HBM量産計画を発表しAIメモリ市場のリーダーシップを強化。
#20	EU、3D IC PKGに2.1億ユーロ	企業戦略	●●●○ ○	●●○○ ○	●●●● ○	●●●○ ○	●●●○ ○	EUチップス法が3D IC先端パッケージングに2.1億ユーロ投資、Infineon、ASML子会社、Soitecが恩恵を受けヘテロジニアス統合技術を開発。
#21	フラウンホーファー、非熱PKG	学術論文	●●●● ●	●○○○ ○	●●●○ ○	●●●● ●	●●●○ ○	フラウンホーファーが先端パッケージング向け低誘電率材料のDUVアシスト非熱レーザールーピング技術を開発、熱損傷なく微細加工を実現。
#22	中国CXMT、HBM課題直面	企業戦略	●●○○ ○	●●○○ ○	●●●● ○	●●●● ○	●●●● ○	中国CXMTがHBM生産で技術的課題に直面、ウェーハ歩留まり、スタッキング、パッケージング改善が鍵で2027-2028年に加速見込み。
#23	CHIPS法、台湾サプライヤー誘致	政策動向	●○○○ ○	●●●● ●	●●●● ●	●●●○ ○	●●●● ○	米国CHIPS Actが台湾半導体サプライヤーを誘致し、先端パッケージング・材料供給で新たな機会を創出、サプライチェーンのレジリエンス強化へ。

●●●●○ High ●●●○ Med-High ●○○○ Med ●○○○ Low | 背景黄色 = 注目記事

今週、判断に影響しうる3つの問い

① AIチップの性能向上を阻む真のボトルネックはどこか？

AIチップの需要が爆発的に伸びる中、TSMCのCoWoSをはじめとする先進パッケージング能力の供給不足が深刻化し、価格も20%以上高騰しています。自社のAI戦略は、このボトルネックを前提に構築されていますか？

② パネルレベルパッケージングやガラス基板はCoWoSの代替となり得るか？

Intel、TSMC、ASE、Lam ResearchがPLP/W2Pを推進し、中国BOEがガラス基板のサンプル出荷を開始しました。これらはCoWoSの供給制約を緩和し、コストを削減する可能性を秘めています。自社の技術ロードマップにこれらの新技術をどう組み込みますか？

③ 日本の材料・装置メーカーは、この巨額投資ブームにどう乗じるか？

EU、SK Hynix、Samsung、JCETがAIメモリと先進パッケージングに数百億ドル規模の巨額投資を表明しています。日本の材料・装置メーカーは、この投資の波を捉え、自社の技術と製品をどのように供給し、競争優位性を確立しますか？

日本企業にとっての「機会 vs 脅威」

日本企業にとっての「機会 vs 脅威」マトリクス



項目	象限	↑ 機会	↓ 脅威
● PKG逼迫	注意	—	AIチップ供給遅延、コスト増
● PLP/W2P	機会大	新PKG装置/材料需要	既存PKG技術の陳腐化
● HBM市場	注意	メモリ/PKG材料需要	競争激化、技術追従
● ガラス基板	注意	新材料開発、高精度PKG	中国勢の台頭、材料転換
● 先端PKG装置	機会大	高精度装置/材料需要	—
● チップス法	脅威大	—	サプライチェーン再編
● 中国HBM	脅威大	—	将来的な競争激化
● Low-k加工	参考	新規加工技術開発	—

深掘り ① — Samsung、HBM4で市場席卷と光学HBMへの展望

#19 | 2026/07/02 | Samsung (プレスリリース) | 技術新規性●●●●○ 実用化距離●●●●○ 市場インパクト●●●●●
データ信頼性●●●●● 日本関連度●●●●○

SamsungはHBM4の生産能力の半分を割り当て、世界初出荷から4ヶ月で10億ドル超の売上を達成。年末までに年間100億ドルを見込み、HBM3Eの生産を一時停止しHBM4に注力する戦略を明確にした。NVIDIAの次世代AIプラットフォーム「Rubin」でのHBM4の重要性に対応する。

COMPUTEX 2026ではHBM4EやLPDDR5XベースのサーバーモジュールSOCAMM2を展示。さらに2028年からの光学HBM量産計画を発表し、HBMスタックとプロセッサパッケージ内にシリコンフォトニクス技術を導入することで、帯域幅とエネルギー効率を劇的に向上させることを目指す。HBMはAIアクセラレーターの総製造コストの34~45%を占め、歩留まりがシステム経済性に直結する。

▶ 技術者の視点

SamsungのHBM4への巨額投資と積極的なロードマップは、AIチップ市場におけるHBMの重要性が今後も増大することを示唆しています。特に、2028年からの光学HBM量産計画は、従来の電気信号伝送の限界を打破する可能性を秘めたブレークスルーであり、今後の技術動向を注視する必要があります。HBMの歩留まり課題は依然として存在しますが、Samsungの発表はそれを克服する強い意志の表れと見られます。【機会】日本の材料・装置メーカーにとっては、HBM4および光学HBM向けの新たな高機能材料（低誘電率材料、高熱伝導性材料、光導波路材料など）や、高精度なボンディング・検査装置の需要が拡大する絶好の機会です。特に光学HBMは、全く新しい材料・プロセス技術を要求するため、早期からのR&D;連携が重要です。【脅威】日本のメモリーメーカー（Kioxiaなど）にとっては、SamsungのHBM市場における強力な攻勢と技術革新のスピードが脅威となります。HBM市場への参入が遅れると、AI時代のメモリー市場での競争力を失うリスクがあります。【次のアクション】R&D;部門はSamsungの光学HBMロードマップを詳細に分析し、関連する材料・プロセス技術の先行研究に着手すべきです。経営企画部門は、HBM市場における自社のポジショニングと投資戦略を再評価し、必要に応じて提携やM&A;も視野に入れるべきでしょう。

深掘り ② — AMAT、AIチップPKG向け6種新システムで精密化

#18 | 2026/06/25 | Applied Materials (プレスリリース) | 技術新規性●●●●○ 実用化距離●●●●○
市場インパクト●●●●○ データ信頼性●●●●● 日本関連度●●●●○

Applied Materialsは、AIチップ向けDRAMおよび先端パッケージング製造を加速する6種の新システムを発表。HBM、3Dスタッキング、チップレットアーキテクチャの課題解決を目指し、エピタキシー、CMP、成膜、eBeam計測・欠陥レビュー技術を強化する。

特に注目すべきは、サブ10ナノメートルの感度を持つeBeam欠陥レビューシステム「SEMVision G7AP」で、複雑な3Dパッケージングのプロセス制御と歩留まり向上に大きく貢献する。これにより、製造プロセスの初期段階で微細な欠陥を特定し、AIチップの性能と電力効率向上、高密度・高帯域幅メモリの安定供給を可能にする。

▶ 技術者の視点

Applied Materialsの新システム群は、AIチップの性能を決定づけるHBMや3D積層パッケージングにおける製造課題、特に歩留まりと信頼性向上に直結するものです。サブ10nmの欠陥検出能力は、従来の光学検査では見逃されがちな微細な欠陥を捉え、複雑化する後工程の品質管理において極めて重要となります。これは、ロジックチップ製造で培われた精密なプロセス制御技術が、メモリおよびパッケージング分野にも本格的に導入されることを意味します。

【機会】日本の精密装置メーカーや検査装置メーカーにとっては、Applied Materialsの技術動向をベンチマークし、より高精度な計測・検査ソリューションを開発・提供する機会です。また、これらの装置で使用される高機能材料（研磨材、洗浄液など）の需要も高まるでしょう。【脅威】日本の装置メーカーが、このような統合的なソリューション提供や超精密プロセス制御技術の開発で遅れを取ると、グローバル市場での競争力を失う可能性があります。特に、AIチップのサプライチェーンにおける主要プレイヤーとの連携強化が不可欠です。【次のアクション】R&D部門は、サブ10nmレベルの欠陥検出・分析技術、および高精度なCMP・成膜技術に関する競合分析を強化し、自社技術の優位性を確立するためのロードマップを見直すべきです。営業・マーケティング部門は、Applied Materialsの顧客である半導体メーカーに対し、自社の関連製品・技術の提案を加速すべきです。

深掘り ③ — フラウンホーファー、Low-κ材料の非熱レーザー加工

#21 | 2026/06/29 | Karriere Fraunhofer-Gesellschaft | 技術新規性●●●●● 実用化距離●○○○○ 市場インパクト●●●●○
データ信頼性●●●●● 日本関連度●●●●○

フラウンホーファー-ILTは、先端パッケージング向け低誘電率（low-κ）材料のDUVアシスト非熱レーザーグルーピング技術を開発。DUVレーザーで材料中に一時的に自由キャリアを生成し、後続のレーザーパルスで基板を損傷することなく層を除去するデュアルパルスアプローチを採用。

この非熱加工技術は、熱影響による損傷が課題だったlow-κ材料の微細加工において、構造完全性を維持しながら高精度なグルーピングを実現する。low-κ材料は信号遅延と電力損失低減に不可欠であり、3D ICやチップレット統合における性能と信頼性向上に直結する。

▶ 技術者の視点

フラウンホーファーが開発したDUVアシスト非熱レーザーグルーピング技術は、low-κ材料の加工における画期的なブレークスルーとなる可能性があります。従来のレーザー加工では避けられなかった熱損傷を回避できるため、次世代の超高密度・高性能パッケージングで要求される極めてデリケートな材料の微細加工に道を開きます。実用化にはまだ時間がかかりますが、この基礎研究の成果は、将来的な半導体パッケージングの設計自由度を大きく広げるでしょう。【機会】日本の材料メーカーにとっては、この加工技術に対応した新しいlow-κ材料の開発や、既存材料の特性改善の機会となります。また、日本のレーザー装置メーカーにとっては、DUVレーザーと後続レーザーを組み合わせた高精度加工装置の開発競争が始まる可能性があります。【脅威】この技術が欧州で先行して実用化された場合、日本の材料・装置メーカーが技術的な後塵を拝するリスクがあります。特に、基礎研究段階での情報収集と連携が重要です。【次のアクション】R&D部門は、この非熱レーザー加工技術の原理と応用可能性を深く理解し、自社のlow-κ材料開発やレーザー加工技術ロードマップにどう組み込むかを検討すべきです。特に、フラウンホーファーとの共同研究や情報交換の機会を探ることも有効でしょう。

その他の注目記事

IntelとTSMC、パネルレベルパッケージングを推進し市場が10倍に拡大する見込み (The Elec)

技術新規性●●●○○ 実用化距離●●●○○ 市場インパクト●●●●●

IntelとTSMCがPLPを推進し、AI/HPC向けPKG市場が10倍に拡大するとの予測。日本の材料・装置メーカーは市場機会を逃すな。

BOE、ガラス基板を国内顧客向けにサンプル出荷開始：先進チップパッケージング革新へ (36Kr English)

技術新規性●●●●○ 実用化距離●●●●○ 市場インパクト●●●●○

中国BOEがガラス基板のサンプル出荷開始。低熱膨張率・高剛性で微細配線と高密度積層を実現、日本の材料メーカーは競合動向を注視すべき。

ASE、AI需要急増で先進パッケージング料金を20%超値上げ (SiliconAnalysts)

技術新規性●○○○○ 実用化距離●●●●● 市場インパクト●●●●○

AIチップ向け先進パッケージングの供給逼迫が深刻化し、ASEが20%超の値上げ。日本の半導体メーカーは調達コスト増を考慮した戦略が必要。

TSMCのCoWoSパッケージング装置サプライチェーン、AI需要で強い引き合い (DigiTimes)

技術新規性●○○○○ 実用化距離●●●●● 市場インパクト●●●●●

TSMCのCoWoS装置サプライチェーンがAI需要で逼迫。日本の装置・材料メーカーは生産能力増強と技術革新でこの需要に応えるべき。

今週のアクション提案

記事評価マトリクスと機会/脅威分析を踏まえたアクション提案です。

■ 即時（今週中）

- 【調達】 AIチップ向け先進パッケージングサービスの価格動向（ASEの値上げなど）を再確認し、既存契約の見直しや代替サプライヤーの評価を開始。
- 【R&D;】 Samsungの光学HBMロードマップ（#19）およびApplied Materialsの新システム（#18）に関する技術詳細を収集し、自社技術ロードマップへの影響を評価。

■ 短期（1ヶ月）

- 【経営企画】 パネルレベルパッケージング（PLP）やガラス基板（#04, #11）の市場拡大予測に基づき、自社の先進パッケージング戦略におけるCoWoS以外の選択肢を検討。
- 【R&D;】 フラウンホーファーの低誘電率材料向けレーザー加工技術（#21）について、基礎研究動向を調査し、将来的な材料・装置開発への影響を評価。
- 【半導体PKG】 HBMの歩留まり改善（#22）やロジック級製造（#05）に向けたプロセス改善、検査体制強化の可能性を検討。

■ 中長期（四半期～）

- 【R&D;】 光学HBM向けの新材料（光導波路、接着剤など）や、PLP/ガラス基板向けの高精度加工装置の開発に着手。
- 【経営企画】 EUチップス法や米国CHIPS Act（#01, #20, #23）によるサプライチェーン再編の動向を継続的に監視し、海外拠点戦略や提携戦略を再構築。
- 【材料メーカー】 ガラス基板や低誘電率材料など、次世代パッケージング材料における中国企業の技術動向（#11, #22）を分析し、競争優位性を確立するためのR&D;投資計画を策定。

半導体後工程 採用記事全文集

出力日: 2026-07-05

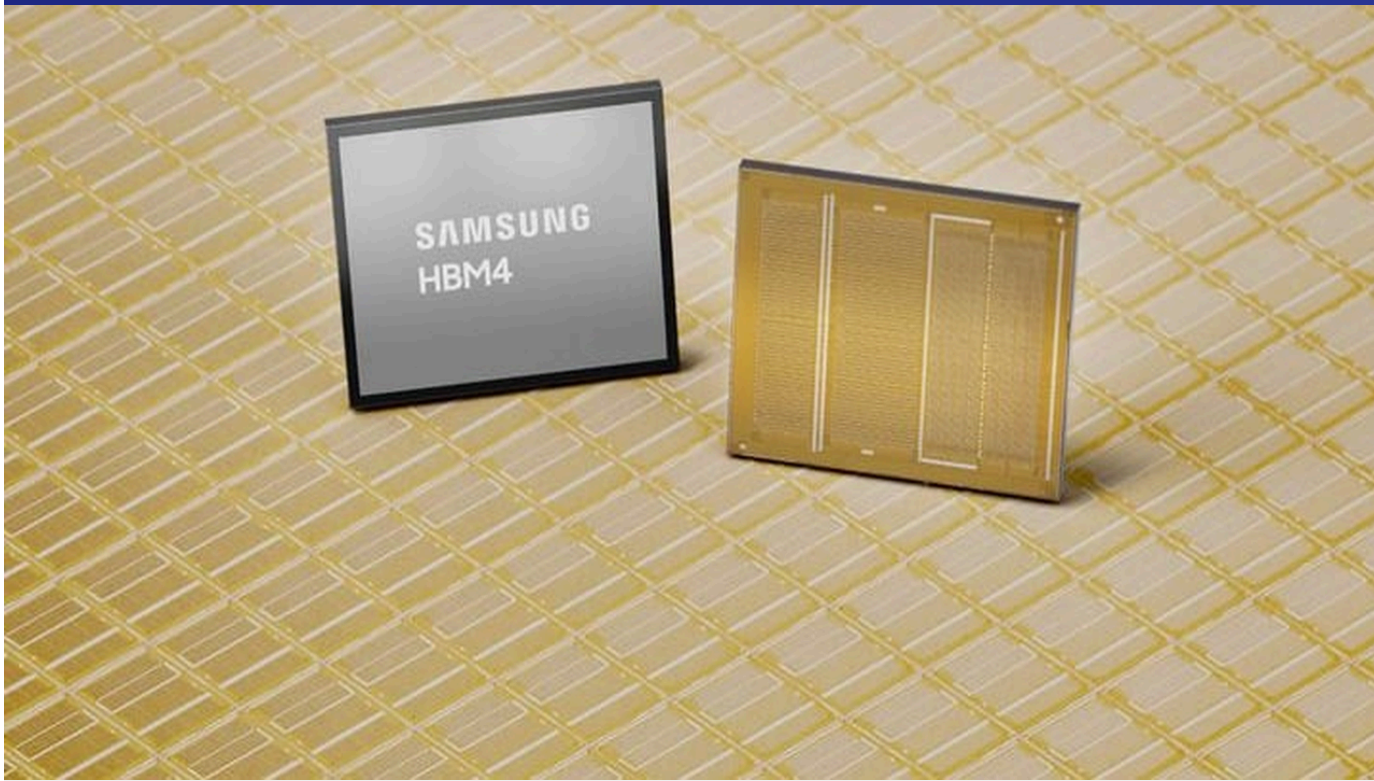
採用記事数: 22 件

収録記事一覧

- #01 EU、チップス法に基づき3D ICパッケージング研究に2.1億ユーロを投資決定
- #02 Applied Materials、AIチップ向けDRAM・先進パッケージング加速の新システムを発表
- #03 ASE、AIブーム受けFOPLP量産を2026年末までに開始、15の拡張プロジェクトを推進
- #04 IntelとTSMC、パネルレベルパッケージングを推進し市場が10倍に拡大する見込み
- #05 Applied Materials、先進パッケージングの「ロジック級」製造でメモリメーカーをリード
- #06 ASE、AI需要急増で先進パッケージング料金を20%超値上げ
- #07 AI時代のパッケージングボトルネック解消へ：CoWoS、ウェーハスケール、CoWoP技術の動向
- #08 Lam Research、ウェーハ・ツール・パネル処理で先進パッケージングの未来を構築
- #09 Samsung、HBM4売上が100億ドル突破見込み、AI需要が牽引
- #10 eWeekがAIチップのボトルネック課題を詳報：先進パッケージングが鍵
- #11 BOE、ガラス基板を国内顧客向けにサンプル出荷開始：先進チップパッケージング革新へ
- #12 SK Hynix、韓国国内に640億ドルの大規模投資を発表：AIメモリとパッケージング能力を強化
- #14 JCET、先進チップパッケージングへの大規模投資で株価が急騰
- #15 野村證券、TSMC目標株価を引き上げ：AIインフラサイクルが成長を牽引
- #16 Kioxia、AIブームを追い風に次世代メモリの量産準備を加速、劇的な回復へ
- #17 TSMCのCoWoSパッケージング装置サプライチェーン、AI需要で強い引き合い
- #18 Applied Materials、AIチップ向けDRAM・先端パッケージング加速へ6種の新システム発表、サブ10nm欠陥検出も
- #19 Samsung、HBM4生産能力の半分を割り当て世界初出荷後4ヶ月で10億ドル売上達成、2028年光学HBM量産へ
- #20 EUチップス法、3D IC先端パッケージングに2億1000万ユーロを投じる、Infineon、ASML子会社、Soitecが恩恵
- #21 フラウンホーファー、先端パッケージング向け低誘電率材料のDUVアシスト非熱レーザーグルーピング技術を開発
- #22 中国CXMT、HBM生産で技術的課題直面、2027-2028年に歩留まり・パッケージング改善が鍵
- #23 CHIPS法、米国への台湾半導体サプライヤー誘致に成功：先端パッケージング・材料供給で新機会創出

#01 EU、チップス法に基づき3D ICパッケージング研究に2.1億ユーロを投資決定

公開日 2026年06月25日 The Chosun Daily EU



概要

欧州連合は、欧州チップス法（EU Chips Act）の一環として、次世代3D ICパッケージング技術の研究開発に対し、総額2億1,000万ユーロ（約350億円）の資金を投じることを決定しました。この投資は、半導体製造プロセスの後工程における欧州の技術的自立と競争力強化を目的としています。特に、異種統合や3D積層技術に焦点を当て、高性能コンピューティング（HPC）やAIアプリケーションに不可欠な半導体技術のイノベーションを加速させることが期待されます。これにより、欧州は世界の半導体サプライチェーンにおける戦略的な地位を向上させることを目指します。

詳細

主要成果

欧州連合は、先進的な3D ICパッケージング技術の研究開発を加速させるため、欧州チップス法（EU Chips Act）の下で2億1,000万ユーロという大規模な資金提供を承認しました。この決定は、半導体産業における欧州の技術的独立性を確保し、特に後工程分野での競争力を強化する上で極めて重要な一歩となります。

技術・臨床詳細

今回の資金は、主に異種統合（Heterogeneous Integration）と3D積層技術（3D Stacking Technologies）に焦点を当てたプロジェクトに割り当てられます。これらの技術は、複数の異なる半導体チップや機能を一つのパッケージに統合することで、性能向上、消費電力削減、フォームファクターの小型化を実現します。具体的な研究テーマには、高度なインターコネクト技術、熱管理ソリューション、およびチップレットベースの設計手法が含まれます。高性能コンピューティング（HPC）、人工知能（AI）、自動車、通信といった高成長分野での応用が期待されており、既存の2Dパッケージング技術の限界を打破することが目標です。

背景・業界文脈

世界の半導体市場において、前工程（ウェーハ製造）の技術革新が減速する一方で、後工程（パッケージング）の重要性が増しています。特にAIやHPCの進化は、より複雑で高性能なパッケージングソリューションを要求しており、3D ICパッケージングはその中核を担う技術です。欧州はこれまで、半導体製造における前工程でアジア諸国に大きく依存してきましたが、チップス法を通じて、設計から製造、パッケージングに至るサプライチェーン全体での自給自足と技術主導権の確立を目指しています。今回の投資は、欧州域内での先端パッケージングエコシステムの構築に向けた明確なコミットメントを示しています。

今後の展望

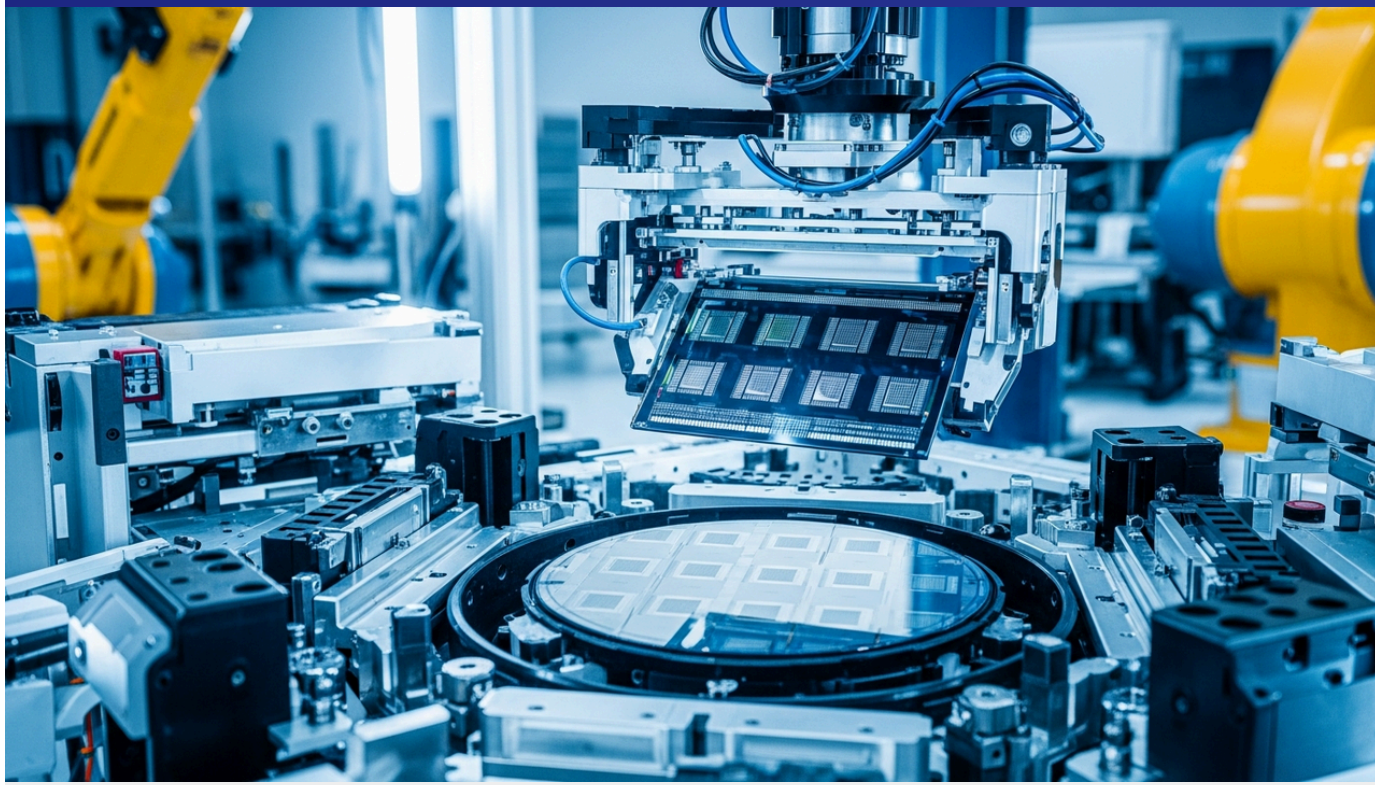
この2億1,000万ユーロの投資により、欧州の研究機関や企業は、次世代半導体技術の開発を加速させることが可能になります。具体的には、試作ラインの構築、パイロットプロジェクトの実施、そして産業界との連携強化を通じて、研究成果の迅速な実用化が期待されます。長期的には、欧州が先進パッケージング技術の分野で世界の主要プレイヤーとしての地位を確立し、グローバルな半導体サプライチェーンにおけるリスク分散とレジリエンス向上に貢献することが展望されます。

元記事: <https://www.chosun.com/english/industry-en/2026/06/25/E5R4RKNI4BH4FJEIOPPSNDCH5Q/>

収集日: 2026年07月03日 | 自動記事収集・翻訳システム (Gemini API使用)

#02 Applied Materials、AIチップ向けDRAM・先進パッケージング加速の新システムを発表

公開日 2026年06月25日 StockTitan アメリカ



概要

Applied Materialsは、AIチップの性能を大幅に向上させるDRAMおよび先進パッケージングプロセス向けの複数の新システムを発表しました。これらのシステムは、特にHBM（高帯域幅メモリ）の製造効率と信頼性を高め、ハイブリッドボンディングなどの次世代パッケージング技術に対応します。これにより、データ転送速度の向上と消費電力の削減を実現し、AIワークロードのボトルネック解消に貢献します。Applied Materialsは、これらの革新的なソリューションを通じて、半導体メーカーの技術ロードマップを支援します。

詳細

主要成果

Applied Materialsは、人工知能（AI）チップの性能を飛躍的に向上させるDRAMおよび先進パッケージングプロセスを加速するための画期的な新システム群を発表しました。これらのシステムは、特に高帯域幅メモリ（HBM）の製造効率と信頼性を劇的に向上させることを目指しています。

技術・臨床詳細

新システムには、DRAMの製造における微細化と積層技術を最適化するソリューションが含まれており、HBMの重要な要素であるウェーハボンディング、薄膜堆積、エッチングプロセスをターゲットとしています。具体的には、同社の新しいハイブリッドボンディングプラットフォームは、チップ間の接続密度を最大化し、信号経路を短縮することでデータ転送速度を向上させ、同時に消費電力を削減します。また、高度なメタロジプラットフォームは、製造プロセスの精度と歩留まりを向上させ、複雑な3D構造の品質管理を可能にします。これらの技術は、AIプロセッサとHBMを統合するCoWoS（Chip-on-Wafer-on-Substrate）などの先進パッケージングに不可欠であり、次世代のAIアクセラレーターの性能要件を満たすよう設計されています。

背景・業界文脈

AIの進化は、膨大なデータを高速で処理する能力を要求し、従来の2D半導体技術では対応しきれないボトルネックが生じています。特に、AIアクセラレーターとHBM間のデータ帯域幅とレイテンシは、システム全体の性能を決定する重要な要素です。Applied Materialsは、長年にわたる材料工学とプロセス技術の専門知識を活かし、このボトルネックを解消するための統合ソリューションを提供します。今回の新システムは、半導体メーカーがHBM4やHBM5といった次世代メモリを効率的かつ大規模に製造し、AI時代の高性能コンピューティング需要に対応するための基盤となります。

今後の展望

Applied Materialsの新システムは、AIチップの設計と製造における新たな標準を確立し、半導体産業全体の技術革新を牽引することが期待されます。同社は、これらのソリューションを通じて、顧客がより高性能かつエネルギー効率の高いAI半導体を市場に投入できるよう支援し、AI技術のさらなる普及と発展に貢献していくと見られます。特に、ハイブリッドボンディング技術の普及は、将来的にはチップレット間の直接接続を可能にし、さらなる性能向上とコスト削減に繋がる可能性を秘めています。

元記事: <https://www.stocktitan.net/news/AMAT/applied-materials-introduces-new-systems-to-accelerate-dram-and-etwqxf3t2d8.html>

収集日: 2026年07月03日 | 自動記事収集・翻訳システム (Gemini API使用)

#03 ASE、AIブーム受けFOPLP量産を2026年末までに開始、15の拡張プロジェクトを推進

公開日 2026年06月25日 TrendForce 台湾



概要

世界最大の半導体パッケージング・テストサービス企業であるASE Technology（日月光投控）は、AIチップ需要の急増に対応するため、2026年末までにFOPLP（Fan-out Panel-Level Packaging）の量産を開始する計画を発表しました。同社は、AI関連の先進パッケージング能力を強化するために、今年中に15の拡張プロジェクトを立ち上げています。この戦略的な動きは、既存のCoWoS不足を補完し、高密度・高性能なパッケージングソリューションへの市場ニーズに応えるものです。ASEはこれにより、AI半導体サプライチェーンにおける中心的な役割をさらに強固にします。

詳細

主要成果

ASE Technology (日月光投控) は、人工知能 (AI) チップに対する需要の爆発的な増加に対応するため、2026年末までにFOPLP (Fan-out Panel-Level Packaging) 技術の量産を開始する方針を明らかにしました。さらに、同社はAI関連の先進パッケージング能力を大幅に拡大するため、今年中に合計15の拡張プロジェクトを推進しています。

技術・臨床詳細

FOPLPは、従来のFOWLP (Fan-out Wafer-Level Packaging) よりも大型のパネル基板を使用することで、一度に処理できるチップ数を増やし、コスト効率と生産性を向上させる先進パッケージング技術です。この技術は、高密度な配線と優れた電気的性能を提供し、特に高性能AIプロセッサやHBM (高帯域幅メモリ) との統合に適しています。ASEの拡張プロジェクトには、FOPLPの製造ライン構築に加え、既存の先進パッケージング技術であるCoWoS (Chip-on-Wafer-on-Substrate) の生産能力増強も含まれます。これにより、AIチップに必要な高性能かつ複雑なパッケージング要求に応える多様なソリューションが提供されます。

背景・業界文脈

現在のAIチップ市場では、TSMCのCoWoSなどの先進パッケージング能力がボトルネックとなり、供給が需要に追いつかない状況が続いています。ASEのFOPLPへの大規模投資と量産開始は、このボトルネックを緩和し、AIチップの市場投入を加速させる上で非常に重要な意味を持ちます。FOPLPは、従来のウェーハレベルからパネルレベルへとスケールアップすることで、生産コストの削減とスループットの向上を実現し、AI半導体サプライチェーンの多様化と強靱化に貢献します。この動きは、ASEがAI時代における主要なパッケージングソリューションプロバイダーとしての地位を確立する戦略の一環です。

今後の展望

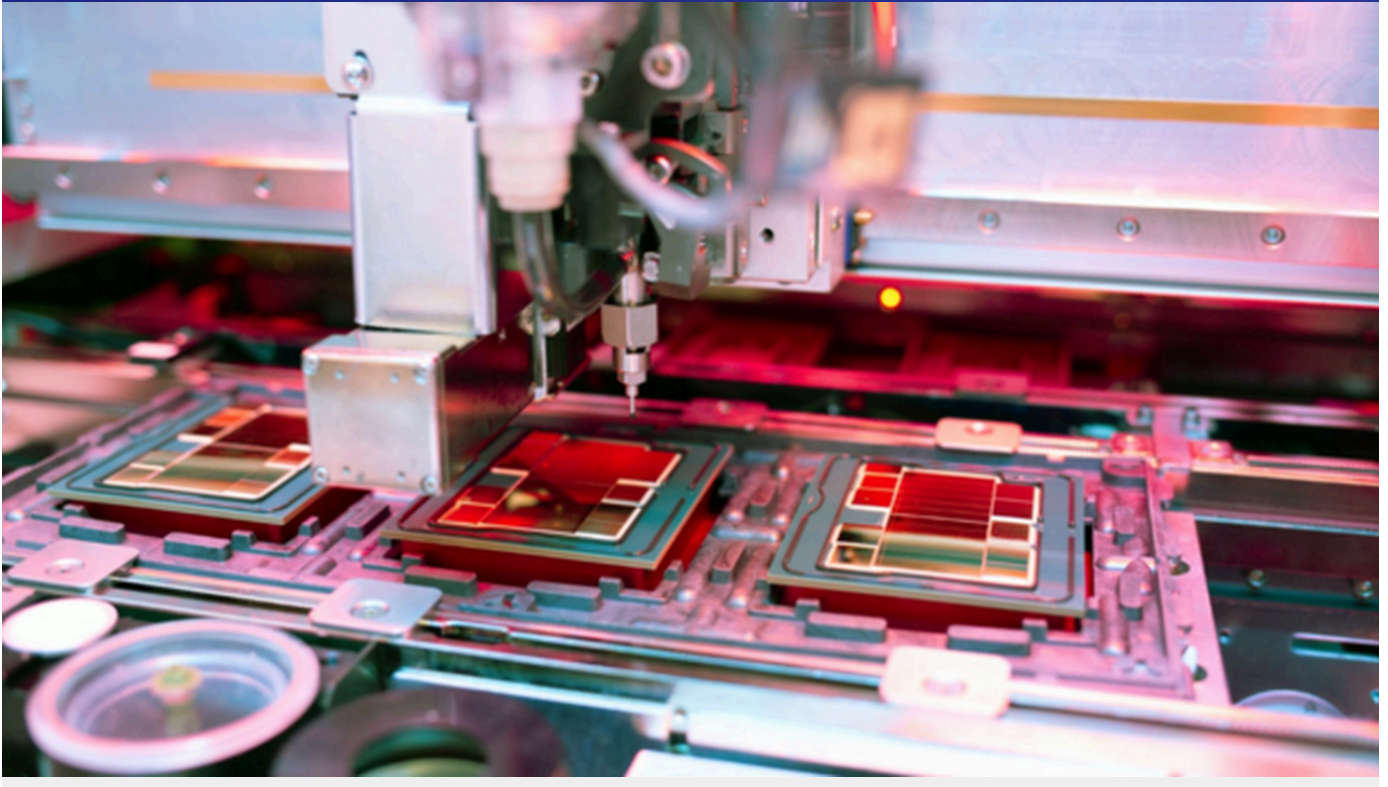
ASEのFOPLP量産開始と積極的な設備投資は、AI半導体市場の成長をさらに加速させるでしょう。同社は、この技術を通じて、NVIDIA、AMD、Intelなどの主要なAIチップメーカーからの需要を取り込み、市場シェアを拡大することを目指します。また、FOPLPは、CoWoSとは異なるコストと性能のバランスを提供するため、幅広いAIアプリケーションに対して柔軟なパッケージングオプションを提供し、AIチップの普及を後押しすると予測されます。これにより、ASEは、多様な顧客ニーズに対応する包括的な先進パッケージングポートフォリオを構築し、今後のAI産業の発展に不可欠な存在となるでしょう。

元記事: <https://www.trendforce.com/news/2026/06/25/news-ase-targets-fopl-mass-production-by-end-2026-launches-15-expansion-projects-this-year-amid-ai-boom/>

収集日: 2026年07月03日 | 自動記事収集・翻訳システム (Gemini API使用)

#04 IntelとTSMC、パネルレベルパッケージングを推進し市場が10倍に拡大する見込み

公開日 2026年07月02日 The Elec 韓国



概要

IntelとTSMCがパネルレベルパッケージング（PLP）技術の採用を積極的に推進しており、これにより関連市場が今後10倍に拡大する可能性が指摘されています。PLPは、従来のウェーハレベルパッケージングと比較して、生産効率とコスト優位性を提供し、特にAIやHPCチップの製造において不可欠な技術と見なされています。両社の戦略的な動きは、既存のCoWoSなどの先進パッケージングの供給制約を緩和し、より広範な半導体製品への適用を可能にすると期待されます。この技術革新は、高性能半導体の量産体制を確立する上で重要な役割を果たすでしょう。

詳細

主要成果

IntelとTSMCという半導体業界の二大巨頭が、パネルレベルパッケージング（PLP）技術の採用と推進を加速しており、これにより関連市場が今後、現在の規模から最大10倍に拡大するとの見通しが示されています。この技術は、次世代の高性能半導体、特にAIやHPC（高性能コンピューティング）向けチップの製造コストと効率を劇的に改善する可能性を秘めています。

技術・臨床詳細

パネルレベルパッケージングは、従来の丸いシリコンウェーハではなく、より大きな長方形のパネル基板を使用して複数のチップを同時にパッケージングする技術です。これにより、ウェーハの端部分が無駄になるのを防ぎ、原材料の使用効率と全体のスループットを向上させることができます。Intelは、FO-PLP（Fan-out Panel-Level Packaging）を含む独自の先進パッケージング技術「Foveros」や「EMIB」でPLPの概念を積極的に導入しています。一方、TSMCも、CoWoS（Chip-on-Wafer-on-Substrate）の進化形としてPLP技術を検討しており、より大型の基板で複数のチップレットを統合するソリューションを模索しています。PLPは、高密度な配線層と優れた放熱特性を提供し、AIプロセッサとHBM（高帯域幅メモリ）の統合に特に有利です。

背景・業界文脈

AIチップの需要が急増する中で、CoWoSなどの既存の先進パッケージング技術の供給能力がボトルネックとなり、これがチップの市場投入を遅らせる主要因となっています。IntelとTSMCがPLPに注力する背景には、この供給制約を緩和し、よりコスト効率の高い方法で高性能チップを量産する戦略があります。PLPは、生産コストを最大20～30%削減する可能性があり、AIチップだけでなく、モバイル、データセンター、自動車など、より広範なアプリケーションへの高性能半導体の普及を加速させることが期待されています。これにより、半導体産業は新たな成長フェーズに突入すると予測されます。

今後の展望

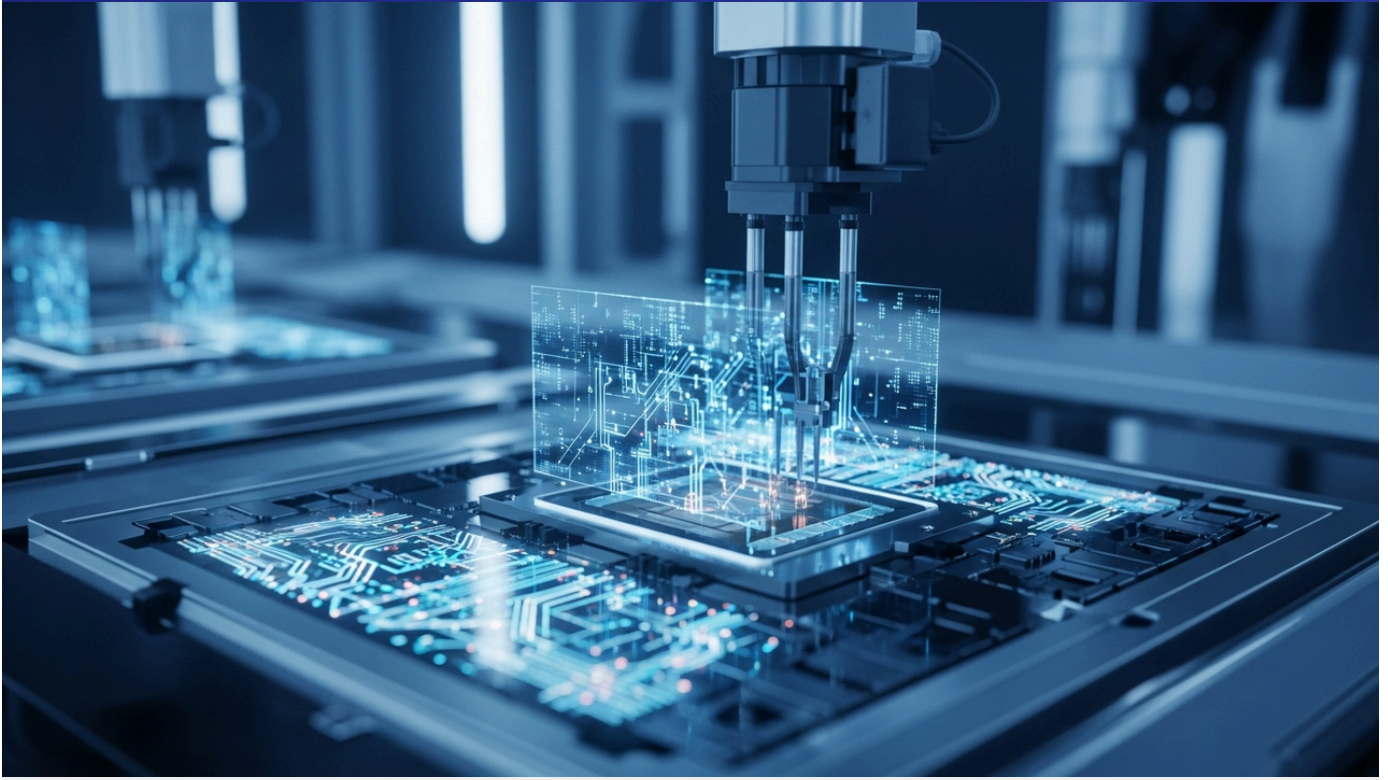
IntelとTSMCのPLPへの積極的な取り組みは、半導体製造技術のパラダイムシフトを象徴しています。両社がこの技術の実用化と量産化を進めることで、PLP関連の装置、材料、サービス市場全体が大きく成長するでしょう。特に、装置メーカーや材料サプライヤーにとっては、新たなビジネスチャンスが生まれます。将来的には、PLPが先進パッケージングの主流技術の一つとなり、AIやHPCの進化をさらに後押しする基盤を築くこととなります。この技術革新は、次世代半導体のコストと性能のバランスを大きく改善し、幅広い産業分野に恩恵をもたらすと考えられます。

元記事: <https://www.thelec.net/news/articleView.html?idxno=11912>

収集日: 2026年07月03日 | 自動記事収集・翻訳システム (Gemini API使用)

#05 Applied Materials、先進パッケージングの「ロジック級」製造でメモリメーカーをリード

公開日 2026年06月26日 Futurum Group アメリカ



概要

Applied Materialsは、その先進的なパッケージング技術が、メモリメーカーにロジックチップ製造のような精密なプロセス制御をもたらすと強調しました。同社の統合ソリューションは、HBM（高帯域幅メモリ）や3D積層ダイの製造において、微細な接合精度と高歩留まりを実現し、AIチップ性能のボトルネックを解消します。この「ロジック級」のアプローチは、メモリ製品の複雑化と高性能化に対応し、AI時代における競争優位性を確立する上で不可欠です。Applied Materialsは、これにより半導体産業全体の技術水準を引き上げると位置づけています。

詳細

主要成果

Applied Materialsは、同社の先進パッケージングソリューションが、メモリ製造におけるプロセス制御をロジックチップ製造と同等の「ロジック級」の精度に引き上げると表明しました。このアプローチは、特に高帯域幅メモリ（HBM）や3D積層ダイといった複雑なメモリ製品の性能と歩留まりを大幅に向上させ、AIチップの進化を加速させる鍵となります。

技術・臨床詳細

Applied Materialsが提唱する「ロジック級」の製造アプローチとは、メモリチップのパッケージングにおいて、サブミクロンレベルの精密な位置合わせ、均一な薄膜堆積、そして欠陥の少ないエッチングプロセスを実現することを意味します。これは、ロジックチップ製造で培われた高度なプロセス制御技術と計装をメモリ製造の後工程に適用するものです。具体的には、ウェーハ間のハイブリッドボンディングにおいて、高精度なアライメントと強力な接合強度を保証する技術や、複数のダイを積層する際の熱管理と応力緩和技術が重要視されます。これにより、HBMのような多層構造を持つメモリの積層において、接続の信頼性を高め、電気的性能を最適化し、製造歩留まりを最大化します。

背景・業界文脈

AIの爆発的な成長に伴い、AIプロセッサとメモリ間のデータ転送速度と帯域幅がシステム性能のボトルネックとなっています。HBMは、このボトルネックを解消するために不可欠な技術ですが、その製造には極めて高度なパッケージング技術が要求されます。従来のメモリパッケージングは、ロジックチップほど厳密なプロセス制御を必要としませんでした。HBMや3D積層メモリの複雑化により、ロジックチップ製造と同様の精度が不可欠となっています。Applied Materialsのこの戦略は、メモリ製造の後工程における技術的課題を解決し、AI時代の高性能コンピューティング需要に対応するための新たな標準を提示するものです。

今後の展望

Applied Materialsの「ロジック級」先進パッケージング技術は、メモリメーカーが次世代HBMや3D NANDなどの先進メモリを効率的かつ高品質に生産するための道を拓きます。この技術の普及により、AIアクセラレーターはさらに高性能化し、消費電力の削減も期待されます。Applied Materialsは、材料工学とプロセス技術におけるリーダーシップを活かし、半導体産業全体の技術レベルを向上させるとともに、AI時代におけるイノベーションの基盤を提供し続けるでしょう。これにより、半導体サプライチェーン全体がより強固になり、AI技術の適用範囲がさらに拡大することが見込まれます。

元記事: <https://futuraingroup.com/insights/applied-materials-master-class-schools-memory-makers-on-logic-class-fabrication/>

収集日: 2026年07月03日 | 自動記事収集・翻訳システム (Gemini API使用)

#06 ASE、AI需要急増で先進パッケージング料金を20%超値上げ

公開日 2026年07月02日 SiliconAnalysts 台湾



概要

世界最大の半導体後工程サービス企業であるASE Technologyは、AIチップ向け先進パッケージングサービスの料金を20%以上引き上げました。これは、人工知能（AI）需要の急増により、CoWoSなどの先進パッケージングの供給が極めて逼迫している状況を反映したものです。この値上げは、収益性を高めるとともに、継続的な設備投資を可能にし、AI半導体エコシステムのボトルネック解消に貢献するでしょう。業界全体のコスト構造に影響を与え、他の後工程企業も追随する可能性があります。

詳細

主要成果

世界をリードする半導体パッケージング・テストサービス企業であるASE Technology（日月光投控）は、AIチップ向け先進パッケージングサービスの料金を20%以上という大幅な値上げを実施しました。この決定は、人工知能（AI）技術の爆発的な成長に伴う先進パッケージング能力への未曾有の需要急増を背景としています。

技術・臨床詳細

今回の値上げは、主に高帯域幅メモリ（HBM）や高性能AIプロセッサの統合に不可欠なCoWoS（Chip-on-Wafer-on-Substrate）などの先進パッケージング技術に適用されます。これらの技術は、複数のチップレットを非常に高密度に積層・接続することで、データ転送速度を最大化し、消費電力を抑制するものです。現在の市場では、NVIDIA、AMD、Intelといった主要なAIチップ開発企業からの受注が殺到しており、ASEをはじめとする後工程企業はフル稼働状態にあります。20%以上の価格上昇は、生産ラインの拡張や先端技術開発にかかる巨額の投資コスト、および限られた供給能力に対するプレミアムを反映しています。

背景・業界文脈

AIの進化は、従来の半導体製造プロセスにおけるボトルネックを後工程、特に先進パッケージングへとシフトさせました。TSMCがCoWoSの主要サプライヤーである一方、ASEのようなOSAT（Outsourced Semiconductor Assembly and Test）企業は、その能力を補完し、多様なパッケージングソリューションを提供しています。現在のAIチップサプライチェーンでは、先進パッケージング能力が最も深刻な制約要因となっており、需要が供給を大幅に上回る状況が続いています。今回のASEの値上げは、この需給不均衡の深刻さを浮き彫りにし、AIチップの市場価格全体に影響を与える可能性があります。

今後の展望

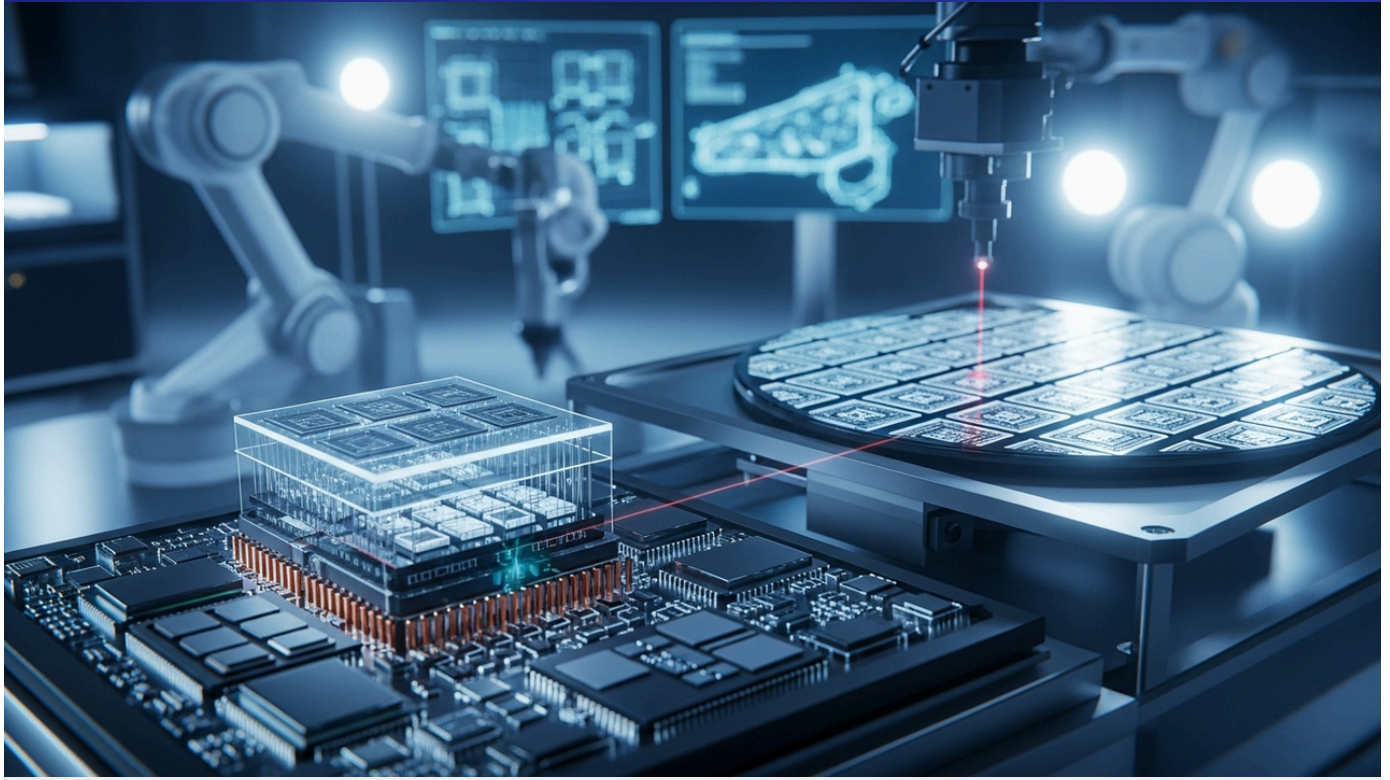
ASEの値上げは、同社の収益性とキャッシュフローを改善し、さらなる研究開発や設備投資を加速させるでしょう。これにより、長期的な先進パッケージング能力の強化に繋がります。また、この動きは他の後工程サービスプロバイダーにも波及し、同様の値上げや投資の加速を促す可能性があります。最終的には、AIチップの価格構造に影響を与えつつも、先進パッケージング技術のイノベーションと生産能力の拡大を後押しし、AI時代の技術進化をさらに加速させる重要なマイルストーンとなるでしょう。

元記事: <https://siliconanalysts.com/market/ase-advanced-packaging-quotes-surge-20-amid-ai-driven-demand-crunch-2026-07-02>

収集日: 2026年07月03日 | 自動記事収集・翻訳システム (Gemini API使用)

#07 AI時代のパッケージングボトルネック解消へ： CoWoS、ウェーハスケール、CoWoP技術の動向

公開日 2026年06月26日 EDN アメリカ



概要

AIチップの性能向上を阻むパッケージングボトルネックが、CoWoS、ウェーハスケールパッケージング、CoWoPなどの先進技術によって解決されつつあります。これらの技術は、ダイ間の接続密度を高め、熱効率を改善することで、AIプロセッサとHBM（高帯域幅メモリ）の統合を最適化します。特にCoWoSは、現在AIチップの主要なボトルネックですが、ウェーハスケールやCoWoPといった新たなアプローチが、生産性向上とコスト削減の可能性を秘めています。これにより、AIチップの供給能力が拡大し、多様なAIアプリケーションへの普及が加速するでしょう。

詳細

主要成果

人工知能（AI）チップの性能進化を阻害していた主要なボトルネックが、パッケージング技術の革新によって解消されつつあります。特に、CoWoS（Chip-on-Wafer-on-Substrate）、ウェーハスケールパッケージング、そしてCoWoP（Chip-on-Wafer-on-Package）といった先進的なアプローチが、AIプロセッサと高帯域幅メモリ（HBM）の統合における課題を克服し、性能向上と生産効率の改善を実現しています。

技術・臨床詳細

CoWoSは、インターポーザーを介して複数のダイ（論理チップとHBM）をウェーハ上に統合し、そのウェーハをさらにパッケージ基板に実装する2.5Dパッケージング技術です。これにより、ダイ間の近接配置と短距離配線が可能になり、データ転送速度が劇的に向上します。しかし、CoWoSの製造能力は限られており、これが現在のAIチップ供給のボトルネックとなっています。これに対し、ウェーハスケールパッケージングは、より大きなウェーハ全体で複数のチップを一度に処理し、製造コストを削減する手法です。さらに進化形として登場したCoWoPは、CoWoSの利点を維持しつつ、より大型のパッケージ基板を利用することで、CoWoSの生産性をさらに高め、コスト効率を改善する可能性を秘めています。これらの技術は、微細な銅-銅ハイブリッドボンディングや高密度な再配線層（RDL）形成、先進的な熱管理ソリューションを統合することで、AIワークロードに不可欠な電力効率と信頼性を提供します。

背景・業界文脈

AIモデルの複雑化とデータ量の増加は、AIプロセッサの処理能力だけでなく、それに接続されるメモリの帯域幅とレイテンシ（遅延）に極めて高い要求を課しています。従来のパッケージング技術では、これらの要求を満たすことが困難であり、AIチップの供給不足と高コストの主な原因となっていました。TSMCやIntelといった大手ファウンドリおよびIDMがCoWoSやその他の先進パッケージング技術に多額の投資を行っているのは、このボトルネックを解消し、AI時代の高性能コンピューティング市場の成長を確実にするためです。ウェーハスケールやCoWoPといった技術は、CoWoSの課題を補完し、よりスケーラブルで経済的な解決策を提供することで、AI半導体エコシステム全体の強靱化に貢献します。

今後の展望

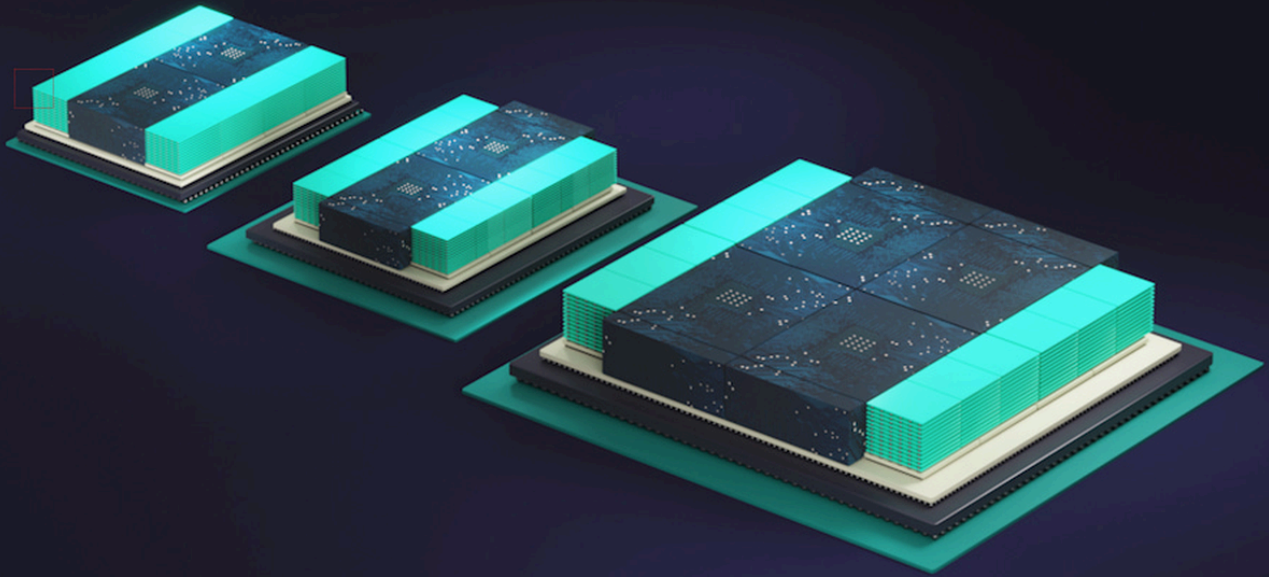
これらの先進パッケージング技術の進化と普及は、AIチップの製造能力を飛躍的に向上させ、結果としてAI技術のさらなる広範な応用を可能にするでしょう。特にCoWoPのような新興技術が量産段階に入れば、AIチップのコストが低減し、より多くの企業や研究者が高性能AIハードウェアにアクセスできるようになります。これにより、自動運転、ロボット工学、医療診断、大規模言語モデルなど、AIが活用されるあらゆる分野で新たなイノベーションが加速すると期待されます。半導体産業は、パッケージングをイノベーションの中心に据えることで、AI時代の成長エンジンとしての役割を強化していくこととなります。

元記事: <https://www.edn.com/cowos-wafer-scale-and-cowop-why-ai-packaging-bottleneck-is-moving/>

収集日: 2026年07月03日 | 自動記事収集・翻訳システム (Gemini API使用)

#08 Lam Research、ウェーハ・ツー・パネル処理で先進パッケージングの未来を構築

公開日 2026年06月26日 Lam Research Newsroom アメリカ



概要

Lam Researchは、ウェーハからパネルへの処理技術を拡大することで、先進パッケージングの未来を積極的に構築しています。同社は、より大型のパネル基板に対応する新しいプラットフォームとプロセスを開発し、既存のウェーハレベル技術と比較して製造コストを大幅に削減し、スループットを向上させます。この革新的なアプローチは、特にAIやHPC（高性能コンピューティング）向けチップの多様なパッケージング要件に対応し、半導体産業におけるスケーラビリティと効率性の新たな標準を確立します。Lam Researchは、これにより次世代の複雑なチップ統合を可能にします。

詳細

主要成果

半導体製造装置大手であるLam Researchは、ウェーハからパネルへの処理技術を拡大することで、先進パッケージングの未来を積極的に形作っています。同社は、より大型のパネル基板で複数のチップを同時に処理する新しいプラットフォームとプロセスを開発し、製造コストの劇的な削減と生産スループットの向上を実現します。

技術・臨床詳細

Lam Researchの「ウェーハ・ツー・パネル」戦略は、従来の丸いウェーハではなく、大型の長方形パネル上で先進パッケージングプロセスを実施することに焦点を当てています。これにより、ウェーハの端部分で発生する無駄を最小限に抑え、原材料の利用効率を最大化します。具体的には、同社の新しいプラットフォームは、高精度なエッチング、薄膜堆積、クリーニングといったプロセスをパネルレベルで実行できるように設計されています。これにより、特にファンアウト・パネルレベルパッケージング（FOPLP）などの技術において、より多くのチップを一度に処理し、単位チップあたりのコストを大幅に削減することが可能です。この技術は、AIプロセッサ、HBM（高帯域幅メモリ）、およびチップレット統合といった、ますます複雑化する次世代半導体の要求に対応します。

背景・業界文脈

人工知能（AI）や高性能コンピューティング（HPC）の急速な発展は、従来の半導体製造技術に新たな課題を突きつけています。特に、先進パッケージングは、チップの性能、消費電力、コストを決定する上で不可欠な要素となりつつあります。しかし、既存のウェーハレベルパッケージング技術は、大型で複雑なAIチップの製造において、コスト効率とスケーラビリティの面で限界に直面しています。Lam Researchのパネルレベル処理への転換は、この課題に対する戦略的な回答であり、半導体メーカーが次世代AIチップを効率的かつ経済的に量産するための道を開きます。

今後の展望

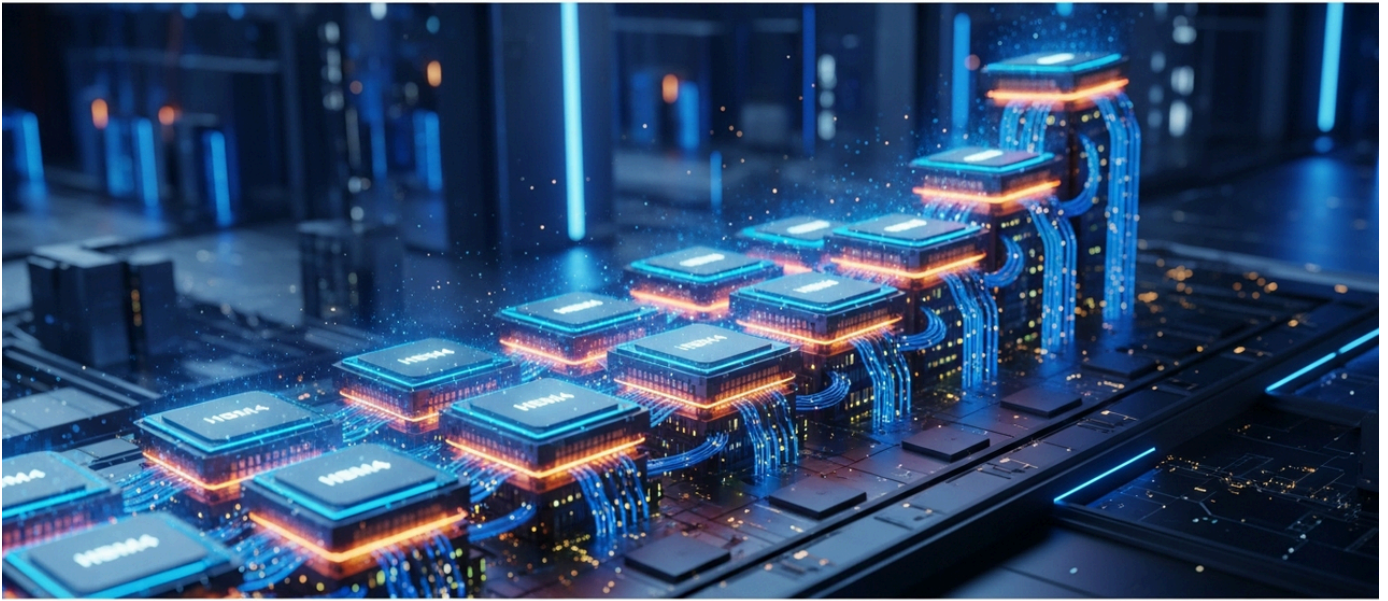
Lam Researchのウェーハ・ツー・パネル処理技術は、先進パッケージング市場に革命をもたらす可能性を秘めています。この技術の普及により、AIチップの製造コストが低減し、より多くのデバイスやアプリケーションに高性能AI機能が搭載されるようになるでしょう。同社は、この革新を通じて、半導体産業全体の生産効率とスケーラビリティを向上させ、データセンター、自動車、モバイルデバイスなど、AIが中核となるあらゆる分野での技術革新を加速させることが期待されます。Lam Researchは、半導体製造装置のリーダーとして、先進パッケージングの進化を牽引し続けるでしょう。

元記事: <https://newsroom.lamresearch.com/wafer-to-panel-lam-scaling-advanced-packaging-panel-level-processing?blog=true>

収集日: 2026年07月03日 | 自動記事収集・翻訳システム (Gemini API使用)

#09 Samsung、HBM4売上が100億ドル突破見込み、AI需要が牽引

公開日 2026年06月26日 GuruFocus 韓国



概要

Samsung Electronicsの次世代高帯域幅メモリ（HBM4）の売上が、AI需要の急増を背景に、年内に100億ドル（約1.6兆円）を超える見込みです。同社は、HBM4の生産能力増強と技術革新に大規模な投資を行っており、NVIDIAなどの主要なAIチップメーカーからの需要に応えています。この売上予測は、AIモデルの高度化に伴うHBMの重要性の高まりを反映しており、Samsungがメモリ半導体市場におけるリーダーシップを強化する上で重要なマイルストーンとなります。同社は、ハイブリッドボンディングなどの先進パッケージング技術でHBM4の性能を最大化しています。

詳細

主要成果

Samsung Electronicsの次世代高帯域幅メモリ（HBM4）の売上が、人工知能（AI）アプリケーション向け需要の爆発的な増加を背景に、今年度中に100億ドル（約1.6兆円）を突破する見通しであることが明らかになりました。この数字は、SamsungがHBM市場で確立している強固な地位と、AI時代におけるメモリ半導体の重要性を明確に示しています。

技術・臨床詳細

HBM4は、従来のHBM3Eと比較して、より高い帯域幅、低消費電力、そして優れた熱特性を提供するように設計されています。Samsungは、このHBM4の性能を最大化するために、先進パッケージング技術、特にハイブリッドボンディングを積極的に採用しています。ハイブリッドボンディングは、チップ間の接続ピッチを極めて微細化し、信号伝送効率を向上させることで、データ転送速度を大幅に引き上げます。また、同社は、HBM4の積層数とダイ当たりの容量を増やすことで、AIアクセラレーターが必要とする膨大なデータを効率的に処理できる能力を提供しています。NVIDIAを含む主要なAIチップメーカーは、自社のGPUやASICにHBM4を積極的に採用しており、これがSamsungの売上を強かに牽引しています。

背景・業界文脈

AI、特に大規模言語モデル（LLM）の進化は、AIプロセッサに途方もない計算能力と、それに伴う膨大なデータ処理能力を要求しています。このため、プロセッサとメモリ間のデータ帯域幅がシステム全体の性能を決定する最も重要な要素の一つとなっています。HBMは、このボトルネックを解消するための唯一の現実的なソリューションとして、その需要が急速に拡大しています。Samsungは、DRAM市場における長年のリーダーシップと、先進パッケージング技術への積極的な投資により、このAI時代におけるHBM市場の成長を牽引しています。競合他社もHBM技術に注力していますが、Samsungは早期の量産化と技術革新で優位性を確立しています。

今後の展望

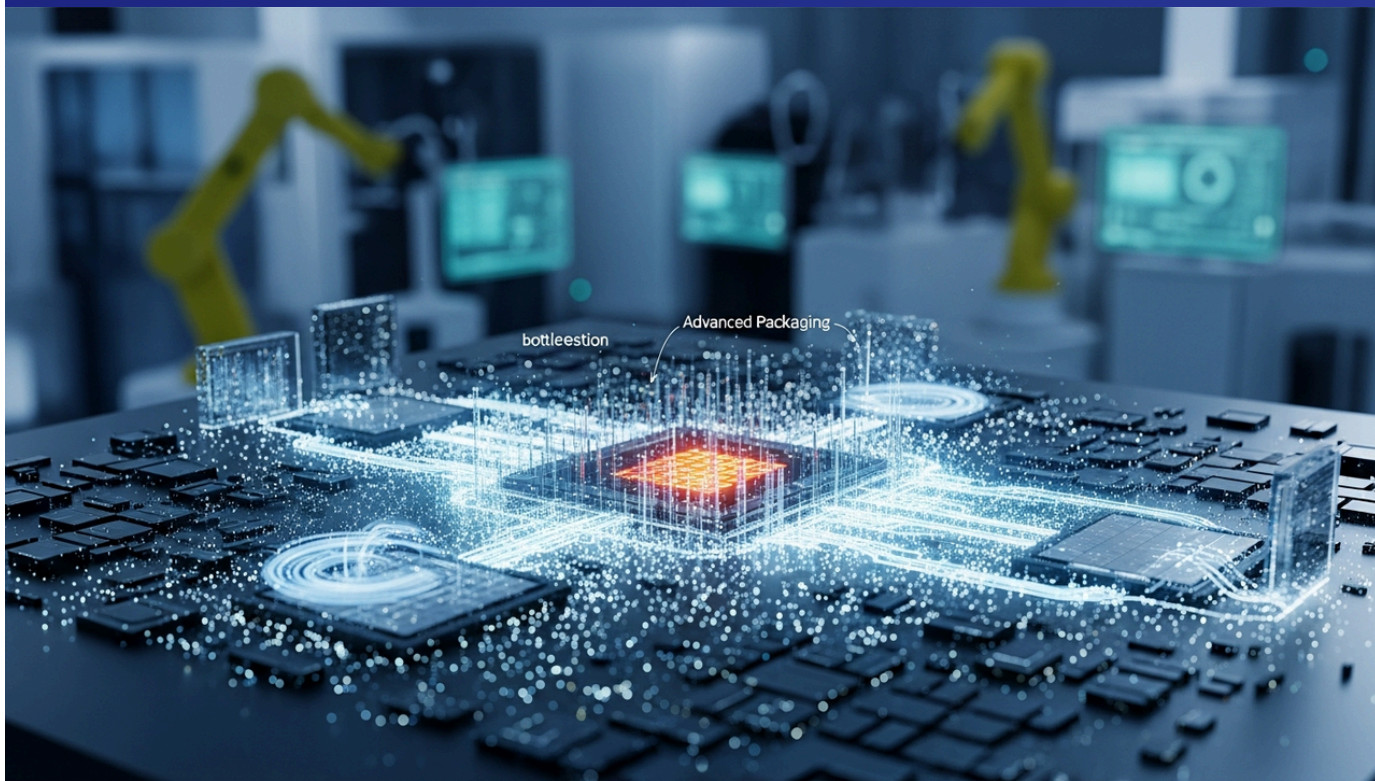
HBM4の売上高100億ドル突破という予測は、Samsungの半導体事業における新たな成長エンジンとしてのHBMの役割を明確にしています。同社は、HBMの生産能力をさらに増強し、HBM5以降の次世代技術開発にも積極的に取り組むことで、AI時代の高性能コンピューティング市場においてリーダーシップを維持していくでしょう。このHBM市場の拡大は、関連する先進パッケージング材料、装置サプライヤーにも大きなビジネスチャンスをもたらし、半導体エコシステム全体の活性化に貢献すると期待されます。SamsungのHBM技術は、AIの進化を支える不可欠なインフラとしての地位を確立し続けるでしょう。

元記事: <https://www.gurufocus.com/news/8929372/samsungs-hbm4-sales-surge-projected-to-exceed-10-billion?mobile=true>

収集日: 2026年07月03日 | 自動記事収集・翻訳システム (Gemini API使用)

#10 eWeekがAIチップのボトルネック課題を詳報：先進パッケージングが鍵

公開日 2026年06月26日 eWeek アメリカ



概要

eWeekの最新レポートによると、AIチップの性能向上が主要なボトルネックに直面しており、その解消には先進パッケージング技術が不可欠であると指摘されています。特に、TSMCのCoWoSなどの高密度統合技術の供給不足が、AIモデルの迅速な展開を妨げる要因となっています。この記事は、シリコンレベルでのイノベーションだけでなく、チップレット間のデータ転送効率と熱管理を最適化する後工程の重要性を強調しています。このボトルネックを克服することが、AI産業の持続的な成長と発展の鍵となります。

詳細

主要成果

eWeekの最新の調査レポートは、人工知能（AI）チップの性能向上と市場投入を阻害する主要なボトルネックの現状を詳報し、特に先進パッケージング技術がその解決策として極めて重要であると強調しています。現在のAIチップサプライチェーンにおいて、TSMCのCoWoSのような高密度統合技術の供給能力不足が深刻な課題となっています。

技術・臨床詳細

AIチップのボトルネックは、主に以下の3つの側面で発生しています。第一に、AIプロセッサとそれに接続される高帯域幅メモリ（HBM）間のデータ帯域幅の限界です。従来のパッケージングでは、この間のデータ転送速度が不足し、AIの計算能力を十分に引き出せません。第二に、高度に統合されたAIチップの熱管理課題です。多くのダイを積層する先進パッケージングでは、発生する熱を効率的に放散することが極めて困難です。第三に、先進パッケージングの製造歩留まりとコストです。複雑な3D構造や微細な接続は、製造プロセスを難しくし、結果として高コストと供給不足を引き起こします。CoWoS（Chip-on-Wafer-on-Substrate）はこれらの課題に対応する最先端技術ですが、製造装置の不足やプロセス時間の長さがボトルネックとなっています。ウェーハレベルパッケージングやパネルレベルパッケージングといった代替技術が、スケーラビリティとコスト効率の改善を目指して開発されています。

背景・業界文脈

大規模言語モデル（LLM）や生成AIの急速な発展は、データセンターにおけるAIアクセラレーターの需要を爆発的に増加させました。しかし、AIチップの設計と製造は飛躍的に進化しているにもかかわらず、先進パッケージングの能力がそれに追いついていません。この結果、AIチップの供給不足が常態化し、NVIDIAやAMDといった主要なAIチップベンダーは、製品の市場投入に苦慮しています。eWeekのレポートは、この問題が単なるシリコン製造の問題ではなく、チップを効率的かつ信頼性の高い方法で統合する後工程の課題であることを明確にしています。半導体産業全体が、このボトルネック解消に多大なリソースを投入しています。

今後の展望

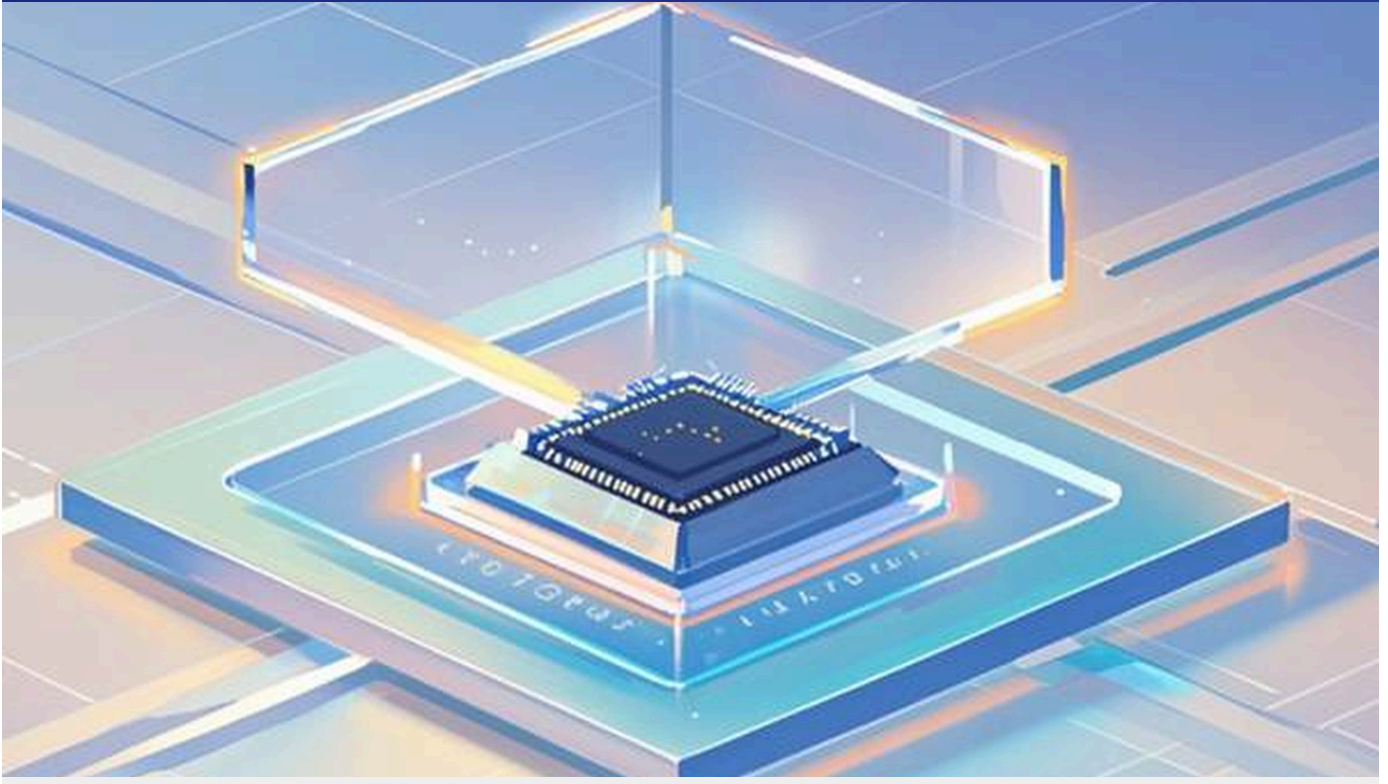
AIチップのボトルネック解消は、今後のAI産業の持続的な成長に不可欠です。先進パッケージング技術への継続的な投資とイノベーションが、この課題を克服する鍵となります。具体的には、ハイブリッドボンディング、パネルレベルパッケージング、および新たな熱管理ソリューションの開発が加速されるでしょう。これにより、AIチップの供給能力が拡大し、コストが削減され、より多様なAIアプリケーションへの普及が可能になります。長期的には、パッケージング技術がAIの進化を牽引する中心的な役割を果たすようになり、半導体業界のイノベーションの焦点が、より統合的なシステムレベルのソリューションへと移行していくと予測されます。

元記事: <https://www.eweek.com/news/ai-chip-bottlenecks/>

収集日: 2026年07月03日 | 自動記事収集・翻訳システム (Gemini API使用)

#11 BOE、ガラス基板を国内顧客向けにサンプル出荷開始：先進チップパッケージング革新へ

公開日 2026年06月27日 36Kr English 中国



概要

中国のディスプレイ大手BOE Technologyは、先進チップパッケージング用途のガラス基板を国内顧客向けにサンプル出荷を開始しました。この動きは、次世代半導体パッケージング材料における中国の技術的進歩を示すもので、特にAIやHPC（高性能コンピューティング）向けチップの性能向上に貢献します。ガラス基板は、従来の有機基板よりも低熱膨張率、高剛性、高平坦性といった優位性を持ち、より微細な配線と高密度なチップ積層を可能にします。BOEは、この革新を通じて半導体サプライチェーンにおける新たな役割を確立しようとしています。

詳細

主要成果

中国の大手ディスプレイメーカーであるBOE Technologyは、先進チップパッケージング向けに開発されたガラス基板のサンプル出荷を国内の顧客向けに開始しました。この戦略的な動きは、半導体後工程における重要な材料技術分野で中国が新たな進歩を遂げたことを示しており、特に高性能コンピューティング（HPC）や人工知能（AI）チップの性能向上に貢献することが期待されます。

技術・臨床詳細

ガラス基板は、従来の有機パッケージング基板と比較して、いくつかの顕著な技術的優位性を持っています。まず、非常に低い熱膨張率（CTE）を持つため、高温環境下でのチップと基板間の応力ミスマッチを大幅に削減し、パッケージの信頼性を向上させます。次に、高い剛性と優れた平坦性により、より微細な配線（L/S 1/1 μ m以下も視野）と高密度なチップ積層が可能になります。これにより、多層チップレットの統合やHBM（高帯域幅メモリ）との接続において、電氣的性能を最大化し、信号完全性を確保できます。BOEのガラス基板は、これらの特性を活かし、次世代の3D ICや2.5Dパッケージングの要求に応えるよう設計されています。

背景・業界文脈

AIやHPCの進化は、半導体パッケージング技術に前例のない課題を突きつけており、従来の有機基板では限界が見え始めています。より多くのトランジスタを搭載し、より多くのデータを高速に処理するためには、パッケージング密度を高め、信号伝送距離を短縮し、熱管理を改善することが不可欠です。ガラス基板は、これらの課題を解決する潜在的なゲームチェンジャーとして、IntelやTSMCなどの主要半導体企業も研究開発を加速させています。BOEのサンプル出荷開始は、中国がこの重要技術分野で追いつき、世界的な半導体サプライチェーンにおけるプレゼンスを高める動きの一環と見られます。

今後の展望

BOEによるガラス基板のサンプル出荷は、先進パッケージング材料市場における新たな競争の始まりを告げるものです。この技術が量産段階に移行すれば、AIチップの性能向上とコスト削減に大きく貢献し、結果としてAI技術のさらなる普及を後押しするでしょう。BOEは、ディスプレイ製造で培ったガラス加工技術と大規模生産能力を活かし、半導体パッケージング分野での新たな収益源を確立することを目指しています。長期的には、ガラス基板が先進パッケージングの主流材料の一つとなり、AI時代の半導体エコシステムにおいて重要な役割を果たすことが期待されます。

元記事: <https://eu.36kr.com/en/p/3871173400073222>

収集日: 2026年07月03日 | 自動記事収集・翻訳システム (Gemini API使用)

#12 SK Hynix、韓国国内に640億ドルの大規模投資を発表：AIメモリとパッケージング能力を強化

公開日 2026年07月02日 Biggo Finance 韓国



概要

SK Hynixは、今後数年間で韓国国内のメモリチップと先進パッケージング施設に総額640億ドル（約10兆円超）という巨額の投資を行う計画を発表しました。この戦略的投資は、AI技術の爆発的な成長によるHBM（高帯域幅メモリ）需要の急増に対応し、同社のAIメモリリーダーシップを確固たるものにするを目的としています。具体的には、新しいDRAM生産拠点M17の建設と、先進パッケージング施設P&T7の拡張が含まれます。これにより、SK HynixはAI時代の半導体サプライチェーンにおける供給能力と技術的優位性を大幅に強化します。

詳細

主要成果

SK Hynixは、人工知能（AI）メモリ市場におけるリーダーシップを強化するため、今後数年間で韓国国内に総額640億ドル（約10兆円超）という過去最大規模の投資を行う計画を発表しました。この巨額投資は、高帯域幅メモリ（HBM）などのAI向け先端メモリチップの生産能力と、それらを統合する先進パッケージング能力を飛躍的に向上させることを目指します。

技術・臨床詳細

640億ドルの投資は、主に二つの大規模プロジェクトに充当されます。一つは、新しいDRAM生産拠点「M17」の建設です。M17では、次世代のHBM製品を含む先端DRAMの製造に特化し、最先端のEUV（極端紫外線）リソグラフィ技術を導入することで、生産効率と歩留まりを最大化します。もう一つは、先進パッケージング専用施設「P&T7」の拡張です。P&T7は、HBMとAIプロセッサを統合するCoWoS（Chip-on-Wafer-on-Substrate）などの2.5D/3Dパッケージング技術の研究開発と量産に注力します。具体的には、ハイブリッドボンディング技術の導入や、熱管理ソリューションの強化を通じて、HBMの電気的性能と信頼性を向上させることが目標です。

背景・業界文脈

AIモデルの複雑化とデータ量の増加は、AIプロセッサに膨大な計算能力だけでなく、それに接続されるメモリに途方もないデータ帯域幅を要求しています。HBMは、このボトルネックを解消するための最も有効なソリューションであり、NVIDIA、AMD、Intelといった主要なAIチップメーカーからの需要が爆発的に増加しています。SK HynixはHBM市場の先駆者の一社として、既にHBM3Eなどの製品で高い市場シェアを確保していますが、今回の投資は、HBM4やそれ以降の世代においてもリードを維持するための戦略的決定です。世界の半導体サプライチェーンにおける先進パッケージング能力の不足は深刻であり、今回の投資はAI半導体の供給安定化に大きく貢献すると期待されます。

今後の展望

SK Hynixの640億ドルに及ぶ大規模投資は、同社がAI時代におけるメモリ半導体市場の支配的なプレイヤーとしての地位をさらに強固にするでしょう。M17とP&T7の建設・拡張により、同社は世界的なHBM需要に応えるための生産能力を大幅に増強し、技術的な優位性を維持することが可能になります。この投資は、韓国の半導体産業全体にも波及効果をもたらし、関連する装置や材料メーカーにも恩恵をもたらすと考えられます。長期的には、SK HynixのHBM技術革新が、AIのさらなる進化と幅広い産業への普及を支える基盤となることが展望されます。

元記事: <https://finance.biggo.com/news/e666959f-3828-44a1-b119-5dfdb45f39ad>

収集日: 2026年07月03日 | 自動記事収集・翻訳システム (Gemini API使用)

#14 JCET、先進チップパッケージングへの大規模投資で株価が急騰

公開日 2026年06月25日 Morningstar (Dow Jones News) 中国

MORNINGSTAR

概要

中国を拠点とする半導体後工程サービス企業（OSAT）であるJCETグループの株価が、先進チップパッケージング能力への大規模な新規投資の発表を受けて急騰しました。この投資は、AI、HPC（高性能コンピューティング）、自動車といった高成長市場からの需要に応えるため、最先端パッケージング技術の生産能力を大幅に拡張することを目的としています。JCETは、フリップチップ、ファンアウト、2.5D/3Dパッケージングなどの分野で競争力を強化し、グローバルサプライチェーンにおける地位を向上させる計画です。市場は、同社の将来的な収益成長に強い期待を寄せています。

詳細

主要成果

中国を代表する半導体後工程サービス企業（OSAT）であるJCETグループ（Jiangsu Changjiang Electronics Technology Co., Ltd.）の株価が、先進チップパッケージング能力に対する大規模な新規投資計画の発表を受け、大幅に急騰しました。この投資は、AI、高性能コンピューティング（HPC）、および自動車産業といった急成長分野からの需要に応えるための戦略的な動きです。

技術・臨床詳細

JCETの投資計画は、フリップチップ（Flip-Chip）、ファンアウト（Fan-Out）、2.5D/3Dパッケージングといった最先端のパッケージング技術の生産能力を拡大することに重点を置いています。具体的には、これらの技術は、複数のチップダイを高度に集積し、データ転送速度を向上させ、消費電力を削減するために不可欠です。AIチップやHPCプロセッサは、微細なピッチでの接続、優れた熱管理、および複雑なシステムインパッケージ（SiP）ソリューションを要求します。JCETは、これらの要件を満たすための新しい装置導入、既存ラインのアップグレード、および研究開発への資金投入を通じて、技術的なリードを確立し、高付加価値なパッケージングサービスを提供することを目指します。

背景・業界文脈

世界の半導体産業では、前工程の微細化が限界に近づく中、後工程である先進パッケージングがチップ性能向上の新たなフロンティアとなっています。特にAI、5G、IoTの普及は、より複雑で高性能なチップの需要を加速させ、それに伴い先進パッケージング能力の供給不足が深刻化しています。中国政府は、半導体産業の国産化と技術自立を強く推進しており、JCETのような国内大手企業への投資はその戦略の一環です。今回のJCETの投資は、中国が先進パッケージング分野で世界的な競争力を高め、グローバルサプライチェーンにおける重要な役割を担うことを目指す明確な意思表示と言えます。

今後の展望

JCETの大規模投資は、同社の先進パッケージング市場におけるシェア拡大と収益成長を加速させるでしょう。AIやHPC向けチップの需要が今後も堅調に推移すると見込まれる中、JCETは戦略的な能力増強により、これらの高成長市場からの恩恵を最大限に享受できます。この投資はまた、中国国内の半導体エコシステム全体を強化し、装置メーカーや材料サプライヤーにもポジティブな影響を与えると予想されます。JCETの株価急騰は、市場が同社の長期的な成長見通しと、先進パッケージングが半導体産業の未来を担うという認識を強く支持していることを示しています。

元記事: <https://www.morningstar.com/news/dow-jones/20260625791/jcet-shares-surge-on-advanced-chip-packaging-investment>

収集日: 2026年07月03日 | 自動記事収集・翻訳システム (Gemini API使用)

#15 野村証券、TSMC目標株価を引き上げ：AIインフラサイクルが成長を牽引

公開日 2026年06月27日 Futu News 台湾



概要

野村証券は、AIインフラサイクルがTSMCの成長を強力に牽引していることを理由に、同社の目標株価を引き上げました。AIチップの需要急増に伴い、TSMCの先進パッケージング技術、特にCoWoSへの需要が供給能力を大幅に上回っています。このレポートは、TSMCがAI市場のボトルネックを解消するための不可欠なプレイヤーであると強調し、その技術的優位性と生産能力拡張が株価上昇の主要因であると分析しています。TSMCは、先進パッケージングの継続的なイノベーションを通じて、AI時代の半導体産業を主導していくでしょう。

詳細

主要成果

野村證券は、AI（人工知能）インフラサイクルの強力な推進力によってTSMCの成長が加速していることを受け、同社の目標株価を上方修正しました。この分析は、TSMCが提供する先進的な半導体製造およびパッケージングソリューションが、AIチップの爆発的な需要に対応する上で不可欠であることを強調しています。

技術・臨床詳細

レポートは、AIチップの性能向上と供給能力の拡大において、TSMCのCoWoS（Chip-on-Wafer-on-Substrate）などの先進パッケージング技術が決定的な役割を果たすと指摘しています。CoWoSは、複数のロジックダイと高帯域幅メモリ（HBM）をインターポージャー上で高密度に統合する2.5Dパッケージング技術であり、AIプロセッサの処理能力を最大限に引き出すために不可欠です。野村證券のアナリストは、TSMCがCoWoSの生産能力を積極的に拡張しており、今後も最先端パッケージング技術への投資を継続することで、AIチップのボトルネックを解消し、NVIDIAやAMDといった主要顧客の需要に応え続けると見えています。これにより、TSMCはAIチップのサプライチェーンにおいて、その中心的な地位をさらに強固なものにします。

背景・業界文脈

生成AIや大規模言語モデル（LLM）の急速な発展は、データセンターにおけるAIアクセラレーターの需要を未曾有のレベルにまで押し上げています。しかし、高性能AIチップの製造は、前工程の微細化だけでなく、後工程の先進パッケージング能力によっても大きく制約されています。現在の市場では、CoWoSのような先進パッケージングの供給不足が最も深刻なボトルネックの一つであり、これがAIチップの供給遅延やコスト上昇の主な原因となっています。TSMCは、長年にわたる半導体製造の専門知識と、先進パッケージング技術への巨額投資により、このボトルネックを解消するための最も重要な企業として位置付けられています。

今後の展望

野村証券によるTSMCの目標株価引き上げは、AIインフラサイクルが半導体産業にもたらす構造的な変化と、その中でTSMCが果たす戦略的な役割に対する市場の強い期待を反映しています。TSMCは、今後も先進パッケージング技術、特にCoWoSやその進化形への投資を継続し、生産能力を拡大することで、AIチップ市場の成長を牽引する中核企業であり続けるでしょう。この動向は、関連する装置、材料サプライヤーにも大きなビジネスチャンスをもたらし、半導体エコシステム全体の技術革新と成長をさらに加速させることが期待されます。TSMCの継続的なイノベーションは、AI時代の技術的基盤を強化する上で不可欠な要素となります。

元記事: <https://news.futunn.com/en/post/75365973/nomura-commentary-raises-tsmc-target-price-ai-infrastructure-cycle-has>

収集日: 2026年07月03日 | 自動記事収集・翻訳システム (Gemini API使用)

#16 Kioxia、AIブームを追い風に次世代メモリの量産準備を加速、劇的な回復へ

公開日 2026年06月26日 Channel News Asia 日本



概要

日本のメモリ半導体大手Kioxia（キオクシア）は、AI技術の爆発的な需要を追い風に、次世代メモリ製品の量産準備を加速しています。同社は、HBM（高帯域幅メモリ）を含む高性能NANDフラッシュメモリの生産能力を強化し、AIデータ処理に不可欠な高速・大容量ストレージソリューションを提供することを目指しています。この動きは、過去の市場低迷からの劇的な回復を後押しするもので、KioxiaがAI時代におけるメモリ市場の主要プレイヤーとして再浮上することを示唆しています。先進パッケージング技術も、製品の性能と信頼性向上に寄与します。

詳細

主要成果

日本の主要なメモリ半導体メーカーであるKioxia（キオクシア）は、人工知能（AI）技術の爆発的な成長によって生じる未曾有の需要を捉えるため、次世代メモリ製品の量産準備を加速させています。この戦略的な動きは、同社が過去の市場低迷から劇的な回復を遂げ、AI時代におけるメモリ市場の主要なプレイヤーとして再び浮上するための重要なマイルストーンとなります。

技術・臨床詳細

Kioxiaは、特に高性能NANDフラッシュメモリと、将来的にはHBM（高帯域幅メモリ）を含む幅広い次世代メモリポートフォリオに注力しています。AIアプリケーションは、膨大なデータの高速な読み書きと大容量ストレージを必要とし、Kioxiaの新しいメモリ製品はこれらの要求を満たすように設計されています。具体的には、3D NAND技術の積層数をさらに増やし、データ密度とI/O性能を向上させることで、AIデータセンターやエッジAIデバイス向けの最適なソリューションを提供します。また、これらの高性能メモリ製品の信頼性と効率を高めるために、先進パッケージング技術、例えばチップレット統合や熱管理ソリューションも開発・採用が進められています。これにより、メモリとプロセッサ間のボトルネックを解消し、AIシステムの全体的な性能を向上させることが目標です。

背景・業界文脈

過去数年間、メモリ半導体市場は供給過剰と価格下落に見舞われ、Kioxiaを含む多くのメーカーが厳しい経営環境にありました。しかし、2026年に入り、AI、データセンター、自動車などの分野での需要が急増し、メモリ市場は回復基調にあります。特にHBMは、AIアクセラレーターに不可欠なコンポーネントとして、その需要が爆発的に伸びており、これがKioxiaの回復と成長を強力に後押ししています。Kioxiaは、この市場環境の変化を捉え、技術革新と生産能力増強を通じて、再び市場リーダーとしての地位を確立しようとしています。

今後の展望

Kioxiaの次世代メモリ量産準備の加速は、AI産業の発展を支える上で不可欠な要素となります。同社は、HBMを含む先進的なメモリ技術への投資を継続し、AIチップメーカーとの連携を強化することで、AI市場の多様なニーズに応えていくでしょう。これにより、Kioxiaは安定した収益源を確保し、持続的な成長を実現するとともに、日本の半導体産業の国際競争力強化にも貢献することが期待されます。長期的には、Kioxiaのメモリ技術革新が、AIのさらなる進化と幅広い産業への普及を支える基盤となることが展望されます。

元記事: <https://www.channelnewsasia.com/business/kioxia-readies-next-gen-memory-mass-production-ai-boom-fuels-dramatic-comeback-6229061>

収集日: 2026年07月03日 | 自動記事収集・翻訳システム (Gemini API使用)

#17 TSMCのCoWoSパッケージング装置サプライチェーン、AI需要で強い引き合い

公開日 2026年06月30日 DigiTimes 台湾



概要

TSMCの先進パッケージング技術であるCoWoS (Chip-on-Wafer-on-Substrate) の製造装置サプライチェーンが、人工知能 (AI) チップの爆発的な需要により、非常に強い引き合いを受けています。主要な装置メーカーは、TSMCからのCoWoS生産能力増強要請に応えるため、生産体制を強化しています。この状況は、AI時代における先進パッケージングの重要性と、その供給能力が現在の半導体産業における最も深刻なボトルネックとなっていることを浮き彫りにしています。サプライチェーン全体が、この高まる需要に対応するための投資を加速させています。

詳細

主要成果

世界最大のファウンドリであるTSMCの先進パッケージング技術、特にCoWoS（Chip-on-Wafer-on-Substrate）の製造装置サプライチェーンが、人工知能（AI）チップの爆発的な需要を背景に、極めて強い引き合いを受けています。この需要は、CoWoS関連装置メーカーに対して生産能力の大幅な増強を促しています。

技術・臨床詳細

CoWoSは、複数のロジックダイと高帯域幅メモリ（HBM）をシリコンインターポーザー上に統合し、これをさらにパッケージ基板に実装する2.5Dパッケージング技術です。この技術は、AIプロセッサとメモリ間のデータ転送速度と帯域幅を最大化するために不可欠であり、NVIDIAのGPUなどの高性能AIチップに広く採用されています。CoWoS製造には、高精度なダイボンディング、マイクロバンプ形成、リソグラフィ、検査装置など、多種多様な特殊な装置が必要です。現在のサプライチェーンは、これらの高価で製造に時間を要する装置の供給が需要に追いついていない状況です。特に、日本のDisco（ディスコ）やSCREEN（スクリーン）、アメリカのApplied Materials（アプライドマテリアルズ）、Lam Research（ラムリサーチ）といった大手装置メーカーが、CoWoS生産ラインの鍵を握っています。

背景・業界文脈

AIモデルの複雑化とデータ量の増加は、AIチップの性能を決定する上でパッケージングの役割を飛躍的に高めています。TSMCは、先進パッケージング分野で長年にわたり主導的な地位を築いてきましたが、AIチップの需要が供給能力を大幅に上回る現状に直面しています。このCoWoS能力のボトルネックは、AIチップの市場投入を遅らせ、業界全体の成長を阻害する主要因となっています。TSMCは、顧客からの強い要請に応えるため、CoWoSの生産能力を積極的に拡大する計画であり、これが装置サプライヤーへの強力な引き合いに繋がっています。

今後の展望

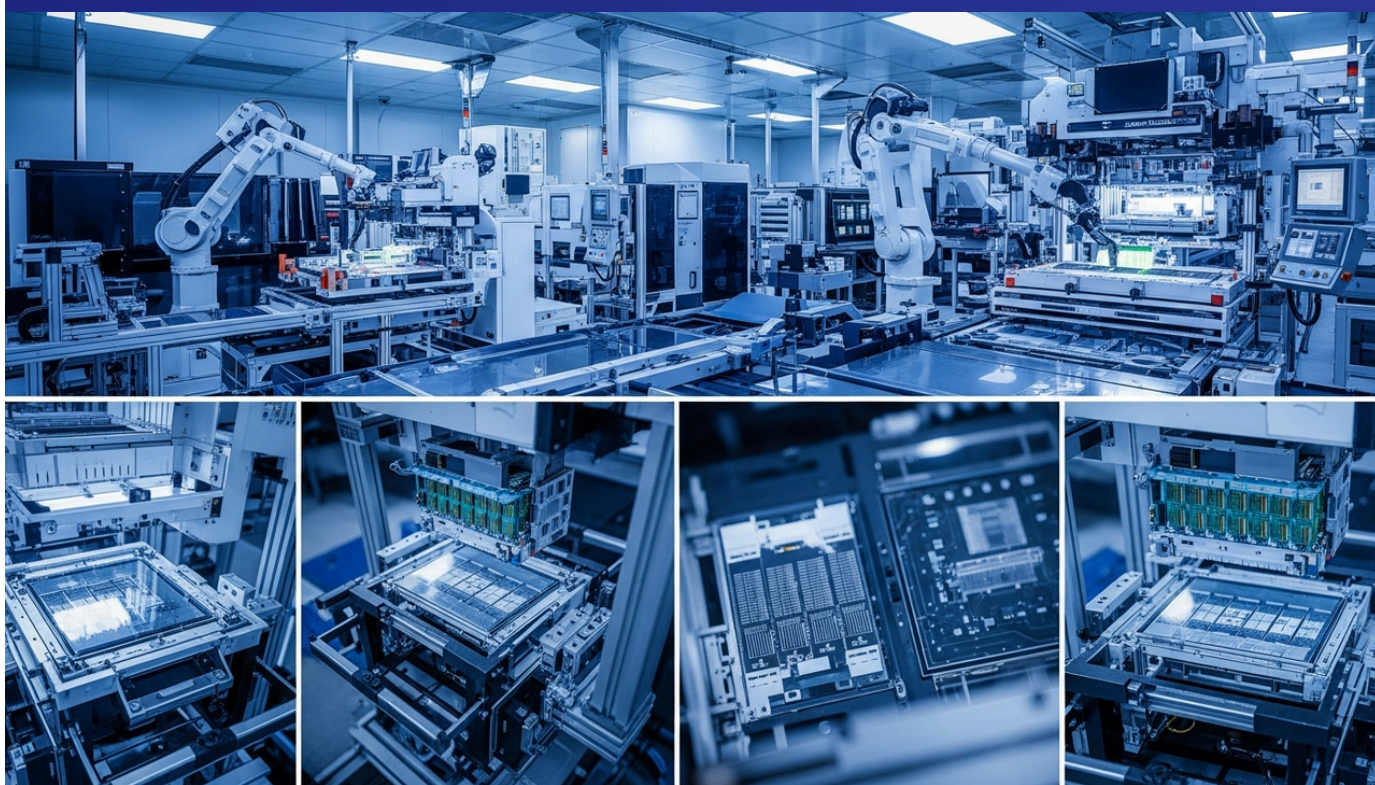
CoWoS製造装置サプライチェーンへの強い引き合いは、AI産業の持続的な成長を支える上で、先進パッケージング能力の強化が不可欠であることを示しています。装置メーカーは、TSMCの要求に応えるため、研究開発と生産投資を加速させるでしょう。これにより、CoWoSの生産能力が段階的に拡大し、AIチップの供給不足が徐々に緩和されると期待されます。長期的には、CoWoS技術のさらなる進化と、FOPLP（Fan-out Panel-Level Packaging）などの代替技術との競争が、先進パッケージング市場全体のイノベーションを促進し、AI時代の半導体エコシステムをさらに強化することに貢献すると考えられます。

元記事: <https://www.digitimes.com/news/a20260630PD239/tsmc-supply-chain-cowos-packaging-equipment.html>

収集日: 2026年07月03日 | 自動記事収集・翻訳システム (Gemini API使用)

#18 Applied Materials、AIチップ向けDRAM・先端パッケージング加速へ6種の新システム発表、サブ10nm欠陥検出も

公開日 2026年06月25日 Applied Materials (プレスリリース) アメリカ



概要

Applied Materialsは、AIチップ向けのDRAMおよび先端パッケージング製造を加速する6種の新システムを発表した。これらのシステムは、HBM、3Dスタッキング、チップレットアーキテクチャの課題を解決し、メモリウォール問題に対処するため、エピタキシー、CMP、成膜、eBeam計測・欠陥レビュー技術を強化する。特に、サブ10ナノメートルの感度を持つeBeam欠陥レビューシステムは、複雑な3Dパッケージングのプロセス制御と歩留まり向上に大きく貢献する。これにより、AIチップの性能と電力効率が向上し、高密度・高帯域幅のメモリ需要に応える。

詳細

主要成果

Applied Materialsは、次世代AIチップの性能向上と製造効率化を実現するため、DRAMおよび先端パッケージング向けの革新的な6つの新システムを発表しました。これらのシステムは、高帯域幅メモリ（HBM）や3Dスタッキングなどの先進的なチップアーキテクチャが抱える製造上の課題を解決し、「メモリウォール」問題に対応することで、AIチップの進化を加速します。

技術・臨床詳細

- **強化されたCentura Prime Epiシステム**：次世代DRAM周辺トランジスタ向けに、ロジッククラスの製造精度を実現します。
- **Opta Quad CMPシステム**：HBMや3Dスタッキングにおいて、厚く不均一なパッケージング構造における均一性と歩留まりの課題に対処します。
- **Nokota VMax 2 ECDおよびProducer Avila 2 PECVDシステム**：3DスタッキングおよびHBMアーキテクチャ向けに、高歩留まりのチップ積層を可能にする成膜技術を提供します。
- **VeritySEM 7AP CD metrologyシステム**：先端パッケージングにおけるプロセス制御を強化するeBeamベースの計測システムです。
- **SEMVision G7AP欠陥分析システム**：サブ10ナノメートルの感度で3Dパッケージングにおける微細な欠陥を検出し、欠陥レビューを行うeBeamシステムです。これにより、製造プロセスの初期段階で問題を特定し、歩留まりを大幅に向上させることが可能になります。

背景・業界文脈

AIの進化に伴い、AIチップの計算能力は飛躍的に向上していますが、その性能を最大限に引き出すためには、メモリ帯域幅と電力効率の向上が不可欠です。従来の2Dチップ設計の限界が近づく中、HBMや3Dスタッキング、チップレットアーキテクチャといった先進パッケージング技術が、これらの課題を克服する鍵とされています。Applied Materialsは、これらの技術的課題に対応するため、メモリ製造プロセスにウェーハファブ級の精密なプロセス制御を導入することを重視しています。

今後の展望

これらの新システムは、AIチップの生産能力を拡大し、製造コストを削減する可能性を秘めています。特に、eBeamシステムによる高精度な欠陥検出は、複雑化するパッケージングプロセスの歩留まりを劇的に改善し、次世代AIアクセラレータの安定供給に貢献すると期待されます。これにより、AI技術のさらなる普及と発展が加速されるでしょう。

元記事: <https://ir.appliedmaterials.com/static-files/97be2049-edfd-4399-b6ca-ffa0e8ea464f>

収集日: 2026年07月03日 | 自動記事収集・翻訳システム (Gemini API使用)

#19 Samsung、HBM4生産能力の半分を割り当て世界初出荷後4ヶ月で10億ドル売上達成、2028年光学HBM量産へ

公開日 2026年07月02日 Samsung (プレスリリース) 韓国



概要

Samsung Electronicsは、次世代HBM4の生産能力の半分を割り当て、世界初出荷からわずか4ヶ月で10億ドル超の売上を達成、年末までに年間100億ドルの売上を見込んでいる。HBM3Eの生産を一時停止しHBM4に注力することで、HBM市場におけるリーダーシップ回復を目指す。同社はCOMPUTEX 2026でHBM4EとLPDDR5XベースのサーバーモジュールSOCAMM2、そして2028年からの光学HBM量産計画を発表し、AI時代に向けた包括的なメモリ戦略を提示した。

詳細

主要成果

Samsung Electronicsは、次世代高帯域幅メモリ（HBM）であるHBM4の生産能力の半分を戦略的に割り当て、2026年2月の世界初出荷以来わずか4ヶ月で10億ドルを超える売上を達成しました。同社は今年末までにHBM4の年間売上を100億ドルと見込んでおり、HBM市場での強力な復権を加速しています。この動きを支えるため、需要が減少しているHBM3Eの生産は一時的に停止され、リソースはHBM4に集中されています。

技術・臨床詳細

- **HBM4への集中**： Samsungは、月間約15万枚のHBM DRAMウェーハ生産能力のうち、約7万5000枚をHBM4に割り当てています。これは、NVIDIAの次世代AIプラットフォーム「Rubin」におけるHBM4の重要な役割に対応するための戦略的な優先順位付けです。
- **COMPUTEX 2026での発表**： COMPUTEX 2026では、HBM4EとLPDDR5XベースのサーバーモジュールSOCAMM2を展示しました。HBM4Eは、最先端の1c DRAMベースのコアダイとSamsung Foundryの4nmプロセス技術で製造されたベースダイを特徴とし、ピンあたり最大14Gbpsの速度をサポートし、将来的に16Gbpsおよび4TB/sを超える帯域幅に拡張可能とされています。
- **HBMの経済性**： HBMスタックはAIアクセラレーターの総製造コストの約34～45%を占め、Blackwell世代のチップでは45%以上になると推定されており、HBMの歩留まりと認定はシステムレベルの経済性に直接影響を与えます。SamsungはHBM4の歩留まりと認定において一部課題に直面していると報じられていますが、積極的な投資で克服を目指しています。
- **光学HBMへの展望**： Samsungはさらに、2028年からの光学HBMの量産開始計画を発表しました。これは、HBMスタックとプロセッサパッケージ内にシリコンフォトニクス技術を導入することで、帯域幅とエネルギー効率を劇的に向上させることを目指す革新的なアプローチです。また、Qualcommが提唱するHBC（High Bandwidth Compute）やNVIDIAが主導するLPDDRメモリのサーバーCPU向けモジュール化規格SOCAMMなど、次世代メモリ技術の動向も注目されています。

背景・業界文脈

AIモデルの複雑化と大規模化に伴い、AIアクセラレーターには膨大なデータ処理能力とメモリ帯域幅が求められています。これにより、HBMのような高帯域幅メモリがAIチップサプライチェーンにおける重要なボトルネックとなっています。SamsungのHBM4への積極的な投資は、AIメモリ市場における競争力を強化し、主要顧客であるNVIDIAだけでなく、Google、Amazon、Microsoftなどのクラウド大手企業が開発を進める自社AIアクセラレーターへの対応も視野に入れています。

今後の展望

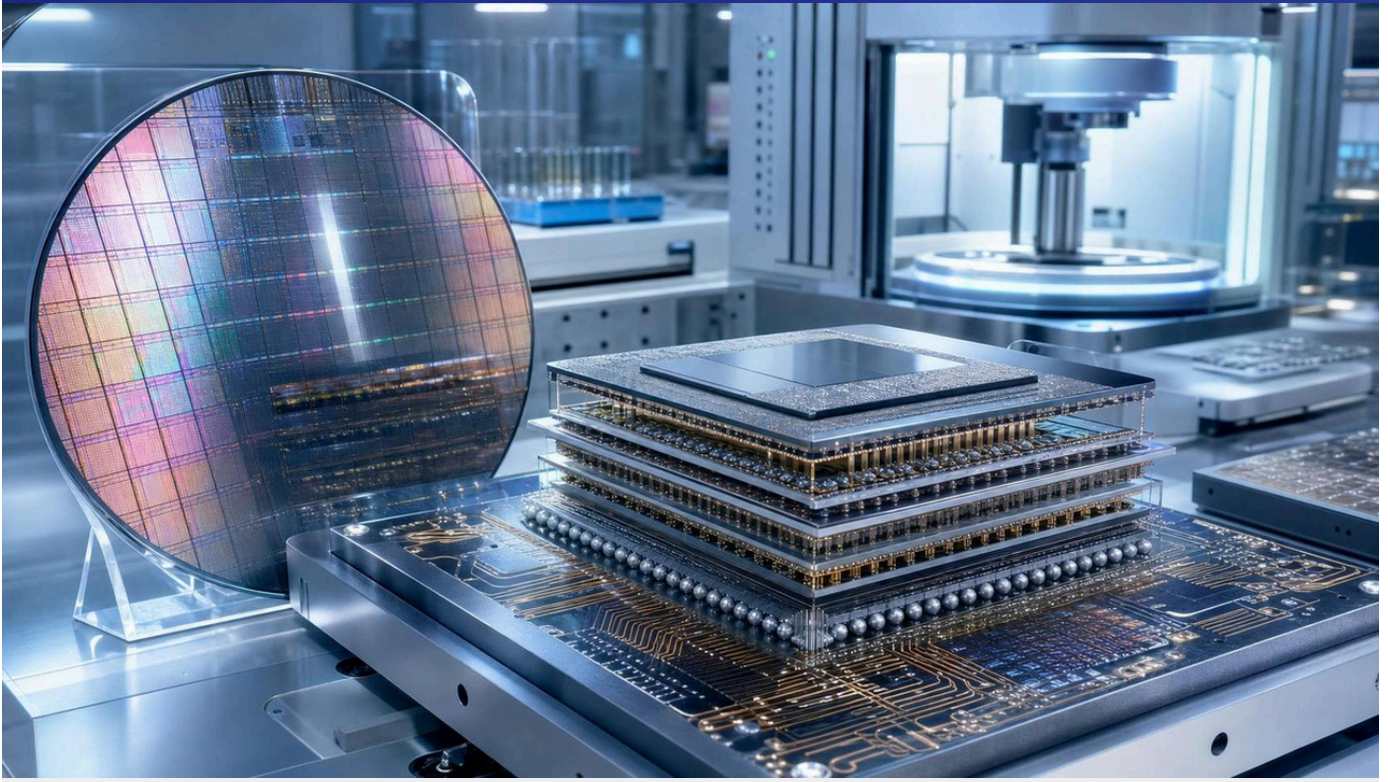
SamsungのHBM4生産能力の拡大と、HBM4E、SOCAMM2、そして光学HBMといった次世代技術へのロードマップは、AI半導体市場における同社の地位を大きく強化するでしょう。特に光学HBMは、従来の電気信号伝送の限界を超え、AIチップの性能を飛躍的に向上させる可能性を秘めており、今後の技術革新の方向性を示す重要なマイルストーンとなります。HBMの安定した供給と性能向上は、AI技術のさらなる進化と普及に不可欠な要素です。

元記事: <https://semiconductor.samsung.com/news-events/tech-blog/samsung-showcases-next-generation-ai-semiconductor-innovations-at-computex-2026/>

収集日: 2026年07月03日 | 自動記事収集・翻訳システム (Gemini API使用)

#20 EUチップス法、3D IC先端パッケージングに2億1000万ユーロを投じる、Infineon、ASML子会社、Soitecが恩恵

公開日 2026年06月25日 Qishuai-cn ドイツ



概要

欧州委員会は、EUチップス法に基づく初の資金提供プロジェクトを発表し、ドイツのInfineon、オランダのASML子会社、フランスのSoitecに合計2億1000万ユーロを割り当てた。この資金は3D ICヘテロジニアス統合と先端パッケージング開発に充てられ、得られた技術はEU内の認定サプライヤーが利用可能となる必要がある。これはICパッケージング材料および先端基板サプライヤーに新たな機会を創出し、欧州の半導体自律性を強化する。

詳細

主要成果

欧州委員会は、欧州チップス法（EU Chips Act）の下で資金提供される初の主要プロジェクトを発表し、ドイツの半導体大手Infineon、オランダの半導体製造装置大手ASMLの子会社、およびフランスの材料メーカーSoitecに対し、合計2億1000万ユーロ（約350億円）の助成金を割り当てました。この資金は、次世代3D ICヘテロジニアス統合および先端パッケージング技術の開発に重点的に投資されます。

技術・臨床詳細

- **資金の使途**：助成金は、高効率かつ高性能な3D ICアーキテクチャを実現するための研究開発に充当されます。これには、異なる機能を持つ複数のチップ（例: プロセッサ、メモリ、センサー）を単一のパッケージ内に垂直または水平に統合する技術が含まれます。
- **ヘテロジニアス統合**：この技術は、異なる製造プロセスで生産されたチップレットを組み合わせることで、システムの性能を向上させ、消費電力を削減し、製造コストを最適化することを目指します。特に、GaNチップレットとSiチップレットのファンアウトウェーハレベルパッケージング（FOWLP）技術を用いたヘテロ統合や、電解インジウムバンプによる信頼性の高い相互接続技術の開発が進められています。
- **アクセス要件**：このプロジェクトを通じて開発される技術は、EU域内の認定されたサプライヤーが利用できるようになることが条件とされています。これは、欧州の半導体サプライチェーン全体の競争力向上と、技術的な自律性確保を目指すEUの広範な戦略の一環です。

背景・業界文脈

欧州チップス法は、世界の半導体サプライチェーンにおける欧州の地位を強化し、地政学的リスクから保護することを目的として、2030年までに官民合わせて430億ユーロを投資する大規模なイニシアチブです。AIやHPC（高性能コンピューティング）の需要増大に伴い、先端パッケージングはトランジスタのスケーリング限界が近づく中で、システム性能を向上させる主要な手段となっています。今回の資金提供は、特にこの分野における欧州の技術的基盤を強化し、イノベーションを促進する上で重要なステップとなります。

今後の展望

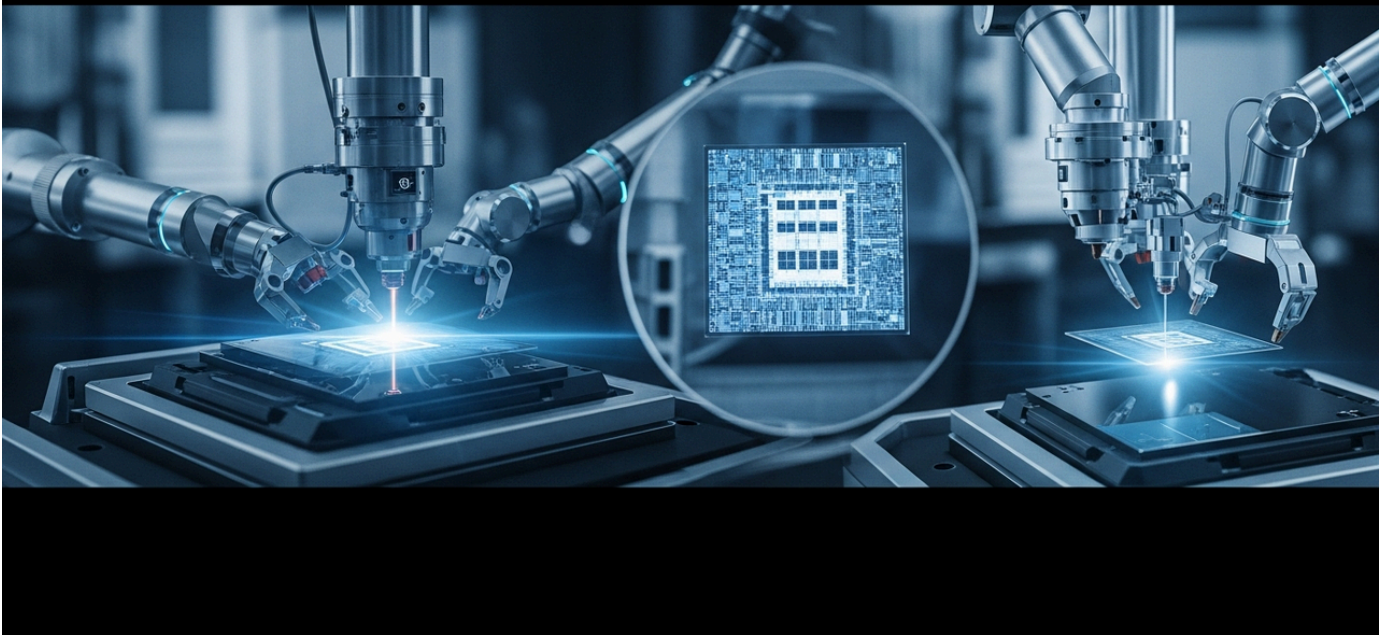
この大規模な資金投入は、欧州における半導体エコシステム、特にICパッケージング材料および先端基板サプライヤーにとって新たなビジネス機会を創出するでしょう。Infineon、ASML子会社、Soitecといった主要企業が主導するこのプロジェクトは、欧州が世界的な半導体競争において重要なプレイヤーとしての存在感を高めるための礎となります。開発される技術は、データセンター、自動車、産業用IoTなど、幅広い分野での次世代電子機器の実現に貢献し、欧州経済全体のデジタル化を加速させることが期待されます。

元記事: https://www.qishuai-cn.com/news/Specialty_Chemicals/Specialty_Polymers_for_IC_Packaging/EU_Chips_Act_Funds_210M_for_3D_IC

収集日: 2026年07月03日 | 自動記事収集・翻訳システム (Gemini API使用)

#21 フラウンホーファー、先端パッケージング向け低誘電率材料のDUVアシスト非熱レーザーグルーピング技術を開発

公開日 2026年06月29日 Karriere Fraunhofer-Gesellschaft ドイツ



概要

フラウンホーファーILTは、先端マイクロエレクトロニクスパッケージングにおける低誘電率（low- κ ）材料のレーザーグルーピングに関する論文執筆の機会を通じて、DUVアシスト非熱レーザーグルーピングという新しいデュアルパルスアプローチを探求している。この技術は、低誘電率材料中に一時的に自由キャリアを生成し、後続のレーザーパルスで基板を損傷することなく層を除去することを可能にする。これにより、次世代の高性能半導体パッケージングに必要な微細加工の精度と信頼性が向上する。

詳細

主要成果

フラウンホーファー-ILTは、先端マイクロエレクトロニクスパッケージングに不可欠な低誘電率（low- κ ）材料の微細加工において、革新的な「DUVアシスト非熱レーザーグルーピング」技術の研究を進めています。この新しいデュアルパルスアプローチは、基板への熱損傷を最小限に抑えつつ、高精度で材料を除去することを可能にします。

技術・臨床詳細

- **デュアルパルスアプローチ**：この技術は、まず深紫外（DUV）レーザーパルスを使用して低誘電率材料のバンドギャップを超えるエネルギーを供給し、材料内部に一時的に自由キャリア（電子と正孔）を生成します。これにより、材料の電気的特性が変化し、通常は透明な材料が後続のレーザーパルスに対して吸収性を持つようになります。
- **非熱加工**：自由キャリア生成に続いて照射される別のレーザーパルスは、基板の熱損傷を引き起こすことなく、改質された層を選択的に除去します。従来のレーザー加工では熱影響による損傷が課題でしたが、この非熱アプローチは、デリケートなlow- κ 材料の構造完全性を維持しながら、高精度なグルーピングを実現します。
- **low- κ 材料の重要性**：low- κ 誘電体は、マイクロエレクトロニクスチップ内の信号遅延と電力損失を低減するために不可欠な材料です。先端パッケージング、特に3D ICやチップレット統合においては、これらの材料の損傷なく微細加工を行う能力が、全体的な性能と信頼性に直結します。

背景・業界文脈

AIや高性能コンピューティング（HPC）の進化は、半導体チップの集積度と動作周波数を飛躍的に高めています。これに伴い、チップ内部の配線間容量が信号遅延やクロストークの原因となり、チップ全体の性能を制限するようになってきました。low- κ 誘電体は、この問題を解決するために導入されましたが、その機械的強度の低さや熱に対する脆弱性から、加工が非常に困難でした。このため、非破壊的かつ高精度な加工技術の開発が喫緊の課題となっています。

今後の展望

このDUVアシスト非熱レーザーグルーピング技術は、low-k材料の加工における長年の課題を解決し、次世代の超高密度・高性能半導体パッケージングの実現に貢献する可能性を秘めています。より小型で高速、かつ電力効率の高いAIチップやHPCシステムへの道を開くことで、幅広い電子機器分野でのイノベーションを促進するでしょう。今後の研究では、加工速度の向上、スケーラビリティ、およびさまざまなlow-k材料への適用性が焦点となります。

元記事: <https://jobs.fraunhofer.de/job/Aachen-Thesis-DUV-Assisted-Athermal-Laser-Grooving-of-Low-CE%BA-Dielectrics-for-Advanced-Packaging-52074/1409293533/>

収集日: 2026年07月03日 | 自動記事収集・翻訳システム (Gemini API使用)

#22 中国CXMT、HBM生産で技術的課題直面、2027-2028年に歩留まり・パッケージング改善が鍵

公開日 2026年07月02日 South China Morning Post (SemiAnalysis引用) 中国



 South China Morning Post

概要

SemiAnalysisの報告によると、中国のDRAMメーカーCXMT（長鑫存储）は、高帯域幅メモリ（HBM）の安定した商業供給を実現する上で依然として技術的課題に直面している。同社はDRAMプロセス技術で進歩を遂げたものの、HBMにおいては、より良いウェーハ歩留まり、成熟したスタッキング技術、そして高度なパッケージング能力が、世界の主要プレーヤーに追いつくために不可欠であると指摘されている。

SemiAnalysisは、CXMTのHBMウェーハ容量が2027年と2028年に加速すると予測している。

詳細

主要成果

SemiAnalysisの分析によれば、中国のDRAMメーカーであるCXMT（長鑫存儲）は、高帯域幅メモリ（HBM）の安定的な商業供給を実現するために、依然として技術的なハードルに直面しています。同社はDRAMプロセス技術では一定の進歩を見せているものの、HBMという先端分野においては、世界のリーディングカンパニーに匹敵するためには、ウェーハ歩留まり、チップスタッキング、およびパッケージングの各工程における大幅な改善が喫緊の課題となっています。

技術・臨床詳細

- **HBM生産の複雑性**：HBMは、複数のDRAMダイを垂直に積層し、微細なTSV（Through-Silicon Via）を通じて相互接続する非常に複雑な構造を持っています。このため、個々のダイの品質（歩留まり）、正確な積層（スタッキング）、そして最終的なパッケージング（熱管理、電気的接続）の全てが高精度でなければ、高性能なHBM製品は実現できません。
- **CXMTの課題**：CXMTは、特にHBMのウェーハ歩留まりの低さ、スタッキング技術の未成熟さ、そして先端パッケージング能力の不足が、市場への本格参入を阻む要因となっていると指摘されています。これらの課題は、HBMの生産コストを高め、信頼性を低下させる可能性があります。
- **今後の展望**：SemiAnalysisは、CXMTのHBMウェーハ生産能力が2027年と2028年に加速すると予測しており、この時期に技術的課題の克服が進む可能性を示唆しています。この加速は、中国政府による半導体自給自足の推進と、国内AI産業からのHBM需要の高まりに後押しされると考えられます。

背景・業界文脈

AI、高性能コンピューティング（HPC）、データセンターの急速な発展は、従来のメモリでは対応できないほどの超高帯域幅を要求しており、HBMがその主要なソリューションとして不可欠な存在となっています。現在、HBM市場はSK Hynix、Samsung、Micronの3社がほぼ独占しており、特にSK HynixがNVIDIAプラットフォームでの早期認定により先行しています。中国は、米国の輸出規制により先端半導体技術へのアクセスが制限される中、国内でのHBM技術確立を国家戦略の最優先事項の一つとしています。

今後の展望

CXMTがHBMの技術的課題を克服し、安定供給を実現できるかどうかは、中国のAIおよびHPC産業の将来、ひいては世界の半導体サプライチェーンの多様化に大きな影響を与える可能性があります。特に、ウェーハ歩留まりの向上と、TSVおよびマイクロバンプ接続を含む先端パッケージング技術の確立が、同社がHBM市場で競争力を持つための鍵となるでしょう。これにより、HBM市場の供給体制が強化され、価格競争が促進される可能性も秘めています。

元記事: <https://amp.scmp.com/tech/big-tech/article/3359168/inside-cxmts-us43b-ipo-soaring-profits-meet-us-export-threat-and-high-stakes-hbm-race>

収集日: 2026年07月03日 | 自動記事収集・翻訳システム (Gemini API使用)

#23 CHIPS法、米国への台湾半導体サプライヤー誘致に成功：先端パッケージング・材料供給で新機会創出

公開日 2026年07月01日 Fidelity Investments アメリカ



概要

米国のCHIPS Actによる390億ドルの製造インセンティブが、台湾を拠点とする半導体メーカーを米国へ誘致し、米国で新たな施設を設立したり、米国パートナーと提携したりする具体的な経済的理由となっている。CHIPS for Americaプログラムは、製造、先端パッケージング、製造装置、材料生産への資金提供も行っており、これにより米国の半導体サプライチェーンのレジリエンスが強化され、先端技術分野で新たな機会が創出されている。

詳細

主要成果

米国のCHIPS Actによって提供される390億ドルの製造インセンティブが、台湾を拠点とする主要な半導体メーカーを米国に引き寄せる強力な経済的動機付けとなっています。この政策は、米国における半導体製造の能力を強化し、特に先端パッケージング、製造装置、および材料生産の分野で新たな機会を創出することを目指しています。

技術・臨床詳細

- **CHIPS Actのインセンティブ**：「CHIPS for America」プログラムは、米国内に半導体製造施設を建設する企業に対して、大規模な財政支援を提供しています。これは、製造能力の増強だけでなく、サプライチェーン全体の強化を目的としており、先端パッケージング、製造装置、および半導体材料生産といった幅広い分野に資金が供給されます。
- **台湾企業の誘致**：TSMCのような世界有数のファウンドリ企業が米国アリゾナ州に大規模な工場を建設する計画を推進しているのを筆頭に、台湾の半導体エコシステムに属する多くの企業が、米国での事業設立や既存の米国企業との提携を具体的に検討・実行しています。これは、コスト削減や市場アクセスだけでなく、政策的な支援も大きな要因となっています。
- **サプライチェーンのレジリエンス強化**：特定の地域に集中している現在の半導体サプライチェーンは、地政学的リスクや自然災害に対して脆弱です。CHIPS Actは、この集中リスクを分散させ、より強靱で安全な国内サプライチェーンを構築することを目指しており、特に先端半導体の製造能力を米国に取り戻すことに重点を置いています。

背景・業界文脈

半導体は現代社会のあらゆる技術の基盤であり、その供給安定性は国家安全保障上の最重要課題と認識されています。過去数十年間で、世界の半導体製造能力はアジア、特に台湾に集中する傾向がありましたが、米中間の技術覇権争いや新型コロナウイルスパンデミックによる供給網の混乱が、各国に国内製造能力の強化を促しました。米国は、このCHIPS Actを通じて、半導体製造における世界的なリーダーシップを再確立しようとしています。

今後の展望

CHIPS Actのインセンティブは、米国における半導体産業の活性化と、多様な半導体技術分野でのイノベーションを促進するでしょう。台湾企業が米国に拠点を置くことで、技術移転、雇用創出、そしてより緊密な協力関係が期待されます。特に先端パッケージング技術は、AIチップなどの高性能半導体の性能を左右する重要な要素であり、この分野での米国国内能力の強化は、米国の技術的自律性と競争力向上に不可欠です。しかし、高コストな米国での製造が、長期的に世界の市場競争力にどう影響するかは注目されます。

元記事: <https://www.fidelity.com/news/article/technology/202607010830PRIMZONEFULLFEED9755329>

収集日: 2026年07月03日 | 自動記事収集・翻訳システム (Gemini API使用)