

半導体後工程

Weekly Intelligence Report

2026-06-06 | 27件 | 9カ国

troy-technical.jp

今週のキーワード

AI後工程

ボトルネックと次世代技術

27

件
記事数

9

カ国
対象国

13億

ドル超
KLA収益予測

12万

枚/月
CoWoS増強

今週の全27記事 — 5軸評価で読むべき記事を選ぶ

各列の見方 — 技術新規性: ブレークスルー度合い 実用化距離: 製品として使える近さ 市場インパクト: 業界全体への影響規模
データ信頼性: 定量データ・査読の有無 日本関連度: 日本の企業・サプライチェーンとの直接的関連性

#	記事タイトル	種別	技術 新規性	実用化 距離	市場 インパクト	データ 信頼性	日本 関連度	一行サマリ
#01	ASMPPT技術諮問委	企業戦略	●●○○○ ○	●●●●● ○	●●●○○ ○	●●○○○ ○	●●○○○ ○	ASMPPTがAI時代の先進パッケージングR&D;を加速するため技術諮問委員会を設立、HBM製造向けAOR TCB™技術も発表。
#02	KLA先進PKG急成長	市場動向	●●○○○ ○	●●●●● ●	●●●●● ○	●●○○○ ○	●●●●● ○	KLAの先進パッケージング事業がAI向け検査需要で急成長、2026年度収益13億ドル超予測。HBMやCoWoS検査で優位性。
#03	TSMC CoWoSボトルネック	市場危機	●○○○○ ○	●●●●● ●	●●●●● ●	●●○○○ ○	●●●●● ○	TSMCのCoWoS容量がAIチップ成長のボトルネックに。2026年末までに月産12万枚へ増強も需要超過が継続する見込み。
#04	Imec/EVG HB高精度	学術発表	●●●●● ○	●●○○○ ○	●●●●● ○	●●●●● ●	●●○○○ ○	ImecとEVGが200nmピッチのウェハー対ウェハーハイブリッドボンディングで世界最高のオーバーレイ精度40nm未満を達成。
#05	Samsung HBM4E出荷	新製品	●●●●● ○	●●●●● ○	●●●●● ○	●●●●● ○	●●●●● ○	Samsungが業界初の12層HBM4Eサンプル出荷開始。HBM4比でエネルギー効率16%、熱抵抗14%改善、3.6TB/s帯域幅。
#06	Intelガラス基板工場	企業戦略	●●○○○ ○	●●○○○ ○	●●●●● ○	●●○○○ ○	●●○○○ ○	Intelがインドに33億ドル投じガラスコア基板製造施設を建設。2030年1兆トランジスタ目標に向け先進PKG供給強化。
#07	CEA-Leti D2W HB	学術発表	●●●●● ○	●●○○○ ○	●●○○○ ○	●●●●● ●	●●○○○ ○	CEA-Letiが1μmピッチのD2Wハイブリッドボンディングを実証。AIハードウェアのボトルネック解消へ。
#08	AMD台湾投資	企業戦略	●●○○○ ○	●●●●● ●	●●●●● ○	●●○○○ ○	●●●●● ○	AMDが台湾エコシステムに100億ドル超を投資し、AIインフラと先進パッケージング製造を強化。EFB技術開発も推進。
#09	Applied Materials売上	市場動向	●●○○○ ○	●●●●● ●	●●●●● ○	●●○○○ ○	●●●●● ○	Applied Materialsが2026年Q2に過去最高売上79.1億ドル達成。AI向け先進PKG事業が50%超加速。
#10	Amkor米国PKG拡大	企業戦略	●●○○○ ○	●●●●● ●	●●○○○ ○	●●○○○ ○	●●○○○ ○	Amkorがアリゾナ州に67エーカーの土地を追加確保し、米国内の先進パッケージングおよびテスト能力を拡大。
#11	Dow熱管理技術	製品紹介	●●○○○ ○	●●○○○ ○	●●○○○ ○	●●○○○ ○	●●○○○ ○	DowがCOMPUTEX 2026でAIサーバー・高速光トランシーバー向け次世代熱管理技術を展示。TIMやシリコンホットメルト技術。
#12	Hiwin/Qualcomm PLP×AI	技術提携	●●○○○ ○	●●○○○ ○	●●○○○ ○	●●○○○ ○	●●○○○ ○	HiwinとQualcommがPLP装置にエッジAIを統合し、生産精度とスループットを向上。マシンビジョンと高精度ハンドリングを融合。
#13	GFマルタ工場増強	企業戦略	●○○○○ ○	●●●●● ●	●●●●● ○	●●○○○ ○	●●○○○ ○	GlobalFoundriesがCHIPS Act支援でマルタ工場能力を3倍に増強、2028年末までに年間150万ウェハー生産へ。

#	記事タイトル	種別	技術 新規性	実用化 距離	市場 インパクト	データ 信頼性	日本 関連度	一行サマリ
#14	Intel EMIB投資	企業戦略	●●●○ ○	●●●○ ○	●●●● ○	●●○○ ○	●●●○ ○	Intelがファウンドリ事業復活のためEMIBなど先進パッケージング能力を大規模拡張。CoWoS代替としてGoogle等から関心。
#15	HB技術解説	解説記事	●●●○ ○	●●●○ ○	●●●● ○	●●●○ ○	●●●○ ○	ハイブリッドボンディングが3D集積化の新境地を開き、AIアクセラレーターとチップレット設計を推進。Cu-Cu/酸化物-酸化物同時ボンディング。
#16	Samsungベトナム施設	企業戦略	●○○○ ○	●●●● ●	●●●● ○	●●○○ ○	●●○○ ○	Samsungがベトナムに15億ドル投じ半導体テスト施設を建設。2027年稼働開始予定でAIチップ需要に対応。
#17	Marvell AIスイッチ	新製品	●●●● ○	●●●● ○	●●●● ○	●●○○ ○	●●●○ ○	Marvellが業界初の102.4 Tbps AIスイッチを発表。CPO技術でAIデータセンターネットワーク帯域幅を倍増。
#18	Credo CPO強化	企業戦略	●●●○ ○	●●●● ●	●●●● ○	●●○○ ○	●●●○ ○	CredoがDustPhotonics買収を完了し、CPOソリューションを強化。AIデータセンター向け高帯域幅・低消費電力相互接続を加速。
#19	SKグループ AI同盟	企業戦略	●●○○ ○	●●●● ○	●●●● ●	●●○○ ○	●●●● ○	SKグループ会長がNvidia・TSMCと会談し、次世代HBM4と先進パッケージングでの協力深化を確認。
#20	Fraunhofer チップレット	学術発表	●●●● ○	●●○○ ○	●●●○ ○	●●●● ●	●●●○ ○	Fraunhofer IPMSがウェハーレベルで高密度チップレットシステムを開発。AI・HPC向け集積度向上に貢献。
#21	Samsung AIチップレット	企業戦略	●●●○ ○	●●●○ ○	●●●● ○	●●○○ ○	●●●○ ○	Samsungが来年にも物理AIチップレットプラットフォームを立ち上げ。AI推論・インフラ向け高帯域幅・エネルギー効率向上。
#22	Synopsys Samsung協業	技術提携	●●●○ ○	●●●● ○	●●●○ ○	●●○○ ○	●●●○ ○	SynopsysがSamsung Foundryの最新プロセスと協業し、AI・マルチタイ設計の電力・性能を向上させるソリューションを発表。
#23	Cadence Samsung協業	技術提携	●●●○ ○	●●●● ○	●●●○ ○	●●○○ ○	●●●○ ○	CadenceとSamsung Foundryが2nmプロセスと3D-I-C技術で協業を深化。AIインフラ向け高性能コンピューティングを加速。
#24	ECTC 2026注目技術	会議レポート	●●●○ ○	●●○○ ○	●●●● ○	●●●○ ○	●●●○ ○	ECTC 2026でAI/HPC向け先進パッケージング技術に注目。ガラスコア基板、EMIB-T、3D統合、ハイブリッドボンディングなど。
#25	シンガポール市場予測	市場レポート	●○○○ ○	●●●● ●	●●○○ ○	●●●○ ○	●●○○ ○	シンガポール半導体テスト装置市場が2033年までに3.1億ドル規模へ、年率7.8%成長予測。先進PKGが牽引。
#26	中国3D設計ツール	学術発表	●●●○ ○	●●○○ ○	●●●○ ○	●●○○ ○	●○○○ ○	中国清華大学がファウウェイ「LogicFolding」アーキテクチャ向け3Dチップ設計ツールを開発。中国独自の半導体エコシステム強化へ。
#27	ECTC 2026プログラム	会議レポート	●●●○ ○	●●○○ ○	●●●● ○	●●●○ ○	●●●○ ○	ECTC 2026プログラムが発表され、3D統合、ハイブリッドボンディング、新基板材料など先進パッケージングの最新研究を共有。

●●●●○ High ●●●○ Med-High ●●○○ Med ●○○○ Low | 背景黄色 = 注目記事

今週、判断に影響しうる3つの問い

① AIチップの供給ボトルネックは解消されるのか？

TSMCのCoWoS容量不足がAIチップ成長の最大の制約となっていますが、2026年末までに月産12万枚への増強が計画されています。しかし、NvidiaやAMDの次世代チップ需要はこれを上回ると予測されており、供給不足は継続する見込みです。あなたの会社は、このボトルネックを前提とした製品ロードマップを構築できていますか？

② 次世代HBMとハイブリッドボンディング技術への対応は万全か？

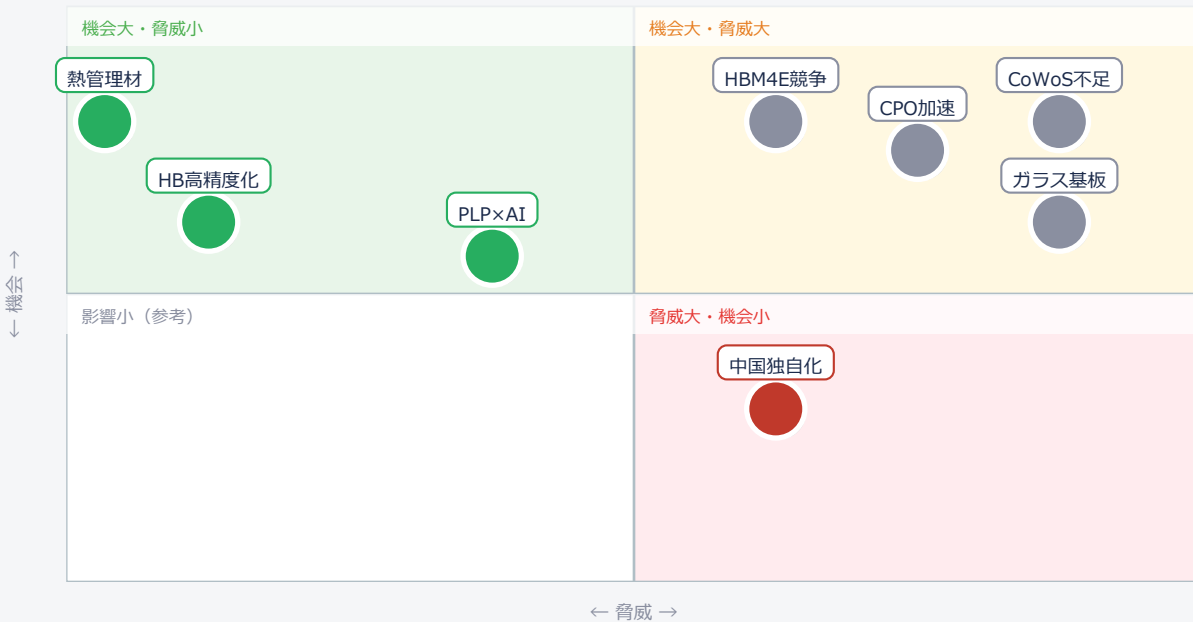
Samsungが12層HBM4Eのサンプル出荷を開始し、エネルギー効率と熱抵抗を大幅に改善しています。また、ImecとEV Groupは200nmピッチのハイブリッドボンディングで世界最高のオーバーレイ精度を達成しました。これらの技術はAIチップ性能の鍵を握ります。自社の材料・装置・設計は、これらの最先端技術の要求に応えられますか？

③ 先進パッケージング材料・装置のサプライチェーン戦略は適切か？

Intelがインドにガラスコア基板工場を建設し、AMDは台湾エコシステムに100億ドル超を投資するなど、主要プレイヤーはサプライチェーンの強化と分散化を進めています。特にガラスコア基板やCPOなどの新材料・技術は、従来の有機基板や電気配線を置き換える可能性があります。あなたの会社は、これらの変化に対応できるサプライヤー戦略を持っていますか？

日本企業にとっての「機会 vs 脅威」

日本企業にとっての「機会 vs 脅威」マトリクス



項目	象限	↑ 機会	↓ 脅威
● CoWoS不足	注意	日本の装置・材料メーカーは代替技術や増産投資で商機。	AIチップ調達の遅延、コスト増。
● HBM4E競争	注意	日本のHBM関連材料・装置メーカーは新技術対応で商機。	日本のメモリメーカーは競争激化。
● HB高精度化	機会大	日本のボンディング装置・材料メーカーは技術連携で優位性。	—
● ガラス基板	注意	日本のガラス材料・基板メーカーは技術開発・供給で商機。	有機基板メーカーは市場奪われる可能性。
● CPO加速	注意	日本の光部品・材料メーカーはCPO市場で商機。	既存電気配線技術の陳腐化。

● PLP×AI	機会大	日本のPLP装置・AIソリューション企業は生産効率向上で商機。	—
● 中国独自化	脅威大	—	中国市場での競争激化、技術デカップリング。
● 熱管理材	機会大	日本の熱管理材料メーカーは高性能材開発で商機。	—

深掘り ① — Samsung、12層HBM4Eサンプル出荷開始

#05 | 2026/05/28 | Samsung Electronics | 技術新規性●●●●○ 実用化距離●●●●○ 市場インパクト●●●●○
データ信頼性●●●●○ 日本関連度●●●●○

Samsung Electronicsは、業界初の12層HBM4Eサンプルを主要顧客に出荷開始しました。このHBM4Eは、HBM4と比較してエネルギー効率を16%、熱抵抗特性を14%以上改善し、スタックあたり最大3.6TB/sのメモリ帯域幅を提供します。1c DRAMプロセスと4nmファウンドリロジックベースダイを組み合わせることで、速度はHBM4比で20%以上向上しています。

AIコンピューティングとHPCの急速な進化は、高帯域幅メモリの需要を前例のないレベルに高めています。HBMはAIアクセラレーターの中核であり、その供給はAIサーバー容量の主要なボトルネックの一つです。SamsungのHBM4Eは、このボトルネックを緩和し、AIチップセットの性能向上に不可欠なソリューションとして市場に大きな影響を与えるでしょう。

▶ 技術者の視点

SamsungのHBM4Eは、HBM4比でエネルギー効率16%、熱抵抗14%改善という具体的な数値を示しており、これはAIチップの性能向上とデータセンターの消費電力削減に直結する重要な進歩です。特に熱抵抗の改善は、高積層化が進むHBMの信頼性確保において不可欠です。ただし、これらの数値がどのような動作条件で達成されたのか、詳細なデータが待たれます。実用化に向けた課題としては、量産における歩留まり安定化とコスト削減が挙げられます。【機会】日本のHBM関連材料（封止材、TIM、基板など）および製造装置メーカーは、SamsungのHBM4Eの要求スペックに対応する新製品開発で大きな商機があります。特に熱管理材料や高精度ボンディング装置への需要が高まるでしょう。【脅威】日本のメモリーメーカーにとっては、HBM市場での競争がさらに激化し、技術的なキャッチアップが急務となります。HBM4Eのような先進メモリの供給能力は、AI半導体サプライチェーンにおける主要な差別化要因となるため、戦略的な投資判断が求められます。【次のアクション】R&D部門はHBM4Eの技術詳細を深掘りし、自社製品のロードマップとの整合性を確認。経営企画部門はHBM市場の動向を再評価し、投資戦略を検討すべきです。

深掘り ② — Imec/EVG、HBで世界最高のオーバーレイ精度達成

#04 | 2026/05/28 | PR Newswire | 技術新規性●●●●○ 実用化距離●●○○○ 市場インパクト●●●●○
データ信頼性●●●●● 日本関連度●●●○○

ImecとEV Groupは、200nmのCu相互接続パッドピッチでのウェハー対ウェハーハイブリッドボンディングを実証し、300mmウェハー全体で40ナノメートル未満という世界最高のオーバーレイ精度を達成しました。この成果は、ルーダブルな相互接続を備えたテスト車両で達成され、CMOS 2.0スケールパラダイムが想定する極めて高い相互接続密度を可能にします。

SiCNを誘電体材料として使用し、ボンディング前の化学機械研磨（CMP）ステップを最適化することで、高歩留まりと堅牢な接続を実現。この技術は、ロジック対ロジックおよびメモリ対ロジックのティアスタッキングを対象とし、AIアクセラレーターやHPCシステムにおける超高密度相互接続の課題を解決します。

▶ 技術者の視点

40nm未満というオーバーレイ精度は、200nmピッチのハイブリッドボンディングにおいて非常に優れた数値であり、3D集積化のボトルネックの一つを解消する画期的な成果です。学術発表でありながら具体的な数値が示されており、データ信頼性は高いと評価できます。ただし、これはテスト車両での実証であり、実際の製品製造における量産性、コスト、そして長期信頼性の確保が今後の課題となります。特に、ウェハーの反りやパーティクル管理が、この高精度を維持する上で重要になるでしょう。

【機会】日本のボンディング装置メーカーは、EV Groupとの競争力を高めるため、同様の高精度化技術の開発を加速すべきです。また、高精度CMP装置やSiCN誘電体材料、ボンディングプロセス用材料メーカーにとっても、Imecとの連携や技術開発の機会が生まれます。【脅威】この技術が標準化された場合、対応できない装置・材料メーカーは競争力を失う可能性があります。特に、既存のボンディング技術に固執する企業は、市場の変化に取り残されるリスクがあります。【次のアクション】R&D;部門は、この高精度ハイブリッドボンディング技術のメカニズムとプロセス条件を詳細に分析し、自社のボンディング装置や材料開発にフィードバックすべきです。特に、CMPプロセスと誘電体材料の最適化に注力すべきでしょう。

深掘り ③ — TSMC CoWoS容量、AIチップ成長のボトルネックに

#03 | 2026/06/02 | backplane | 技術新規性●○○○ 実用化距離●●●●● 市場インパクト●●●●● データ信頼性●●●○○ 日本関連度●●●●○

TSMCのCoWoSパッケージング容量が、AIチップの進化を阻む最も深刻なボトルネックとして浮上しています。同社は2024年後半の月産約35,000ウェハーから2026年末までに月産120,000~140,000ウェハーへと生産能力を約4倍に拡大する計画ですが、Nvidiaの次世代BlackwellやAMDのInstinct MI325Xなどの需要が供給を上回り続ける見込みです。

このボトルネックは、主にプラズマ処理や薄膜堆積、特にTSV形成のためのディープリアクティブイオンエッチング（DRIE）と、RDL形成のためのPVDシード堆積およびスパッタリングプロセスに関連しています。これらの工程は高度な技術と長時間の処理を要するため、生産能力の迅速なスケーリングを制限しており、AI産業にとって重大なサプライチェーン制約となっています。

▶ 技術者の視点

TSMCのCoWoS容量不足は、AI半導体市場全体の成長を阻害する最も喫緊の課題であり、その影響は甚大です。2026年末までに月産12万枚という増強計画は大規模ですが、需要超過が継続するとの予測は非常に現実的です。特にDRIEやPVD/スパッタリングといった特定工程がボトルネックとなっている点は、日本の装置・材料メーカーにとって具体的なビジネスチャンスを示唆しています。提示された数値は業界レポートに基づくものであり、信頼性は中程度ですが、傾向としては非常に確度の高い情報と言えます。【機会】日本の半導体製造装置メーカー（特にエッチング、成膜、スパッタリング装置）や関連材料メーカーは、TSMCのCoWoS増強投資に直接貢献できる大きな商機があります。また、CoWoS以外の代替先進パッケージング技術（Intel EMIBなど）への投資も加速する可能性があり、そこにも機会が広がります。【脅威】日本のAIチップ開発企業やAIサーバーOEMは、CoWoSの供給不足により、製品の市場投入が遅れたり、コストが増大したりするリスクに直面します。調達部門は、複数のパッケージングオプションやサプライヤーを確保する戦略が不可欠です。【次のアクション】半導体PKG部門は、TSMCのCoWoS増強計画における具体的な装置・材料ニーズを調査し、R&D部門と連携して対応製品の開発を加速すべきです。調達部門は、AIチップのサプライヤーと密接に連携し、CoWoS供給の最新状況を把握し、リスクヘッジ戦略を策定すべきです。

その他の注目記事

KLAの先進パッケージング事業が急成長：2026年度収益は13億ドル超、AI向け検査需要で牽引
技術新規性●●○○○ 実用化距離●●●●● 市場インパクト●●●●●

KLAの先進パッケージング事業がAI向け検査需要で急成長。HBMスタッキングやCoWoS/SoIC基板検査が牽引しており、日本の検査装置・材料サプライヤーにとって大きなビジネスチャンス。

Applied Materials、2026年第2四半期に過去最高の売上79.1億ドルを達成：AI向け先進パッケージング事業が50%超加速
技術新規性●●○○○ 実用化距離●●●●● 市場インパクト●●●●●

Applied MaterialsもAI向け先進パッケージング事業が急加速し、過去最高売上を達成。Broadcomとの提携も強化しており、日本の装置・材料メーカーは主要プレイヤーの動向を注視すべき。

CEA-Leti、1μmピッチのダイ-トゥ-ウェハーハイブリッドボンディングを実証：AIハードウェアのボトルネック解消へ
技術新規性●●●●○ 実用化距離●●○○○ 市場インパクト●●●○○

Imecに続きCEA-LetiもD2Wハイブリッドボンディングで1μmピッチを実証。高密度相互接続によるAIハードウェアの性能向上に貢献し、日本のボンディング装置・材料メーカーは技術連携を検討すべき。

SKグループ会長、Nvidia・TSMCとAI同盟深化：次世代HBMと先進パッケージング協力拡大へ
技術新規性●●○○○ 実用化距離●●●●○ 市場インパクト●●●●●

SKグループがNvidia・TSMCとAI同盟を深化。HBM4開発でTSMCの12nmベースダイ技術とSK
DRAMプロセスを組み合わせ、AI半導体サプライチェーンの主導権を狙う。

hynixの1b

Intel、インドにガラスコア基板製造施設を建設：33億ドル投資で先進パッケージング供給強化
技術新規性●●●○○ 実用化距離●●○○○ 市場インパクト●●●●○

Intelが33億ドルを投じインドにガラスコア基板工場を建設。AI/HPC向け次世代パッケージングの供給強化を目指し、
日本のガラス材料・基板メーカーは競合動向を注視し、技術開発を加速すべき。

今週のアクション提案

記事評価マトリクスと機会/脅威分析を踏まえたアクション提案です。

■ 即時（今週中）

- 【R&D;】 Samsung HBM4E（#05）の熱管理・電力効率改善技術について、自社材料・装置の適合性評価を開始。
- 【調達】 TSMC CoWoSの供給不足（#03）が自社製品ロードマップに与える影響を再評価し、代替パッケージングオプションを検討。

■ 短期（1ヶ月）

- 【R&D;】 ハイブリッドボンディング高精度化（#04, #07）に向けた共同研究パートナー（Imec, EVG, CEA-Letiなど）の調査と接触を開始。
- 【経営企画】 Intelのガラスコア基板投資（#06）を注視し、日本のガラス材料・基板メーカーとの連携可能性を検討。
- 【半導体PKG】 CPO技術（#17, #18）の最新動向を調査し、自社製品への適用可能性とサプライヤー評価を開始。

■ 中長期（四半期～）

- 【R&D;】 PLPにおけるAI統合（#12）のロードマップを策定し、高精度モーションコントロール・マシンビジョン技術への投資を検討。
- 【経営企画】 中国の半導体独自化（#26）の動向を継続的に監視し、サプライチェーンのレジリエンス強化戦略を再構築。
- 【材料開発】 AIチップ向け熱管理材料（#11）の次世代ニーズを深掘りし、高熱伝導・低反り材料の開発を加速。

半導体後工程 採用記事全文集

出力日: 2026-06-06

採用記事数: 27 件

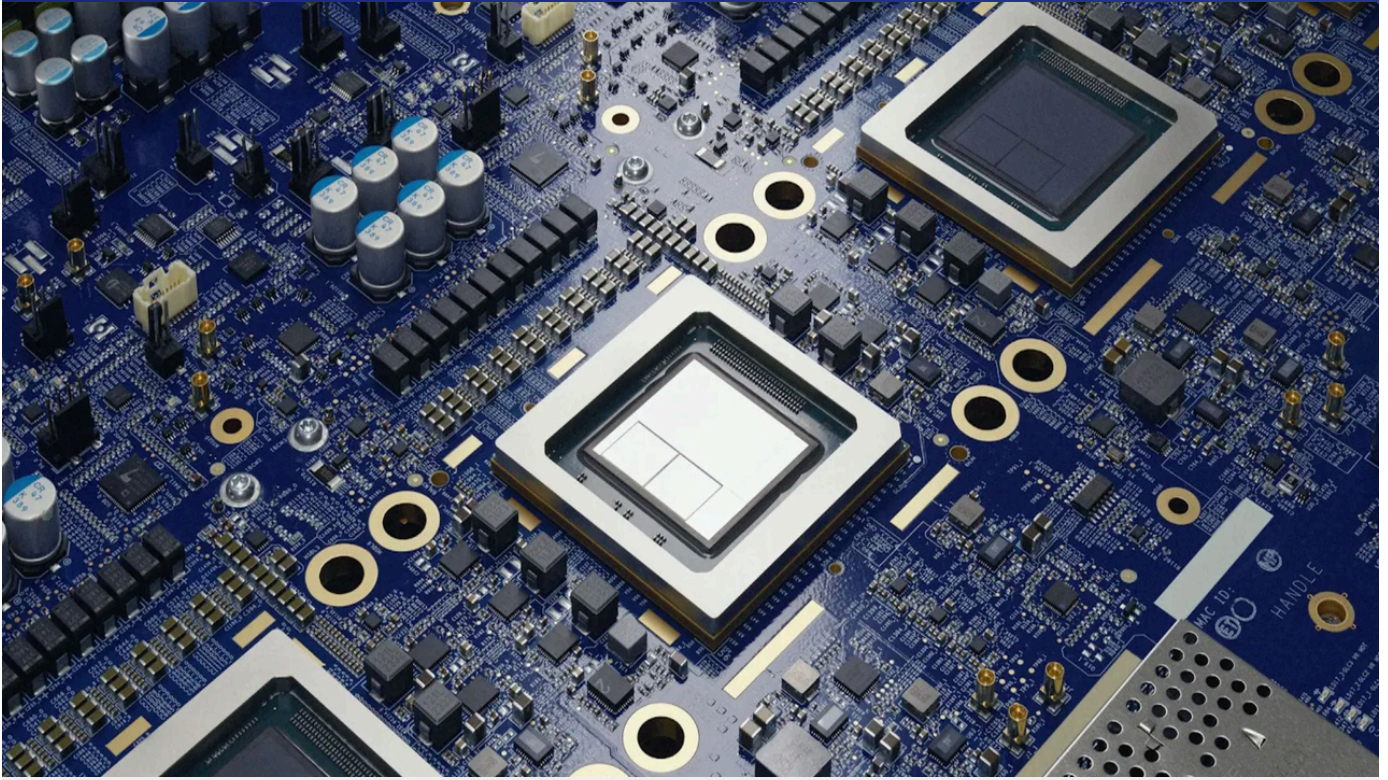
収録記事一覧

- #01 ASMP T、先進パッケージング技術諮問委員会を設立し、AI時代のイノベーション加速へ
- #02 KLAの先進パッケージング事業が急成長：2026年度収益は13億ドル超、AI向け検査需要で牽引
- #03 TSMCのCoWoS容量がAIチップの成長を阻む主要ボトルネックに：2026年末までに月産12万枚へ増強も需要超過が継続
- #04 ImecとEV Group、200nmピッチのウェハー対ウェハーハイブリッドボンディングで世界最高のオーバーレイ精度を達成
- #05 Samsung Electronics、業界初の12層HBM4Eサンプル出荷開始：HBM4比でエネルギー効率16%、熱抵抗14%改善
- #06 Intel、インドにガラスコア基板製造施設を建設：33億ドル投資で先進パッケージング供給強化
- #07 CEA-Leti、1 μ mピッチのダイ-トゥ-ウェハーハイブリッドボンディングを実証：AIハードウェアのボトルネック解消へ
- #08 AMD、台湾エコシステムに100億ドル超を投資：AIインフラと先進パッケージング製造を強化
- #09 Applied Materials、2026年第2四半期に過去最高の売上79.1億ドルを達成：AI向け先進パッケージング事業が50%超加速
- #10 Amkor Technology、アリゾナ州に67エーカーの土地を追加確保：米国における先進パッケージング能力を拡大
- #11 Dow、COMPUTEX Taipei 2026で次世代AI熱管理技術を展示：400G超の光トランシーバーに対応
- #12 HiwinとQualcomm、パネルレベル半導体パッケージングにエッジAIを統合：生産精度とスループットを向上
- #13 GlobalFoundries、CHIPS Act支援でマルタ工場能力を3倍に増強：2028年末までに年間150万ウェハー生産へ
- #14 Intel、ファウンドリ事業復活へ大規模な先進パッケージング投資：EMIB能力拡張が鍵
- #15 ハイブリッドボンディング技術、3D集積化の新境地を開く：AIアクセラレーターとチップレット設計を推進
- #16 Samsung Electronics、ベトナムに15億ドルを投じ半導体テスト施設を建設：AIチップ需要急増に対応
- #17 Marvell、業界初の102.4 Tbps AIスイッチを発表：AIデータセンターネットワークの帯域幅を倍増
- #18 Credo、DustPhotonics買収を完了：コパッケージドオプティクス（CPO）ソリューションを強化しAIデータセンターを加速

- #19 SKグループ会長、Nvidia・TSMCとAI同盟深化：次世代HBMと先進パッケージング協力拡大へ
- #20 Fraunhofer IPMS、ウェハーレベルで高密度チップレットシステムを開発：AI・HPC向け集積度向上
- #21 Samsung、来年にも物理AIチップレットプラットフォームを立ち上げか：AI推論・インフラを加速
- #22 Synopsys、Samsung Foundryの最新プロセスでAI・マルチダイ設計の電力・性能を向上
- #23 CadenceとSamsung Foundry、2nmおよび3D-IC協業を深化：AIインフラ需要に対応
- #24 IEEE ECTC 2026、AI・HPCのスケーラビリティ限界を再定義するパッケージング技術に注目
- #25 シンガポール半導体テスト装置市場、2033年までに3.1億ドル規模へ：年率7.8%成長
- #26 中国清華大学、ファウエイ「LogicFolding」アーキテクチャ向け3Dチップ設計ツールを開発
- #27 2026 IEEE ECTCプログラム、3D統合・ハイブリッドボンディング・新基板材料など先進パッケージングの最新研究を発表

ASMPT、先進パッケージング技術諮問委員会を設立し、AI時代のイノベーション加速へ

公開日 2026年05月28日 ASMPT シンガポール



概要

ASMPTは、次世代コンピューティングおよびAIコンポーネントにおける先進パッケージングの重要性増大に対応するため、Advanced Packaging Technology Advisory Council (TAC)を設立しました。TACは、先進メモリ（HBM & HBF）、CoWoS & EMIB-T、フォトニクス、2.5D/3D/3.5Dヘテロジニアスインテグレーションなど、広範な次世代パッケージング形式と新興トレンドに対応します。この評議会は、ASMPTのR&Dロードマップに戦略的ガイダンスを提供し、AIエコシステムの技術革新を加速することを目的としています。

詳細

主要成果

ASMPTは、次世代コンピューティングおよび人工知能（AI）コンポーネントを可能にする上で、先進パッケージングの重要性が増す中、Advanced Packaging Technology Advisory Council (TAC)を設立しました。この戦略的な動きは、ASMPTがAI時代の半導体イノベーションをリードするためのコミットメントを示すものです。

技術・臨床詳細

TACは、先進メモリ（高帯域幅メモリHBMおよびHBM Fabric HBF）、CoWoS (Chip-on-Wafer-on-Substrate) & EMIB-T、フォトニクス統合、そして2.5D/3D/3.5Dヘテロジニアスインテグレーションエコシステムを含む、幅広い次世代パッケージング形式と新興トレンドに焦点を当てています。この評議会は、複雑化するパッケージング技術の課題を解決し、ASMPTのR&Dロードマップに戦略的ガイダンスを提供することで、業界の技術的ボトルネックを克服することを目指します。また、ASMPTはHBM製造における主要な課題に対処するため、アクティブ酸化物除去（AOR）TCB™技術も発表しており、これはクリーンで残留物のない相互接続を実現し、ボンディング均一性を改善し、欠陥を減らすことで、次世代HBM製造の歩留まりとコスト効率を向上させます。

背景・業界文脈

世界の半導体およびエレクトロニクスサプライチェーンの中心である台湾では、高度に専門化されたプロセス、厳格な品質要件、迅速な生産サイクルが求められています。ASMPTはシンガポールに本社を置き、ウェハーデポジションから組立・パッケージングに至るまで、半導体組立・パッケージングおよびSMT産業向けのハードウェアおよびソフトウェアソリューションを提供しています。AIの台頭により、高密度、高性能、低消費電力のパッケージングソリューションへの需要が急増しており、先進パッケージング技術の進化は、AIチップの性能向上と市場投入速度の鍵を握っています。

今後の展望

TACの設立は、ASMPTが先進パッケージング分野でのリーダーシップを強化し、AI時代の技術課題に積極的に取り組む姿勢を示しています。R&Dロードマップへの戦略的ガイダンス提供により、ASMPTは将来のAIおよびHPCアプリケーションの要求に応えるための革新的なソリューションを迅速に開発できるようになるでしょう。AOR TCB™のような技術革新と組み合わせることで、ASMPTはHBMや他の先進パッケージングの製造効率と信頼性を高め、AIエコシステム全体の成長を支援することが期待されます。

元記事: <https://www.asmpt.com/en/newsroom/press-releases/2026/asmpt-forms-technical-advisory-council-to-accelerate-ai-era-innovation/>

収集日: 2026年06月05日 | 自動記事収集・翻訳システム (Gemini API使用)

KLAの先進パッケージング事業が急成長：2026年度収益は13億ドル超、AI向け検査需要で牽引

公開日 2026年05月31日 Bitget アメリカ

Global Alpha in One

Bitget

概要

KLA Corporationは、半導体プロセス制御および歩留まり管理のグローバルリーダーとして、特にAIチップの複雑化に伴う先進パッケージング事業で急成長を遂げています。同社の先進パッケージング部門からの収益は、2025年の推定9億2500万ドルから2026年度には13億~14億ドルに達すると見込まれ、前年比で約57%の成長を予測。この成長は、HBMメモリスタッキング検査、AIアクセラレーターパッケージング向けのCoWoS/SolC基板検査、およびモバイルSoC向けのファンアウトウェハーレベルパッケージングにおけるハイエンド検査システムへの需要によって牽引されています。

詳細

主要成果

KLA Corporationは、半導体業界のプロセス制御および歩留まり管理において、その先進パッケージング事業が目覚ましい成長を遂げていることを発表しました。同社の先進パッケージング部門からの収益は、2025年の推定9億2500万ドルから、2026年度には13億~14億ドルに達すると見込まれており、これは前年比で約57%という顕著な成長を示しています。この成長は、AIチップ製造における高度な検査・測定システムに対する需要の急増によって強力に牽引されています。

技術・臨床詳細

KLAの成長は、AIインフラの継続的な拡大によって促されており、GPU、高帯域幅メモリ（HBM）、および先進半導体パッケージングに対する需要の増加は、ウェハー製造プロセス全体の複雑性を増大させています。同社は、HBMメモリスタッキング検査（SK HynixとMicronが主要顧客）、TSMCにおけるAIアクセラレーターパッケージング向けのCoWoS/SolC基板検査、およびモバイルSoC向けのファンアウトウェハーレベルパッケージングにおいて、トップの地位を確立しています。KLAのハイエンド検査システムは、チップスタッキングやハイブリッドボンディングの普及に伴うパッケージングの複雑化に対応し、欠陥検出と歩留まり最適化に不可欠な役割を果たします。特にEUVリソグラフィの採用は、先進的な検査システムの必要性をさらに高めています。

背景・業界文脈

AI半導体製造の複雑化は、製造プロセスのあらゆる段階でこれまで以上の精度と制御を求めています。チップレットアーキテクチャや3Dスタッキング技術への移行は、パッケージングの課題を増大させ、先進的なプロセス制御ソリューションへの依存度を高めています。KLAは、欠陥レビュー、臨界寸法（CD）、オーバーレイ測定ソリューションの広範なポートフォリオを活用し、この市場でリーダーシップを発揮しています。Applied Materialsのような競合他社もAIアクセラレーター向けの先進パッケージング事業の急成長を予測していますが、KLAは特定の検査・測定分野で強力的な競争優位性を維持しています。

今後の展望

KLAの先進パッケージング事業の継続的な成長は、AI時代の半導体製造におけるプロセス制御の重要性を浮き彫りにしています。2026年に約10億ドル規模に達すると予想されるこのポートフォリオは、KLAがAIインフラの進化において不可欠な役割を果たすことを示しています。同社の技術は、HBMの信頼性、AIアクセラレーターの性能、および次世代モバイルSoCの歩留まりを確保する上で中心的な役割を担い、半導体業界全体のイノベーションと効率性の向上に貢献し続けるでしょう。

元記事: <https://www.bitget.com/stock/nasdaq-klac/what-is>

収集日: 2026年06月05日 | 自動記事収集・翻訳システム (Gemini API使用)

TSMCのCoWoS容量がAIチップの成長を阻む主要ボトルネックに：2026年末までに月産12万枚へ増強も需要超過が継続

公開日 2026年06月02日 backplane 台湾



概要

TSMCのCoWoSパッケージング容量が、AIチップの進化を阻む最も深刻なボトルネックとして浮上しています。同社は2024年後半の月産約35,000ウェハーから2026年末までに月産120,000~140,000ウェハーへと生産能力を約4倍に拡大していますが、Nvidiaの次世代Blackwell（CoWoS-Lを使用）やAMDのInstinct MI325Xなどの需要が供給を上回り続ける見込みです。このボトルネックは、主にプラズマ処理や薄膜堆積、特にTSV形成のためのディープリアクティブイオンエッチングと、RDL形成のためのPVDシード堆積およびスパッタリングプロセスに関連しており、AI産業にとっての重大なサプライチェーン制約となっています。

詳細

主要成果

TSMCのCoWoS（Chip-on-Wafer-on-Substrate）パッケージング容量が、ハイエンドAIアクセラレーターの生産における最も深刻なボトルネックとして浮上しており、AIチップの進化と市場投入を遅らせています。TSMCは2024年後半の月産約35,000ウェハーから、2026年末までに月産120,000～140,000ウェハーへと生産能力を約4倍に拡大する計画ですが、Nvidiaの次世代Blackwell（CoWoS-Lを使用）やAMDのInstinct MI325Xといったアーキテクチャへの移行により、需要は供給を上回り続けると予測されています。

技術・臨床詳細

CoWoSは、GPUロジックダイとHBM（高帯域幅メモリ）スタックをシリコンインターポザー上に並べて配置するNvidiaのAIアクセラレーターに不可欠な技術です。このパッケージングプロセスにおけるボトルネックは多岐にわたりますが、特にプラズマ処理と薄膜堆積に関連する工程が重要視されています。具体的には、TSV（Through-Silicon Via）形成のためのディープリアクティブイオンエッチング（DRIE）と、RDL（Redistribution Layer）形成のためのPVD（Physical Vapor Deposition）シード堆積およびスパッタリングプロセスが、供給制約の主要因となっています。これらのプロセスは高度な技術と長時間の処理を要するため、生産能力の迅速なスケールアップを制限しています。

背景・業界文脈

AIインフラの急速な成長に伴い、高性能AIチップに対する需要が爆発的に増加しています。しかし、従来のムーアの法則に頼る微細化だけでは、チップの性能向上に限界が見え始めています。そのため、チップレットと3Dインテグレーションを可能にするCoWoSのような先進パッケージング技術が、より重要な差別化要因となっています。Nvidiaのジェンセン・ファンCEOがTSMCを訪問しVera Rubinプラットフォーム向けのCoWoS容量確保について協議したことは、このボトルネックの深刻さを物語っています。TSMCはアリゾナ、熊本（JASM）、ドイツのドレスデン（ESMC）での工場建設を通じて、地理的に多様化した製造拠点を構築していますが、装置のリードタイムとプロセス認定が迅速な生産能力増強の大きな課題です。

今後の展望

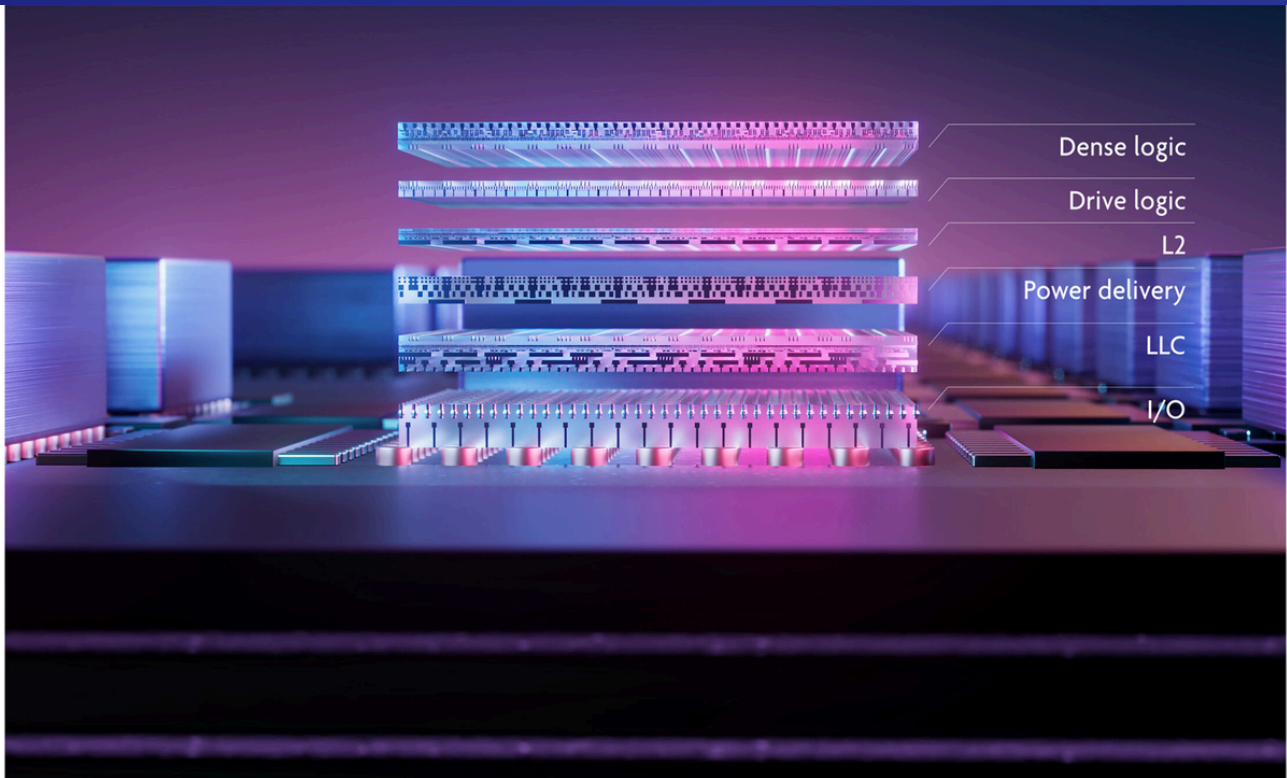
CoWoS容量の供給不足は、2025年を通じて、そして2026年まで完売状態が続くと予測されており、2030年までAIメモリ不足が続くというComputex 2026での予測もこれを裏付けています。この状況は、AMDがAIインフラと先進パッケージング製造のため台湾のエコシステムに100億ドル以上を投資するなど、業界全体での大規模な設備投資を促しています。TSMCは2027年までCoWoS容量が年率80%で成長すると予測していますが、ハイパースケーラーからの需要がこの増強を依然として上回る見込みであり、AI産業の成長ペースは引き続きCoWoS供給の拡大に大きく左右されるでしょう。

元記事: <https://www.backplane.gg/bottlenecks/cowos>

収集日: 2026年06月05日 | 自動記事収集・翻訳システム (Gemini API使用)

ImecとEV Group、200nmピッチのウェハー対ウェハーハイブリッドボンディングで世界最高のオーバーレイ精度を達成

公開日 2026年05月28日 PR Newswire ベルギー



概要

ImecとEV Groupは、IEEE ECTC 2026で、200nmのCu相互接続パッドピッチでのウェハー対ウェハーハイブリッドボンディングを実証し、300mmウェハー全体で40ナノメートル未満の銅パッド間ポストボンドオーバーレイベクトルという世界最高の精度を達成しました。この成果は、ルーダブルな相互接続を備えたテスト車両で達成され、CMOS 2.0スケーリングパラダイムが想定する、極めて高い相互接続密度を必要とする将来のロジック対ロジックおよびメモリ対ロジックのティアスタッキングを可能にします。SiCNを誘電体材料として使用し、ボンディング前の化学機械研磨ステップを最適化することで、高歩留まりと堅牢な接続が実現されました。

詳細

主要成果

半導体研究の世界的リーダーであるImecとウェハープロセス装置のサプライヤーであるEV Group (EVG)は、2026 IEEE Electronic Components and Technology Conference (ECTC)において、200ナノメートル (nm) のCu相互接続パッドピッチで、堅牢かつ高歩留まりのウェハー対ウェハーハイブリッドボンディング技術を実証しました。この技術は、300mmウェハー全体で40nm未満という、銅パッド間ポストボンドオーバーレイベクトルにおいて世界最高の精度を達成し、次世代3D集積の実現に向けた画期的な進歩を示しています。

技術・臨床詳細

このハイブリッドボンディング技術は、金属間（主にCu-Cu）と誘電体間（酸化物-酸化物）のボンディングを単一のインターフェースで組み合わせることで、はんだやマイクロバンプなしで電氣的連続性と機械的完全性の両方を提供します。研究は、ルーダブルな相互接続を備えたテスト車両を使用して行われ、ロジック対ロジックおよびメモリ対ロジックのティアスタッキングを対象としています。特に、誘電体材料としてSiCNを使用し、ボンディング前の化学機械研磨（CMP）ステップを最適化することで、この驚異的なオーバーレイ精度と高い歩留まりが実現されました。この技術は、サブミクロンピッチでの同時Cu-to-Cuおよび酸化物-to-酸化物ボンディングを可能にし、従来のパッケージングと比較して劇的に微細な相互接続ピッチと、寄生容量およびインダクタンスの削減を実現します。

背景・業界文脈

CMOS技術の微細化が限界に近づく中、3D集積技術は半導体性能向上のための重要な代替手段となっています。特にAIアクセラレーターやチップレットプラットフォームでは、超高密度な相互接続と高帯域幅が不可欠です。しかし、チップを垂直にスタッキングする際の最大の課題の一つは、アライメント精度と接続信頼性の確保でした。ImecとEVGの今回の成果は、この課題に対する決定的な解決策を提供し、CMOS 2.0スケールパラダイムが想定する、極めて高い相互接続密度を必要とするアプリケーション（例：AI、HPC、先進スマートビジョンシステム）の実現を加速します。

今後の展望

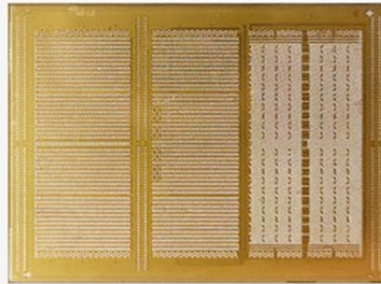
この記録的なハイブリッドボンディング技術の達成は、3D ICスタッキングの進化を大きく前進させ、AIアクセラレーターやその他の先進チップレットベースのシステム設計において、新たな可能性を開きます。相互接続経路の短縮は、データ転送速度を大幅に向上させ、消費電力を削減するため、次世代のAIハードウェアおよびHPCシステムの性能とエネルギー効率に革命をもたらすでしょう。ImecとEVGの協業は、微細ピッチ接続の技術的限界を押し広げ、半導体業界全体のイノベーションを牽引し続けることが期待されます。

元記事: <https://www.prnewswire.com/news-releases/imec-and-ev-group-demonstrate-wafer-to-wafer-hybrid-bonding-with-200nm-interconnect-pitch-and-record-high-overlay-accuracy-302783981.html>

収集日: 2026年06月05日 | 自動記事収集・翻訳システム (Gemini API使用)

Samsung Electronics、業界初の12層HBM4Eサンプル出荷開始：HBM4比でエネルギー効率16%、熱抵抗14%改善

公開日 2026年05月28日 Samsung Electronics 韓国



概要

Samsung Electronicsは、業界初の12層HBM4Eサンプルを主要なグローバル顧客に出荷開始しました。このHBM4Eは、HBM4と比較してエネルギー効率を16%、熱抵抗特性を14%以上改善し、スタックあたり最大3.6TB/sのメモリ帯域幅を提供します。

SamsungはHBM4の量産に続き、HBM4Eの量産を顧客のスケジュールに合わせて開始する予定であり、AIチップセットの性能向上に不可欠な高帯域幅メモリ市場におけるリーダーシップを強化する構えです。

詳細

主要成果

Samsung Electronicsは、業界で初めて12層の高帯域幅メモリ（HBM）であるHBM4Eのサンプルを、主要なグローバル顧客に向けて出荷開始したと発表しました。この最新世代のHBMは、従来のHBM4と比較してエネルギー効率を16%、熱抵抗特性を14%以上改善し、スタックあたり最大3.6テラバイト/秒（TB/s）という圧倒的なメモリ帯域幅を提供します。これにより、AIチップセットの性能向上に不可欠なメモリソリューションとして、市場に大きな影響を与えることが期待されます。

技術・臨床詳細

Samsungの12層HBM4Eは、同社の革新的な1c DRAMプロセスと4nmファウンドリロジックベースダイを使用して製造されています。この組み合わせにより、HBM4Eは速度がHBM4と比較して20%以上向上し、最先端のAIアプリケーションが要求する超高速データ処理能力を実現します。ベースダイに先進ロジックノードを活用することで、電力効率が向上し、データスループットが大幅に高められています。I/O密度がスケールし続けるにつれて、ベースダイの最適化はシステム全体の効率改善に不可欠な要素となります。Samsung Foundryは、先進ロジック、メモリ、パッケージングを統合された開発フレームワーク内で結集させ、システムレベルの共同最適化を実現し、次世代AIおよびHPCシステムに不可欠な高帯域幅とエネルギー効率を提供しています。

背景・業界文脈

AIコンピューティングと高性能コンピューティング（HPC）の急速な進化は、高帯域幅メモリに対する需要を前例のないレベルにまで高めています。HBMはAIアクセラレーターの中核コンポーネントであり、その供給はAIサーバー容量の主要なボトルネックの一つとなっています。SK HynixがHBM3Eの市場シェアを先行している中、SamsungのHBM4Eの出荷開始は、HBM市場における競争を激化させ、同社が先進メモリ分野でのリーダーシップを取り戻すための重要な試みです。Samsung Foundryの2.xD Cube Packagingは、複数のチップのヘテロジニアスイнтеグレーションを可能にし、AIシステムの複雑化に対応する能力を示しています。

今後の展望

Samsungは、HBM4の量産に続き、顧客のスケジュールに合わせてHBM4Eの量産を開始する予定です。このHBM4Eの登場は、AIアプリケーションの処理能力をさらに押し上げ、特に大規模なAIモデルのトレーニングと推論において、より高速かつエネルギー効率の高いソリューションを提供します。市場アナリストは、HBMの供給とAIサーバー容量が今後もチップメーカーにとって主要なボトルネックであり続けると予測しており、Samsungの今回の革新は、このボトルネックを緩和し、AI産業の継続的な成長を支援する上で重要な役割を果たすでしょう。

元記事: <https://news.samsung.com/global/samsung-electronics-begins-shipment-of-industry-first-hbm4e-samples>

収集日: 2026年06月05日 | 自動記事収集・翻訳システム (Gemini API使用)

Intel、インドにガラスコア基板製造施設を建設：33億ドル投資で先進パッケージング供給強化

公開日 2026年06月01日 TrendForce アメリカ



概要

Intelは、3D Glass Solutions (3DGS)と協力し、インドのオリッサ州に約33億ドルを投じて先端パッケージング用ガラスコア基板の製造施設を建設する計画を進めています。この工場は5～6年かけて建設され、高密度相互接続基板と関連半導体技術に焦点を当てます。この投資は、AIおよびHPCアプリケーション向けの次世代パッケージング技術の供給能力を強化することを目的とし、2030年までに単一パッケージ内で1兆個のトランジスタを統合するというIntelの目標達成に貢献します。

詳細

主要成果

Intelは、3D Glass Solutions (3DGS)と協力し、インド東部のオリッサ州に約33億ドルを投じて、先端パッケージング用ガラスコア基板の製造施設を建設する計画を進めています。この大規模な投資は、AIおよび高性能コンピューティング（HPC）アプリケーション向けの次世代パッケージング技術の供給能力を強化し、Intelが2030年までに単一パッケージ内で1兆個のトランジスタを統合するという野心的な目標を達成するための重要な一歩となります。

技術・臨床詳細

建設される工場は、先進パッケージング用のガラスコア基板、高密度相互接続（HDI）基板、および関連する半導体技術に焦点を当てます。ガラスコア基板は、従来の有機基板よりも優れた電気的特性、熱的安定性、および寸法安定性を提供します。これにより、より大きなパッケージサイズ、より微細な相互接続、および低反りを可能にし、AIおよびHPCのヘテロジニアスインテグレーションにおけるスケーラビリティのボトルネックを解消します。Intelの先進パッケージングロードマップは、EMIB（Embedded Multi-die Interconnect Bridge）、Foveros、Foveros Directといった複数の技術プラットフォームをカバーしており、Foveros Directはハイブリッドボンディング技術を採用して相互接続密度とエネルギー効率をさらに高めます。また、同社はIntel 18Aプロセスをデータセンタープロセッサ「Xeon 6+」に初めて適用し、Foveros DirectとEMIB技術を組み合わせて最大288個のエネルギー効率の高いコアを持つ高密度パッケージを実現しました。

背景・業界文脈

AIの台頭により、半導体業界では性能向上と電力効率最適化のための先進パッケージング技術の重要性が飛躍的に高まっています。TSMCのCoWoS容量不足が業界全体のボトルネックとなる中、IntelはEMIBやFoverosのような自社技術による先進パッケージングをファウンドリ事業復活の鍵と位置づけています。SKCの子会社であるAbsolicsは2026年末までに世界初のガラス基板の商業生産を開始する予定であり、Samsung Electro-Mechanicsも試作ラインを稼働させています。Intelのインドへの投資は、ガラスコア基板市場の急速な成長予測と同期しており、地政学的なサプライチェーンの分散化と地域的な生産能力強化のトレンドにも合致しています。

今後の展望

インドの新たな製造施設は、5～6年かけて建設される予定であり、Intelのグローバルな製造能力を大きく拡大し、特に先進パッケージング材料の供給において戦略的な自律性を高めるでしょう。この取り組みは、IntelがAI時代の主要なファウンドリとして競争力を高め、外部顧客からの評価を早期に得る可能性を秘めています。ガラスコア基板の商業化は、AIおよびHPCシステムの性能限界を再定義し、コパッケージドオプティクス（CPO）などの次世代技術の統合を可能にすることで、半導体産業全体のイノベーションを推進すると期待されています。

元記事: <https://www.trendforce.com/news/2026/06/01/news-intel-advances-glass-substrate-push-with-3dgs-us3-3-billion-india-plant-set-for-five-to-six-year-buildout/>

収集日: 2026年06月05日 | 自動記事収集・翻訳システム (Gemini API使用)

CEA-Leti、1 μ mピッチのダイ-トゥ-ウェハーハイブリッドボンディングを実証：AIハードウェアのボトルネック解消へ

公開日 2026年05月29日 Chiplet Marketplace フランス



概要

CEA-Letiは、ECTC 2026で、ピッチが1 μ mまでのダイ-トゥ-ウェハー（D2W）ハイブリッドボンディングを利用した機能テスト車両を実証し、AIハードウェアのボトルネックを解消する大きな進歩を発表しました。このD2W技術は、超微細ピッチでデバイス層を垂直にスタッキングすることで、相互接続経路を短縮し、データ転送速度を大幅に向上させ、消費電力を削減します。100,000リンクまでの構造の電気的テストが成功したことで、この技術が高密度相互接続に適用可能であることが確認され、高密度コンピューティング、先進スマートビジョン、AI向け3D統合の進化を促進します。

詳細

主要成果

CEA-Letiは、2026 IEEE Electronic Components and Technology Conference (ECTC)において、ピッチが1マイクロメートル (μm) までのダイ-トゥ-ウェハー (D2W) ハイブリッドボンディングを利用した機能テスト車両を実証し、人工知能 (AI) ハードウェアの性能ボトルネックを解消する大きな進歩を発表しました。この成果は、高密度コンピューティング、先進スマートビジョンシステム、およびAI向け3D統合の進化における重要なマイルストーンとなります。

技術・臨床詳細

このD2W技術は、デバイス層を垂直にスタッキングすることで、超微細ピッチでの高密度ダイ間接続を可能にします。これにより、チップ間の相互接続経路が劇的に短縮され、結果としてデータ転送速度が大幅に向上し、消費電力が削減されます。CEA-Letiは、100,000リンクまでの構造で電気的テストを成功させ、この技術が高密度相互接続が必要な複雑なAIアクセラレータ設計に適用可能であることを確認しました。ハイブリッドボンディングは、金属間（主に銅-銅）と誘電体間（酸化物-酸化物）のボンディングを単一のインターフェースで組み合わせることで、はんだやマイクロバンプなしで電氣的連続性と機械的完全性の両方を提供します。これにより、従来のパッケージングと比較して劇的に微細な相互接続ピッチと寄生容量およびインダクタンスの削減を実現します。

背景・業界文脈

AIの爆発的な成長に伴い、AIチップはより多くのデータ処理能力とより高いエネルギー効率を求められています。従来の2Dアーキテクチャでは、データ移動のボトルネックとそれに伴う消費電力の増大が深刻な課題となっていました。3D集積化、特にD2Wハイブリッドボンディングは、これらの課題に対処するための最も有望な解決策の一つです。相互接続の微細化は、AIアクセラレータ設計における相互接続密度と帯域幅の重要なボトルネックに対処し、データ伝送の効率を劇的に改善します。この技術の進展は、HBM（高帯域幅メモリ）のような先進メモリの統合、チップレットベースのシステム、そして最終的には、IntelのFoveros DirectやTSMCのSoICのような最先端の3Dパッケージングソリューションの基盤を強化するものです。

今後の展望

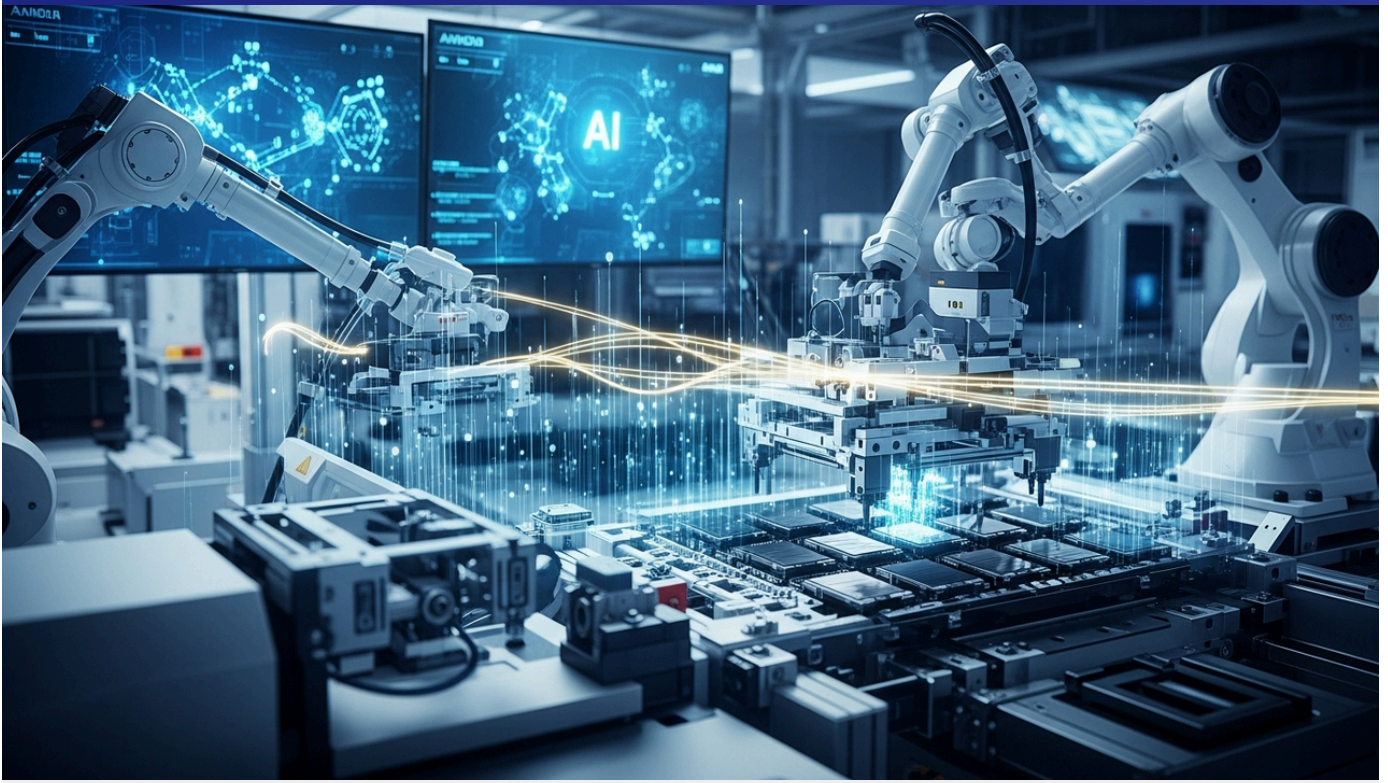
CEA-Letiが実証したD2Wハイブリッドボンディング技術は、AIハードウェアのスケールビリティと性能を大幅に向上させる可能性を秘めています。この技術の商業化が進めば、AIチップはさらに小型化、高速化、高効率化され、エッジAIから大規模データセンターまで、幅広いAIアプリケーションに革命をもたらすでしょう。この成果は、AIコンピューティングの未来を形成する上で不可欠な、高性能でエネルギー効率の高い次世代半導体設計への道を開きます。

元記事: <https://chiplet-marketplace.com/insights/news/>

収集日: 2026年06月05日 | 自動記事収集・翻訳システム (Gemini API使用)

AMD、台湾エコシステムに100億ドル超を投資：AIインフラと先進パッケージング製造を強化

公開日 2026年05月28日 Electronics Engineering Herald - EEHerald アメリカ



概要

AMDは、AIインフラと先端パッケージング製造の拡大のため、台湾のエコシステムに100億ドル以上を投資すると発表しました。この巨額投資は、AMDのチップレットアーキテクチャ、高帯域メモリ統合、3Dハイブリッドボンディング、ラックスケールシステム設計を強化し、先進シリコンおよび製造技術の開発を支援します。特に、台湾のASEおよびSPILを含むパートナーと協力し、次世代ウェハーベース2.5Dブリッジ相互接続技術であるElevated Fanout Bridge (EFB)の開発と認定を進めることで、AI半導体供給のボトルネックを緩和する狙いです。

詳細

主要成果

AMDは、AIインフラストラクチャおよび先端パッケージング製造能力を大幅に拡大するため、台湾の半導体エコシステムに100億ドル以上を投資すると発表しました。この大規模な投資は、AIチップセットにおける性能ボトルネックの解消と、次世代AIおよび高性能コンピューティング（HPC）ソリューションの開発を加速することを目的としています。

技術・臨床詳細

この投資は、AMDの以下の主要技術分野を強化します。まず、チップレットアーキテクチャの推進により、異なる機能を持つチップを統合して単一の高性能プロセッサを構築する能力を向上させます。次に、高帯域幅メモリ（HBM）の統合能力を強化し、AIワークロードに不可欠な高速データアクセスを実現します。さらに、3Dハイブリッドボンディング技術の開発を進め、より高密度なチップスタッキングと電力効率の向上を目指します。そして、ラックスケールシステム設計を最適化することで、AIデータセンターの全体的な効率とスケーラビリティを向上させます。AMDは、台湾の主要OSAT（外注半導体組立・テスト）企業であるASE Technology Holdingおよびその子会社であるSiliconware Precision Industries Co. (SPIL)と協力し、次世代のウェハーベース2.5Dブリッジ相互接続技術であるElevated Fanout Bridge (EFB)の開発と認定を進めています。

背景・業界文脈

AIの急速な発展に伴い、AIチップの製造、特にTSMCのCoWoSのような先進パッケージング技術の供給が業界全体のボトルネックとなっています。AMDのこの投資は、AIインフラストラクチャ需要の急増によって生じる供給制約に直接対応するものです。台湾は世界の半導体サプライチェーンの中心であり、この地域への投資は、AMDが戦略的な供給網を確保し、技術革新を加速するために不可欠です。Nvidiaも年間1500億ドルを台湾に投資すると発表しており、主要なAIチップメーカーが台湾のエコシステムに多額の投資を行っている状況は、この地域の半導体産業の重要性を浮き彫りにしています。

今後の展望

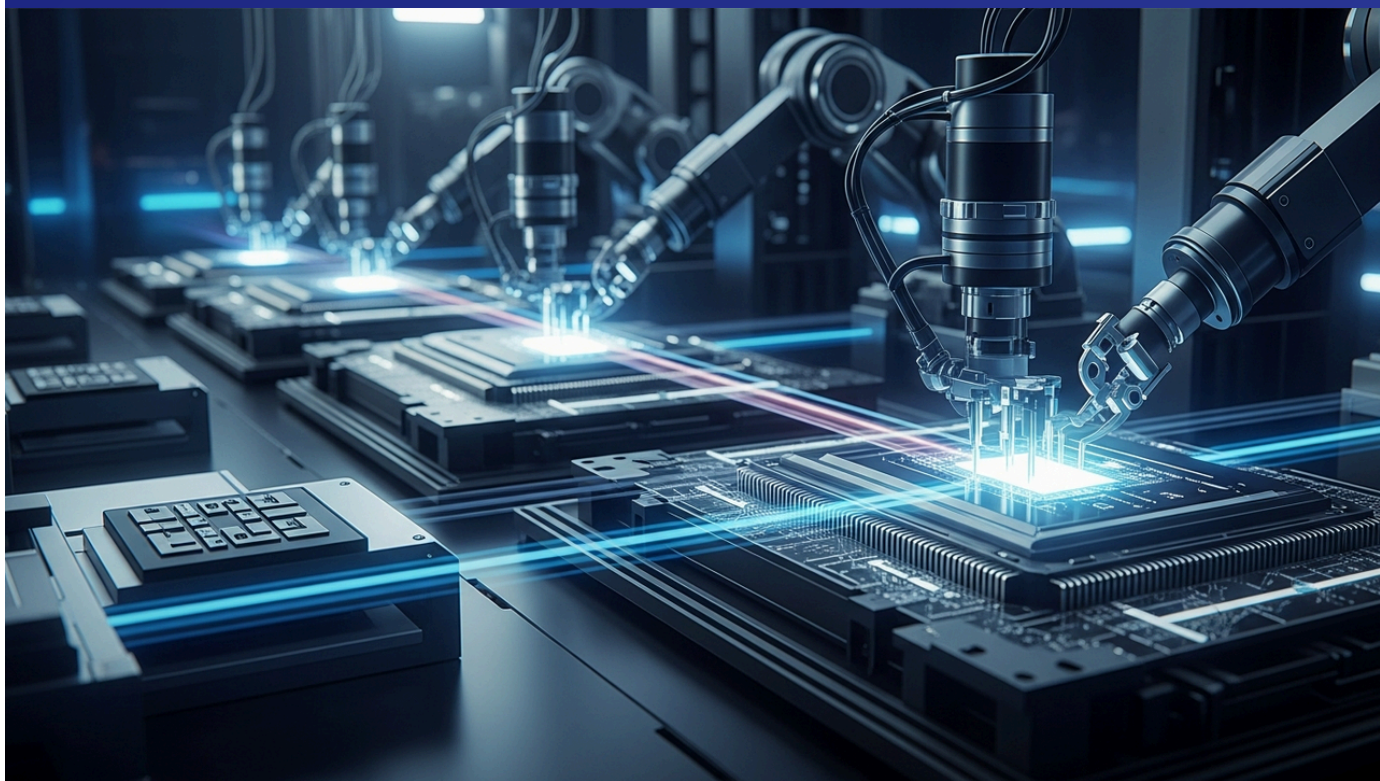
AMDの台湾エコシステムへの100億ドル超の投資は、AI半導体市場における同社の競争力を大きく高めるでしょう。特にEFB技術の開発と認定は、2.5Dパッケージングの新たな標準を確立し、より高性能でコスト効率の高いAIアクセラレーターの実現に貢献します。この投資は、台湾の半導体産業をさらに強化し、グローバルなAIサプライチェーンにおける安定性とイノベーションを促進することが期待されます。長期的には、これによりAIチップの供給不足が緩和され、AI技術のさらなる普及と進化が加速される可能性があります。

元記事: <https://www.eeherald.com/section/news/p20260526nwamd.html>

収集日: 2026年06月05日 | 自動記事収集・翻訳システム (Gemini API使用)

Applied Materials、2026年第2四半期に過去最高の売上79.1億ドルを達成：AI向け先進パッケージング事業が50%超加速

公開日 2026年05月28日 MLQ.ai アメリカ



概要

Applied Materialsは、2026年第2四半期に過去最高の売上高79.1億ドルを達成し、前四半期比13%、前年同期比11%増を記録しました。ノンGAAP粗利益率は50%に達し、前年同期から80ベースポイント改善。同社は、AIコンピューティングの発展に牽引され、先進パッケージングの売上が2026年に50%以上加速し、2027年以降も力強い成長が続くと予測しており、Broadcomとの提携を通じてAIシステム向けの先端チップパッケージング技術開発にも注力しています。

詳細

主要成果

Applied Materialsは、2026年第2四半期において過去最高の売上高79.1億ドルを達成し、半導体製造装置市場におけるその堅調な成長とAIコンピューティング分野での強い牽引力を示しました。この売上は前四半期比13%、前年同期比11%の増加であり、ノンGAAP粗利益率も50%に達し、前年同期から80ベースポイントの改善を見せています。同社は、AIコンピューティングの発展が先進パッケージングの需要を押し上げ、売上が2026年に50%以上加速し、2027年以降も力強い成長が続くと予測しています。

技術・臨床詳細

AIシステムは複数のコンポーネントを統合した高集積パッケージであるため、3Dスタッキングやチップレット集積などの高度なパッケージング技術が不可欠です。Applied Materialsは、AI駆動型チップパッケージングのスケールアップに向けたポートフォリオを拡大するために、パネルレベル先進半導体パッケージング装置における地位を強化しており、特にASMPTのNEXX事業を買収するなど、戦略的な動きを見せています。同社はBroadcomと提携し、AIシステム向けの先端チップパッケージング技術開発に注力しています。この協力は、半導体システムにおけるインターコネク密度と帯域幅を向上させることを目指しており、AIインフラの性能限界を押し広げる上で極めて重要です。

背景・業界文脈

半導体業界は、AIチップ需要の爆発的な増加により、先進パッケージング技術への投資が活発化しています。AI半導体は、より高い性能、低消費電力、小型化を求められ、これには従来の2D微細化だけでは達成できない、革新的なパッケージングソリューションが必要です。Applied Materialsは、ウェハー製造装置市場の主要企業として、AIロジックおよびメモリファブの能力拡張に牽引される2026年および2027年のウェハー製造装置の著しい成長を予測しており、その株価は史上最高値となる485.96ドルを記録しました。同社は、どのようなチップがAI市場で勝利しても利益を得られる、AIエコシステムにおける重要な存在として認識されています。

今後の展望

Applied Materialsの先進パッケージング事業の急成長と戦略的提携は、AI時代の半導体製造において同社が果たす中心的な役割を明確に示しています。Broadcomとの協力は、AIシステム向けの次世代パッケージングソリューションの開発を加速し、インターコネクト密度と帯域幅の新たな基準を確立するでしょう。同社の継続的な投資と技術革新は、AIチップの性能向上と普及を支援し、半導体サプライチェーン全体の効率とスケラビリティを向上させる上で不可欠です。

元記事: <https://mlq.ai/stocks/AMAT/q2-2026-earnings/>

収集日: 2026年06月05日 | 自動記事収集・翻訳システム (Gemini API使用)

Amkor Technology、アリゾナ州に67エーカーの土地を追加確保：米国における先進パッケージング能力を拡大

公開日 2026年05月29日 Dataquest Bureau アメリカ



概要

Amkor Technologyは、アリゾナ州ピオリアの既存キャンパスに67エーカーの土地を追加で確保し、米国内の先端半導体パッケージングおよびテスト能力を大幅に拡大します。この戦略的な動きは、AI、高性能コンピューティング、自動車、通信市場における大規模で最先端のオペレーションをサポートすることを目的としています。この拡張は、米国における初の高容量先進パッケージングOSAT施設となる見込みで、チップの国内生産トレンドとAI指向の半導体サービスに対する需要増加に直接対応します。

詳細

主要成果

Amkor Technologyは、アリゾナ州ピオリアにある既存の製造キャンパスに67エーカーの土地を追加で確保し、米国における先進半導体パッケージングおよびテスト能力の大規模な拡張へのコミットメントを強化しました。この動きは、AI、高性能コンピューティング（HPC）、自動車、および通信市場における急増する需要と、国内での半導体製造強化という米国の政策に対応するものです。

技術・臨床詳細

今回の土地確保は、Amkorがアリゾナ州で展開する先進パッケージングおよびテスト施設の将来的な拡張をサポートするための戦略的な柔軟性を提供します。同社のピーエリア工場は、すでにウェハーバンプ、ウェハーテスト、フリップチップ、システム・イン・パッケージ（SiP）技術を含む広範なパッケージングソリューションを提供しています。この拡張により、Amkorは、AIチップやHPCプロセッサに不可欠な高密度、高電力効率の先進パッケージング技術の生産能力をさらに高めることができます。これは、より複雑なヘテロジニアスインテグレーションやチップレットベースの設計を可能にする上で極めて重要です。

背景・業界文脈

AI需要の急増は、先進半導体パッケージングへの投資を世界的に加速させており、特に米国では、CHIPS法などの政策を通じて国内製造能力の強化が推進されています。Amkorのこの投資は、米国を拠点とする企業がより複雑な半導体サプライチェーンを構築し、地政学的なリスクを軽減しようとする動きと合致しています。この施設は、米国における初の高容量先進パッケージングOSAT（外注半導体組立・テスト）施設となる見込みであり、国内でのチップ生産エコシステムを強化する上で重要な役割を果たします。

今後の展望

Amkorのアリゾナ州での拡張は、米国の半導体サプライチェーンにおける先進パッケージングのボトルネックを緩和し、AI、HPC、自動車市場向けのチップの国内供給を安定化させる上で不可欠です。この施設は2027年以降も続く、先進パッケージングに対する力強い需要に応える中核拠点となり、米国の半導体産業の競争力強化とイノベーションの加速に大きく貢献することが期待されます。また、これにより新たな雇用機会も創出されるでしょう。

元記事: <https://www.dqindia.com/esdm/amkor-expands-us-advanced-packaging-footprint-with-additional-land-in-arizona-11875728>

収集日: 2026年06月05日 | 自動記事収集・翻訳システム (Gemini API使用)

Dow、COMPUTEX Taipei 2026で次世代AI熱管理技術を展示：400G超の光トランシーバーに対応

公開日 2026年06月01日 chemXplore アメリカ



概要

Dowは、COMPUTEX Taipei 2026でAIサーバーおよび高速光トランシーバー向けの次世代熱管理技術を展示しました。同社は、400G、800G、1.6Tの速度で動作するアプリケーションにおける効率的な熱放散をサポートする熱界面材料（TIM）や、高度な半導体パッケージング向けシリコンベース材料を紹介しました。これらの材料は、放熱性、接着性、パッケージ材料との適合性を高め、パッケージの反りを最小限に抑え、大面積モールドリングプロセスをサポートするシリコンホットメルト技術も強調され、AIデータセンターの冷却に関する基調講演も実施しました。

詳細

主要成果

Dowは、COMPUTEX Taipei 2026において、AIサーバーおよび高速光トランシーバー向けの次世代熱管理技術を展示し、AI駆動コンピューティングの性能と信頼性を向上させるための革新的なソリューションを提示しました。同社は、400G、800G、さらには1.6Tといった超高速で動作するアプリケーションにおける効率的な熱放散をサポートする熱界面材料（TIM）と、高度な半導体パッケージング向けシリコンベース材料を広く紹介しました。

技術・臨床詳細

Dowが展示した熱管理材料は、AIプロセッサ、パワーモジュール、光トランシーバーなどの高性能コンポーネントからの熱を効果的に放散するように設計されています。具体的には、TIM、シリコン熱伝導接着剤、封止剤、およびシリコンホットメルト技術が含まれます。これらの材料は、優れた熱伝導性、高い接着強度、および多様なパッケージ材料との良好な適合性を提供します。特にシリコンホットメルト技術は、パッケージの反りを最小限に抑えながら、大型で複雑なモールドリングプロセスをサポートするように最適化されており、AIチップセットにおける熱関連の課題を解決する上で重要な役割を果たします。これにより、チップの寿命を延ばし、過熱による性能低下を防ぎます。

背景・業界文脈

AIの爆発的な成長とデータセンターの需要拡大は、半導体パッケージングにおける熱管理を最も重要な課題の一つにしています。AIサーバー、GPU、HBM（高帯域幅メモリ）などは膨大な電力を消費し、大量の熱を発生するため、効率的な冷却システムが不可欠です。従来の熱管理ソリューションでは、これら次世代コンポーネントの要求を満たすことが困難になっています。Dowのソリューションは、AIデータセンターの冷却に関する基調講演でも強調されたように、この新たな課題に対応するための先進的なアプローチを提供し、AIインフラのスケラビリティと持続可能性を支える重要な要素となります。

今後の展望

Dowの革新的な熱管理材料は、AIおよびHPCシステムの性能向上と信頼性確保において中心的な役割を果たすでしょう。特に、コパッケージドオプティクス（CPO）のような光と電子の統合が進む中で、これらの材料はデータセンターの帯域幅とエネルギー効率の課題に対応するために不可欠となります。Dowの技術は、AIチップセットの限界をさらに押し広げ、持続可能なAIインフラの構築に貢献することで、半導体業界全体のイノベーションを推進し続けることが期待されます。

元記事: <https://chemxplore.com/news/dow-ai-thermal-materials-computex>

収集日: 2026年06月05日 | 自動記事収集・翻訳システム (Gemini API使用)

HiwinとQualcomm、パネルレベル半導体パッケージングにエッジAIを統合：生産精度とスループットを向上

公開日 2026年06月01日 Packnode 台湾



概要

台湾のモーションコントロール専門企業Hiwin TechnologiesはQualcommと協力し、パネルレベル半導体パッケージング（PLP）装置にDragonwing Q6エッジAIを統合します。この提携は、マシンビジョン、エッジコンピューティング、高精度ハンドリングを組み合わせることで、PLPにおけるアライメント精度とプロセス制御を強化し、高速半導体生産環境での性能向上を目指します。PLPは高密度化、高スループット、コスト効率の向上を可能にするためAI関連半導体パッケージングで注目されていますが、スケーリングには極めて正確なアライメントと安定したプロセス制御が不可欠です。

詳細

主要成果

台湾のモーションコントロール専門企業であるHiwin Technologiesは、Qualcommと協力し、パネルレベル半導体パッケージング（PLP）装置にDragonwing Q6エッジAIを統合する画期的な提携を発表しました。この協業は、ウェハロードポートにおけるマシンビジョン、エッジコンピューティング、高精度ハンドリングを組み合わせることで、高速半導体生産環境での性能向上、特にアライメント精度と安定したプロセス制御の強化を目指します。

技術・臨床詳細

PLP技術は、従来の丸いウェハではなく、長方形の大型パネルで半導体パッケージングを行うことで、より多くのチップを一度に処理し、材料利用効率と生産スループットを向上させる先進的な手法です。しかし、PLPを大規模に適用するには、極めて高いアライメント精度と安定したプロセス制御が不可欠です。HiwinとQualcommの提携は、QualcommのDragonwing Q6エッジAIプロセッサの処理能力とHiwinの高精度モーションコントロール技術を融合させることで、この課題に対処します。エッジAIをロードポートに直接統合することで、リアルタイムでの欠陥検出、位置調整、およびプロセス最適化が可能となり、人間の介入なしにミリ秒単位で調整を行うことができます。これにより、パッケージングの歩留まり向上とビットあたりのコスト削減に貢献します。

背景・業界文脈

AIおよび高性能コンピューティング（HPC）の需要が急増する中、半導体パッケージングはますます複雑化し、性能向上の主要なボトルネックとなっています。PLPは、高密度集積、高スループット、コスト効率の向上を可能にするため、AI関連の半導体パッケージングで注目されています。しかし、この技術の商業化には、製造プロセスの精度と安定性を確保するための高度な自動化とインテリジェンスが必要です。AIとエッジコンピューティングの統合は、半導体製造のスマートファクトリー化を加速し、品質管理と生産効率の新たな標準を確立するものです。

今後の展望

HiwinとQualcommの提携は、PLP技術の採用を加速し、AIチップの製造コストと生産時間を削減する上で重要な役割を果たすでしょう。エッジAIの導入により、製造プロセスはより自律的かつ適応的になり、将来のAIおよびHPCシステムに必要な複雑なパッケージング要件に対応できるようになります。このコラボレーションは、半導体製造におけるデジタル変革を推進し、AIエコシステム全体のサプライチェーンのレジリエンスと効率性を高めることが期待されます。

元記事: <https://www.packnode.org/en/innovation/hiwin-and-qualcomm-bring-edge-ai-to-panel-level-semiconductor-pa>

収集日: 2026年06月05日 | 自動記事収集・翻訳システム (Gemini API使用)

GlobalFoundries、CHIPS Act支援でマルタ工場能力を3倍に増強：2028年末までに年間150万ウェハー生産へ

公開日 2026年05月28日 Tom's Hardware アメリカ



概要

GlobalFoundriesは、米国のCHIPS Actからの資金援助を受け、マルタ工場における生産能力を3倍に増強する10年間で160億ドルの米国投資計画を進めています。この計画には、ドレスデン工場での11億ユーロの拡張も含まれ、2028年末までに年間150万ウェハーの生産を目指します。AIチップの需要増大によりTSMCとSamsungが先進ノードとパッケージングに注力する中、GlobalFoundriesは成熟ノードファウンドリとして主要な恩恵を受け、車載、産業、IoT市場の需要に対応します。ExtollとChip InterfacesもGlobalFoundriesのFDX技術向けにUCle IPソリューションを導入し、チップレット接続を推進しています。

詳細

主要成果

GlobalFoundriesは、米国のCHIPS Actによる強力な資金援助を受け、マルタ工場における生産能力を今後10年間で3倍に増強するという、総額160億ドルの米国投資計画を推進しています。これには、欧州最大の半導体工場であるドレスデン工場での11億ユーロの拡張も含まれており、同社は2028年末までに年間150万ウェハーの生産を目指しています。

技術・臨床詳細

この大規模な投資は、主に車載、産業、IoT市場向けの成熟ノード半導体の生産能力を強化することを目的としています。AIチップの需要が加速する中で、TSMCやSamsungといった主要ファウンドリが2nm、3nm、および先進パッケージングといった最先端ノードに莫大なリソースを投入しているため、成熟ノードの供給が逼迫しています。GlobalFoundriesは、この市場のギャップを埋める重要な役割を担っています。また、EXTOLLとChip Interfacesは、GlobalFoundriesのFDX（FD-SOI）技術向けに業界初の統合型UCIe（Universal Chiplet Interconnect Express）IPソリューションを発表しました。このソリューションは、チップレット間接続の標準化を推進し、多様なアプリケーションにおけるチップレット採用を促進することで、GlobalFoundriesのエコシステムをさらに強化します。

背景・業界文脈

世界の半導体サプライチェーンは、地政学的リスクとAI主導の需要により、再構築の時代を迎えています。米国、欧州、日本が国内での半導体製造能力の回復と強化を目指す中、CHIPS Actのような政府のインセンティブが重要な役割を果たしています。TSMCは、CoWoS先進パッケージングとAIアクセラレーター向けシリコンインターポザー製造に40-90nmの生産能力を再配分しており、その結果、成熟ノードウェハーの供給が減少しています。このような状況下で、GlobalFoundriesのような成熟ノードファウンドリは、以前は先進ノードを使用していた顧客が代替能力を求めるようになり、主要な恩恵を受けています。

今後の展望

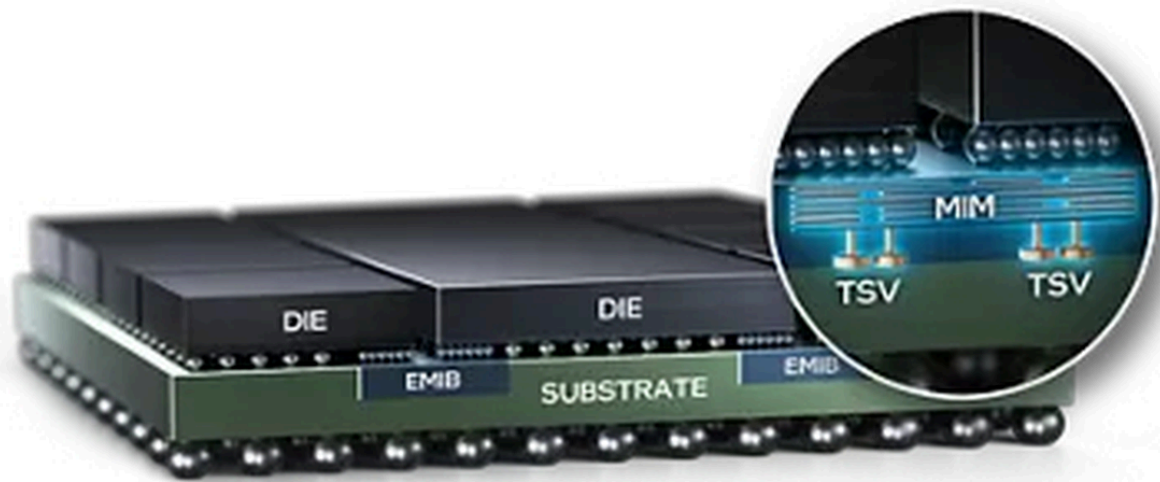
GlobalFoundriesのマルタおよびドレスデン工場への投資は、米欧の半導体サプライチェーンのレジリエンスを大幅に向上させ、地政学的な自立性を高める上で不可欠です。年間150万ウェハーという生産目標は、AI、自動車、産業といった成長分野における堅調な需要に対応し、成熟ノード市場の安定供給に貢献するでしょう。UCle IPソリューションの統合は、GlobalFoundriesがチップレットエコシステムで果たす役割を拡大し、AIおよびHPCアプリケーションにおける集積度の向上に寄与することが期待されます。これにより、長期的に同社の収益性と市場シェアがさらに向上すると見込まれます。

元記事: <https://www.tomshardware.com/tech-industry/semiconductors/the-trailing-edge-foundry-roadmap-examined>

収集日: 2026年06月05日 | 自動記事収集・翻訳システム (Gemini API使用)

Intel、ファウンドリ事業復活へ大規模な先進パッケージング投資：EMIB能力拡張が鍵

公開日 2026年05月29日 BusinessKorea アメリカ



概要

Intelは、ファウンドリ事業の復活を加速するため、先進半導体パッケージング能力の大規模な拡張にコミットしています。特に同社独自のEMIB（Embedded Multi-die Interconnect Bridge）技術の能力拡張に焦点を当て、新たなファウンドリ顧客の要求に応えるための生産能力を大幅に増強することを目指します。EMIBはTSMCのCoWoSの代替となる可能性があり、GoogleやAmazonといった顧客からの関心を集め、AIインフラの複雑化に対応するIntelの競争力を強化するものです。

詳細

主要成果

Intelは、ファウンドリ事業の復活を加速するため、先進半導体パッケージング能力の大規模な拡張にコミットしており、その核心はIntel独自のEMIB（Embedded Multi-die Interconnect Bridge）技術の能力拡張に焦点を当てています。この取り組みは、新たなファウンドリ顧客の要求に応えるための生産能力を大幅に増強し、材料、コンポーネント、および装置の堅牢なインフラを確保することを目的としています。

技術・臨床詳細

Intelの先進パッケージングロードマップは、EMIB、Foveros、Foveros Directなどの複数の技術プラットフォームをカバーしており、2030年までに単一パッケージ内で1兆個のトランジスタを統合することを目指しています。EMIBは、大規模なシリコンインターポージャーを使用せずに高密度相互接続を可能にし、パッケージ内のデータ伝送におけるエネルギー損失を削減します。Foverosは3Dスタッキングでチップレットを垂直統合し、Foveros Directはハイブリッドボンディング技術を採用して相互接続密度とエネルギー効率をさらに高めます。Intelは、Intel 18Aプロセスをデータセンタープロセッサ「Xeon 6+」に初めて適用し、Foveros Direct 3Dパッケージング技術とEMIB技術を組み合わせ、最大288個のエネルギー効率の高いコアを持つ高密度パッケージを実現しました。EMIB-Tは、超大型で高性能なチップレットシステムを可能にし、HBM4eで12 Gb/s以上、UCleインターフェースで64 Gb/sの性能を実現しています。

背景・業界文脈

AIインフラストラクチャと物理AIの急増する需要に対応するため、半導体業界では先進パッケージング技術の重要性が飛躍的に高まっています。TSMCのCoWoSパッケージング容量がAIハードウェアスタックにおける最も重要なボトルネックの一つである中、IntelのEMIBは、特にGoogleやAmazonのようなハイパースケーラーからの関心を集めるCoWoSの有力な代替技術として注目されています。Intelは、先進プロセス技術よりも先進パッケージングが外部顧客からの評価を早く得られる可能性があると考えており、ファウンドリ市場における競争力を強化しています。

今後の展望

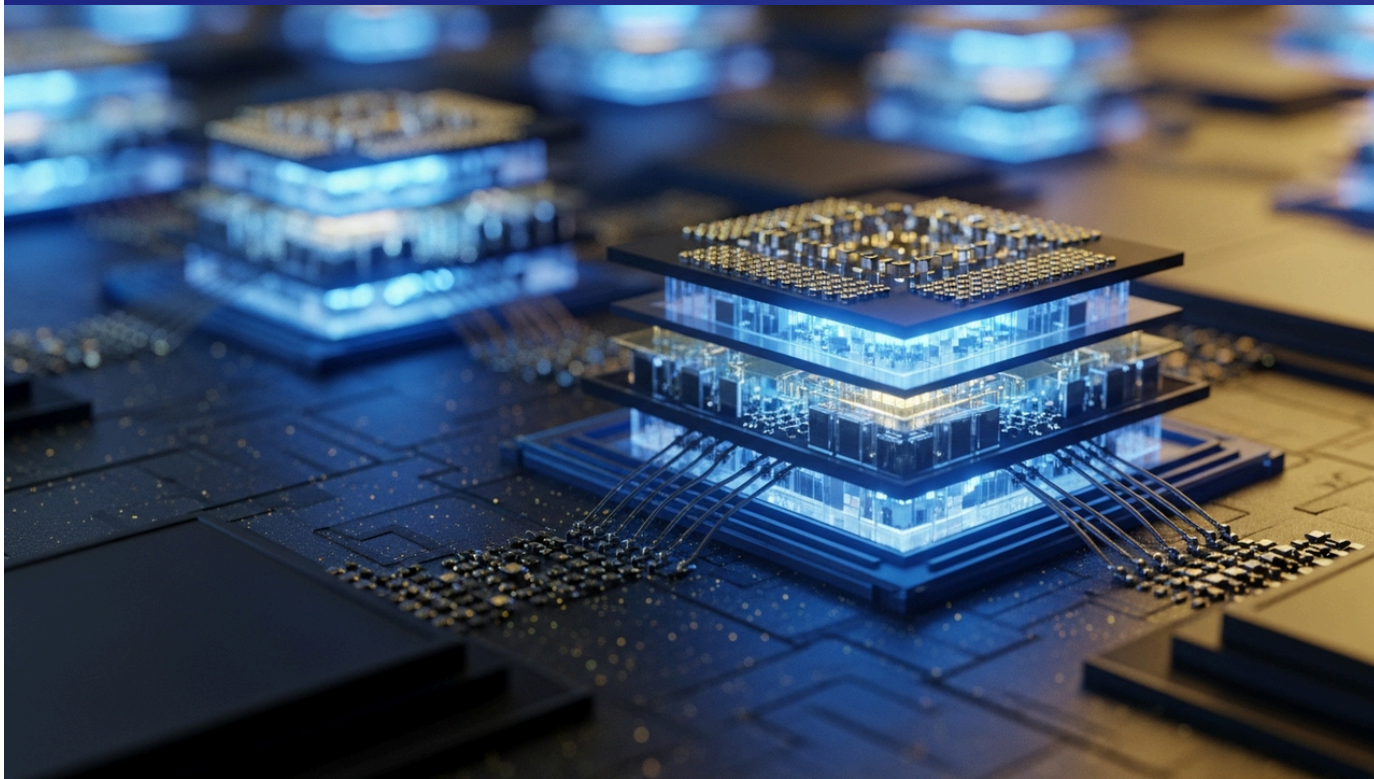
Intelの大規模な先進パッケージング投資は、同社がAI時代の主要なファウンドリとして競争力を回復するための重要な戦略的動きです。EMIB、Foveros、Foveros Directといった技術の能力拡張は、AIおよびHPCのスケーラビリティ限界を再定義し、高性能ヘテロジニアスインテグレーション、より良い電力供給、および低反りを可能にします。この取り組みは、Intelがより多くの外部顧客を獲得し、半導体サプライチェーン全体のレジリエンスと技術革新を推進する上で不可欠な要素となるでしょう。長期的には、これによりAIチップの供給が安定し、AI技術のさらなる普及と進化が加速されることが期待されます。

元記事: <https://en.etnews.com/20260529200001>

収集日: 2026年06月05日 | 自動記事収集・翻訳システム (Gemini API使用)

ハイブリッドボンディング技術、3D集積化の新境地を開く：AIアクセラレーターとチップレット設計を推進

公開日 2026年06月02日 PatSnap イギリス



概要

ハイブリッドボンディングは、金属間（主にCu-Cu）と誘電体間（酸化物-酸化物）のボンディングを単一のインターフェースで組み合わせることで、はんだやマイクロバンプなしで電氣的連続性と機械的完全性の両方を提供する革新的な3D集積技術です。この技術は、サブミクロンピッチでの同時Cu-to-Cuおよび酸化物-to-酸化物ボンディングを可能にし、従来のパッケージングと比較して劇的に微細な相互接続ピッチと寄生容量・インダクタンスの削減を実現します。これにより、AIアクセラレーターやチップレットプラットフォーム向けの3D ICスタッキングが進化し、AIの高性能化・高効率化に不可欠なソリューションとして注目されています。

詳細

主要成果

ハイブリッドボンディングは、半導体パッケージングにおける革新的な3D集積技術であり、金属間（主にCu-Cu）と誘電体間（酸化物-酸化物）のボンディングを単一のインターフェースで組み合わせることで、電氣的連続性と機械的完全性の両方を実現します。この技術は、はんだやマイクロバンプを不要とし、超微細ピッチでの同時ボンディングを可能にすることで、AIアクセラレーターやチップレットプラットフォーム向けの3D ICスタッキングを劇的に進化させています。

技術・臨床詳細

ハイブリッドボンディングの最大の利点は、サブミクロンピッチでのCu-to-Cuおよび酸化物-to-酸化物ボンディングを同時に行える点にあります。これにより、従来のパッケージングと比較して相互接続ピッチを劇的に微細化し、寄生容量とインダクタンスを大幅に削減できます。この結果、チップ間のデータ転送速度が向上し、電力消費が抑制されます。例えば、HBM（高帯域幅メモリ）スタックにおける従来のマイクロバンプは寄生容量の問題を引き起こし、スピードとパフォーマンスのボトルネックとなっていました。ハイブリッドボンディングへの移行はこの問題を根本的に解決する唯一の適切な方法と見なされています。HBMのPHY電力増大や熱管理の課題も、ハイブリッドボンディングによって根本的な解決策が見出される可能性があります。

背景・業界文脈

AIの急速な発展に伴い、AIチップはますます複雑化し、高密度で高速なデータ処理能力が求められています。ムーアの法則の限界が近づく中、3D集積化は半導体性能向上と電力効率最適化のための重要な手段として浮上しています。ハイブリッドボンディングは、この3D集積化の最前線に位置し、AIハードウェアの性能を飛躍的に向上させる可能性を秘めています。KLA、Applied Materialsといった装置メーカーも、チップスタッキングやハイブリッドボンディングの普及に伴うパッケージングの複雑化に対応するハイエンド検査システムや製造装置への需要増を予測しており、業界全体でこの技術への投資が加速しています。

今後の展望

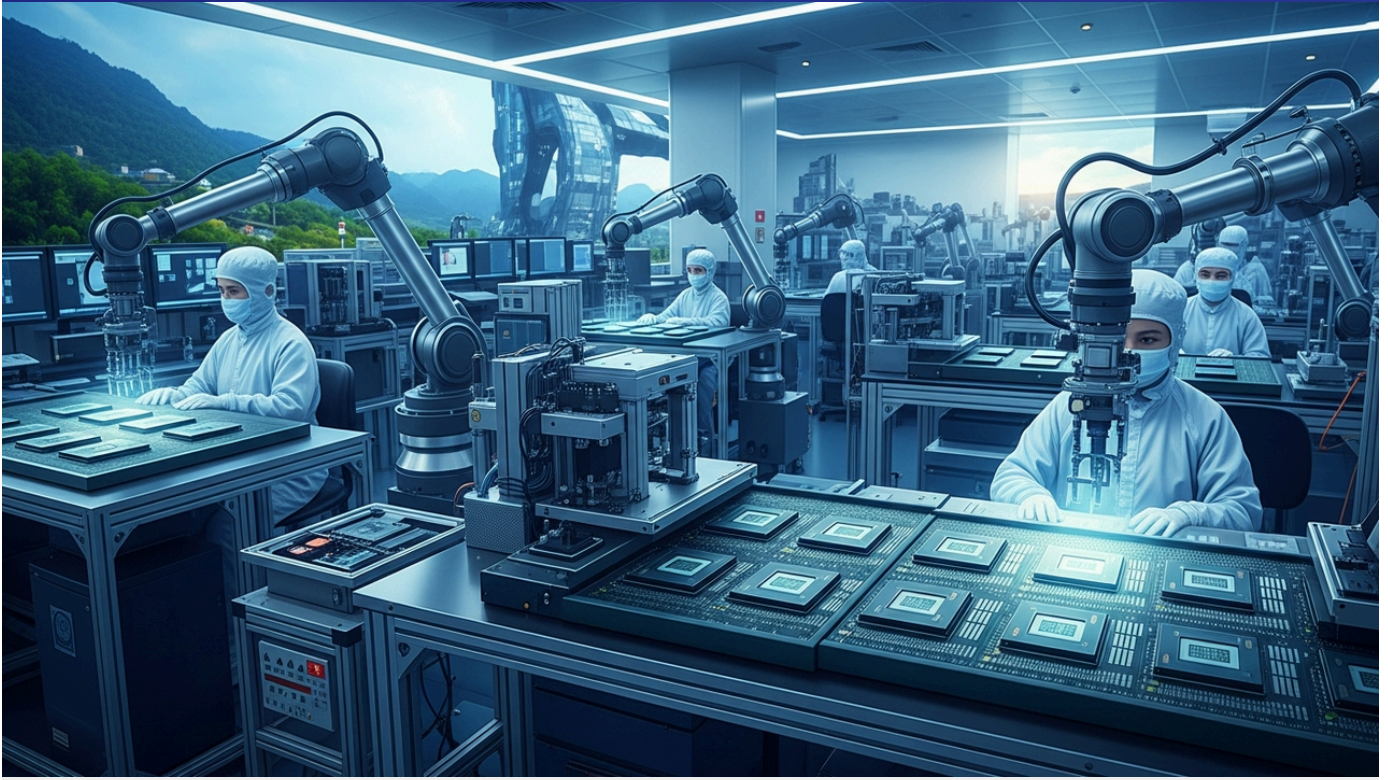
ハイブリッドボンディング技術の進化は、AIアクセラレーター、HPCシステム、およびチップレットベースの設計において、新たな性能と効率の基準を確立するでしょう。相互接続密度の向上と寄生効果の削減は、データ移動のボトルネックを解消し、より小型で強力なAIチップの開発を可能にします。この技術は、HBM4eで12 Gb/s以上、UCleインターフェースで64 Gb/sの性能を実現するIntelのFoveros Directや、TSMCのSolCのような次世代3Dパッケージングソリューションの実現を支える鍵となります。ハイブリッドボンディングは、AI時代の半導体イノベーションを牽引し、計算能力の限界を押し広げる上で不可欠な技術であり続けるでしょう。

元記事: <https://www.patsnap.com/resources/blog/rd-blog/hybrid-bonding-3d-integration-technology-landscape-2026/>

収集日: 2026年06月05日 | 自動記事収集・翻訳システム (Gemini API使用)

Samsung Electronics、ベトナムに15億ドルを投じ半導体テスト施設を建設：AIチップ需要急増に対応

公開日 2026年06月02日 Quintile Reports 韓国



概要

Samsung Electronicsは、AIチップ需要の急増によって引き起こされるメモリチップの供給不足に対応するため、ベトナムに約15億ドルを投じて半導体テスト施設を建設する計画を発表しました。この戦略的な拡張は、同社のグローバルメモリチップサプライチェーンを強化することを目的とし、2027年11月に稼働開始予定で、DRAMおよびNANDメモリチップのテストに重点を置きます。ベトナムは半導体産業において新たな戦略的段階に入っており、FPTもIoT、自動車、エッジAI向けのハイエンドチップ向けテスト・パッケージング施設を2027年に稼働予定です。

詳細

主要成果

Samsung Electronicsは、AIチップ需要の急増によって引き起こされるメモリチップの供給不足に対応するため、ベトナムに約15億ドルを投じて半導体テスト施設を建設する計画を発表しました。この大規模な投資は、同社のグローバルメモリチップサプライチェーンを強化し、2027年11月の稼働開始を目指してDRAMおよびNANDメモリチップのテストに重点を置くものです。

技術・臨床詳細

新設されるベトナムの半導体テスト施設は、DRAMおよびNANDメモリチップの最終テスト工程に特化します。AIチップ、特にHBM（高帯域幅メモリ）の性能は、そのテストとパッケージングの精度に大きく依存します。この施設は、最先端のテスト装置と技術を導入し、メモリ製品の品質、信頼性、および歩留まりを最適化することで、AIおよび高性能コンピューティング（HPC）アプリケーションの厳しい要求に対応します。また、高度なパッケージング技術と連携し、より迅速かつ効率的な製品出荷を可能にすることで、サプライチェーン全体のボトルネックを緩和する役割も担います。

背景・業界文脈

AIコンピューティングの爆発的な成長は、高帯域幅メモリに対する需要を急増させており、メモリチップの供給とAIサーバー容量は、チップメーカーにとって引き続き主要なボトルネックとなっています。Samsungのこの投資は、HBM4Eなどの次世代HBMメモリの供給能力を確保し、市場競争力を強化するための戦略的な動きです。ベトナムは、国内初の半導体製造工場の着工（Viettel）や、IoT、自動車、エッジAIアプリケーション向けのハイエンドチップに焦点を当てた先端テスト・パッケージング施設（FPT、2027年稼働予定）の発表など、半導体産業において新たな戦略的段階に入っています。Samsungの投資は、ベトナムを東南アジアにおける半導体ハブとしてさらに確立するでしょう。

今後の展望

Samsungのベトナムへの15億ドルの投資は、グローバルなメモリチップサプライチェーンの地理的分散化とレジリエンス強化に貢献し、特にAIチップ需要の増加に対応する上で重要な役割を果たします。2027年11月の稼働開始は、AI産業の継続的な成長を支えるために必要なメモリテスト容量を大幅に増加させ、SamsungがHBM市場でのリーダーシップを維持・強化するための鍵となります。この投資は、ベトナムの半導体産業を加速させるとともに、AI技術のさらなる普及と進化を促進するでしょう。

元記事: <https://www.quintilereports.com/press-release/samsung-electronics-announces-1-5-billion-semiconductor-testing-facility-in-vietnam-to-strengthen-global-memory-chip-supply-chain/46/>

収集日: 2026年06月05日 | 自動記事収集・翻訳システム (Gemini API使用)

Marvell、業界初の102.4 Tbps AIスイッチを発表：AIデータセンターネットワークの帯域幅を倍増

公開日 2026年06月03日 Advanced Packaging News アメリカ



概要

Marvellは、業界初の102.4 Tbps AIスイッチを発表し、AIデータセンターにおけるネットワーク帯域幅の新たな基準を確立しました。この革新的なスイッチは、AI/MLワークロードの爆発的な増加に対応するため、現在の最高性能スイッチと比較して帯域幅を倍増させ、高性能コンピューティング環境でのデータ転送能力を劇的に向上させます。これにより、大規模なAIモデルのトレーニングと推論におけるデータ移動のボトルネックを解消し、AIシステムの効率とスケーラビリティを向上させることが期待されます。

詳細

主要成果

Marvellは、業界初となる102.4 Tbps（テラビット/秒）のAIスイッチを発表し、人工知能（AI）データセンターにおけるネットワーク帯域幅の新たな基準を確立しました。この画期的な製品は、AIおよび機械学習（ML）ワークロードの爆発的な増加に対応するため、現在の最高性能スイッチと比較して帯域幅を倍増させ、データ転送能力を劇的に向上させます。

技術・臨床詳細

この102.4 Tbps AIスイッチは、高度な半導体パッケージング技術とコパッケージドオプティクス（CPO）ソリューションを駆使して設計されています。CPOは、光部品と電子部品を同一パッケージ内に統合することで、データセンターの帯域幅とエネルギー効率の課題に対応します。これにより、従来の電気信号による伝送に伴う信号損失と消費電力を大幅に削減し、超高速かつ低遅延のデータ転送を実現します。スイッチのアーキテクチャは、大規模なGPUクラスターやHBM（高帯域幅メモリ）を搭載したAIアクセラレーター間の効率的な通信を可能にし、特に分散型AIモデルのトレーニングにおいて、データ移動のボトルネックを解消する上で極めて重要です。

背景・業界文脈

AIの進化は、データセンターのネットワークインフラに前例のない負荷をかけています。大規模なAIモデルは、膨大な量のデータをリアルタイムで処理し、GPU間で頻繁に通信を行うため、ネットワーク帯域幅がAIシステムの性能を制限する主要なボトルネックとなっています。既存の100Gbpsや200Gbpsイーサネットインフラでは、AIワークロードの要求を満たすことが困難になりつつあります。Marvellの102.4 Tbpsスイッチは、このギャップを埋めるための重要なステップであり、AIデータセンターの次世代スケラビリティを可能にする基盤技術となります。CredoがDustPhotonicsを買収しCPOソリューションを強化しているように、業界全体で光通信と電子通信の融合が進んでいます。

今後の展望

Marvellの102.4 Tbps AIスイッチの導入は、AIデータセンターの設計と運用に革命をもたらすでしょう。この高帯域幅ソリューションは、大規模なAIモデルのトレーニング時間を短縮し、リアルタイムAI推論の能力を向上させます。また、エネルギー効率の向上は、データセンターの運用コスト削減と持続可能性の向上にも貢献します。この技術は、AIのさらなる普及と進化を加速し、半導体パッケージングおよび光インターコネクタ技術のイノベーションを牽引する重要なマイルストーンとなることが期待されます。

元記事: https://advancedpackaging.news/article/124316/Marvell_unveils_102.4_Tbps_AI_switch

収集日: 2026年06月05日 | 自動記事収集・翻訳システム (Gemini API使用)

Credo、DustPhotonics買収を完了：コパッケージドオプティクス（CPO）ソリューションを強化しAIデータセンターを加速

公開日 2026年06月03日 Advanced Packaging News アメリカ



概要

CredoはDustPhotonicsの買収を完了し、同社のコパッケージドオプティクス（CPO）ソリューションを大幅に強化しました。この買収は、AIデータセンターにおける高帯域幅かつ低消費電力の相互接続技術の発展に貢献し、AIインフラのボトルネック解消に不可欠な光部品と電子部品の統合を加速します。DustPhotonicsのシリコンフォトニクス技術とCredoのSerDes（シリアライザー/デシリアライザー）およびDSP（デジタル信号プロセッサ）技術が融合することで、次世代データセンターの性能と効率が飛躍的に向上すると期待されています。

詳細

主要成果

Credoは、光インターコネクト技術の専門企業であるDustPhotonicsの買収を完了したと発表しました。この戦略的な買収は、Credoのコパッケージドオプティクス（CPO）ソリューションを大幅に強化し、AIデータセンターにおける高帯域幅かつ低消費電力の相互接続技術の発展を加速させることが期待されています。

技術・臨床詳細

DustPhotonicsは、高性能なシリコンフォトニクス技術、特に光エンジンと光トランシーバーの開発に強みを持っています。Credoの業界をリードするSerDes（シリアライザー/デシリアライザー）およびDSP（デジタル信号プロセッサ）技術とDustPhotonicsの光技術が融合することで、CPOソリューションは新たなレベルに引き上げられます。CPOは、スイッチASIC（特定用途向け集積回路）と光エンジンを同一パッケージ内に緊密に統合する技術であり、従来のPCB（プリント基板）を介した電氣的接続と比較して、信号損失を最小限に抑え、消費電力を大幅に削減します。これにより、400G、800G、さらには1.6Tといった次世代のデータ伝送速度に対応するためのスケラブルでエネルギー効率の高い相互接続が実現されます。

背景・業界文脈

AIおよび高性能コンピューティング（HPC）ワークロードの爆発的な増加は、データセンターのネットワークインフラに前例のない負荷をかけています。特に大規模なAIモデルのトレーニングと推論では、膨大な量のデータがチップ間で高速に移動する必要があり、既存の電氣的インターコネクトは帯域幅と電力効率のボトルネックとなっています。CPO技術は、この課題を解決するための最も有望なソリューションの一つとして注目されており、業界全体でその導入が加速しています。Marvellが業界初の102.4 Tbps AIスイッチを発表したことからわかるように、データセンターの帯域幅要件は飛躍的に高まっており、CPOはその実現に不可欠な技術です。

今後の展望

CredoによるDustPhotonicsの買収は、AIデータセンターにおけるコパッケージドオプティクス市場の成長をさらに加速させるでしょう。統合された技術スタックは、より高性能でエネルギー効率の高いAIインフラの構築を可能にし、データセンターの運用コスト削減と持続可能性の向上に貢献します。この買収は、AI時代のデータセンターネットワークの未来を形作る上で重要なステップであり、次世代のAIアクセラレーター、スイッチ、およびコパッケージドオプティクスモジュールの開発に大きな影響を与えることが期待されます。

元記事: https://advancedpackaging.news/article/124317/Credo_completes_DustPhotonics_acquisition

収集日: 2026年06月05日 | 自動記事収集・翻訳システム (Gemini API使用)

SKグループ会長、Nvidia・TSMCとAI同盟深化：次世代HBMと先進パッケージング協力拡大へ

公開日 2026年06月04日 The Korea Herald 韓国



概要

SKグループのチェ・テウォン会長は、Nvidiaのジェンセン・フアンCEOとの会談後、TSMCのC.C.魏会長とも会談し、世界で最も影響力のあるAIチップメーカーとの連携を強化しています。両者は、次世代高帯域幅メモリ（HBM）と先進パッケージングにおける協力拡大について議論。SK hynixは、HBM4においてTSMCの12nmベースダイ技術と自社の1b DRAMプロセスを組み合わせることで、カスタムAIメモリ市場での地位を強化し、AI時代の半導体サプライチェーンにおいて重要な役割を果たすことを目指しています。

詳細

主要成果

SKグループのチェ・テウォン会長は、Nvidiaのジェンセン・フアンCEOとの会談に続き、台湾でTSMCのC.C.魏会長とも会談し、世界で最も影響力のあるAIチップメーカーとの連携を強化しています。この一連の会談は、次世代高帯域幅メモリ（HBM）と先進パッケージングにおける協力拡大に焦点を当てており、AI時代の半導体サプライチェーンにおけるSKグループの戦略的地位を不動のものとすることを目指しています。

技術・臨床詳細

SK hynixは、HBM4（次世代HBM）の開発において、TSMCの先進的な12nmベースダイ技術と自社の革新的な1b DRAMプロセスを組み合わせることで、カスタムAIメモリ市場での競争優位性を確立しようとしています。HBM4は、より高い帯域幅、低消費電力、および優れた熱管理性能を提供することを目的としており、AIアクセラレーターの性能を最大限に引き出すために不可欠です。この技術提携により、複雑な3Dスタッキングや先進パッケージングの課題を共同で解決し、AIチップセットの全体的な効率と性能を向上させることを目指します。HBM4Eなどの次世代HBMは、従来のHBMと比較してエネルギー効率と熱抵抗特性を大幅に改善しており、AIデータセンターの要求に対応する鍵となります。

背景・業界文脈

AIの爆発的な成長は、高性能なAIチップとその中核をなすHBMに対する需要を劇的に増加させています。TSMCのCoWoSパッケージング容量がAIハードウェアの主要なボトルネックとなっている現状で、HBMの供給とAIサーバー容量の不足が業界全体の課題となっています。このような状況において、半導体業界のリーダー企業間の緊密な協力は、サプライチェーンの安定化と技術革新の加速にとって極めて重要です。SK hynixはHBM分野で確固たるリーダーシップを築いており、Samsung ElectronicsもHBM4Eのサンプル出荷を開始するなど、競争が激化しています。

今後の展望

SKグループとNvidia、TSMCとの連携深化は、AI半導体市場における今後の技術開発と供給体制に大きな影響を与えるでしょう。特にHBM4における技術提携は、AIチップの性能限界をさらに押し広げ、より大規模で複雑なAIモデルの実現を可能にします。この協力関係は、AIチップの供給ボトルネックを緩和し、AI産業の継続的な成長と進化を支援する上で不可欠な要素となると期待されます。長期的には、これにより韓国が世界のAI半導体エコシステムにおいて、より中心的な役割を果たすことになるでしょう。

元記事: <https://www.koreaherald.com/article/10763730>

収集日: 2026年06月05日 | 自動記事収集・翻訳システム (Gemini API使用)

Fraunhofer IPMS、ウェハーレベルで高密度チップレットシステムを開発：AI・HPC向け集積度向上

公開日 2026年05月28日 Design And Reuse ドイツ



概要

Fraunhofer IPMSは、ウェハーレベルで高密度チップレットシステムを開発し、AIおよび高性能コンピューティング（HPC）アプリケーションにおける集積度の向上を目指しています。この研究は、チップレット技術の小型化と高性能化に貢献し、相互接続密度と帯域幅の課題を解決することで、次世代AIハードウェアの設計に革新をもたらします。これにより、3D統合技術の新たな可能性が開かれ、より複雑で効率的なAIシステムが実現すると期待されます。

詳細

主要成果

Fraunhofer IPMSは、ウェハーレベルでの高密度チップレットシステムの開発に成功しました。この革新的なアプローチは、人工知能（AI）および高性能コンピューティング（HPC）アプリケーションにおけるチップの集積度を飛躍的に向上させることを目的としており、次世代AIハードウェアの設計に新たな道を開くものです。

技術・臨床詳細

Fraunhofer IPMSが開発した高密度チップレットシステムは、微細な相互接続技術と高度な3Dスタッキング手法を組み合わせることで、従来のチップ統合方法よりもはるかに高い集積度を実現します。ウェハーレベルでの統合により、チップレット間の接続距離を最小化し、信号遅延と消費電力を大幅に削減します。この技術は、特にAIアクセラレーターや大規模なマルチコアプロセッサなど、膨大なデータ処理能力と高速通信が要求されるアプリケーションにおいて、その効果を発揮します。超微細ピッチでのダイ間接続を可能にするハイブリッドボンディング技術とも連携し、AIチップの性能と効率を最大限に引き出すことができます。

背景・業界文脈

ムーアの法則の減速により、半導体業界はチップの性能向上を微細化だけでなく、先進パッケージングやチップレット技術に求めるようになってきました。AIの爆発的な成長は、この傾向を加速させており、高密度、高帯域幅、低消費電力のソリューションが強く求められています。チップレットは、異なる機能を持つ複数のダイを統合することで、設計の柔軟性を高め、製造コストを削減する可能性を秘めていますが、その実現には高精度な統合技術が必要です。Fraunhofer IPMSの研究は、この分野における欧州の技術リーダーシップを強化し、グローバルなAIサプライチェーンにおける重要な貢献を示しています。

今後の展望

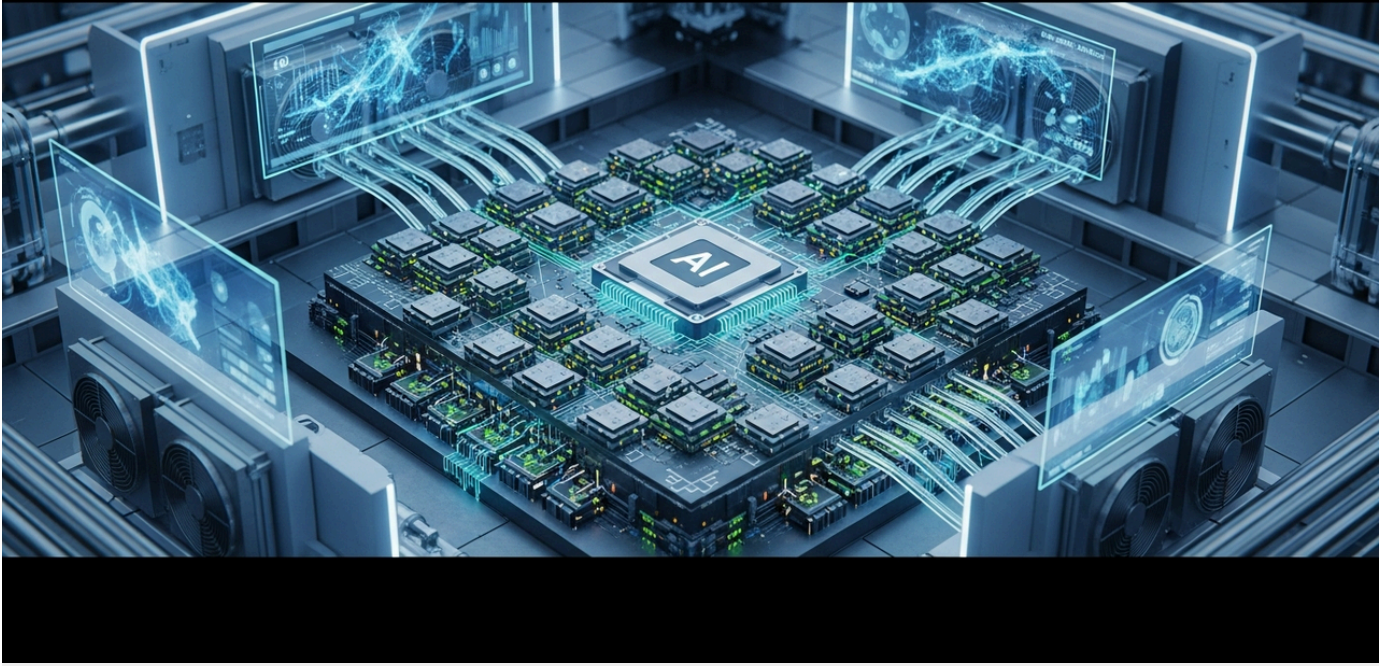
Fraunhofer IPMSが開発した高密度チップレットシステムは、AIおよびHPCの次世代システムに不可欠な技術となるでしょう。ウェハーレベルでの統合は、スケーラビリティとコスト効率の面で大きな利点を提供し、より小型で強力なAIチップの開発を可能にします。この技術の商業化が進むことで、データセンターからエッジデバイスまで、幅広いAIアプリケーションの性能と効率が向上し、AI技術のさらなる普及と進化を促進することが期待されます。これは、半導体産業におけるイノベーションの新たな波を牽引する重要な成果です。

元記事: <https://www.design-reuse.com/news/list/INTERCONNECT>

収集日: 2026年06月05日 | 自動記事収集・翻訳システム (Gemini API使用)

Samsung、来年にも物理AIチップレットプラットフォームを立ち上げか：AI推論・インフラを加速

公開日 2026年05月28日 Design And Reuse 韓国



概要

Samsungは、来年にも物理AIチップレットプラットフォームを立ち上げる可能性があるとして報じられています。このプラットフォームは、AI推論およびインフラストラクチャ向けの次世代チップ開発を加速することを目的とし、AIの爆発的な需要に対応するための高帯域幅とエネルギー効率を提供します。この動きは、Samsungが先進ロジック、メモリ、パッケージングを統合した開発フレームワーク内でシステムレベルの共同最適化を実現しようとする戦略の一環であり、AI半導体市場における競争力を強化するものです。

詳細

主要成果

Samsungは、早ければ来年にも物理AIチップレットプラットフォームを立ち上げる可能性があると報じられており、これは人工知能（AI）推論およびインフラストラクチャ向けの次世代チップ開発を加速することを目的としています。このプラットフォームは、AIの爆発的な需要に対応するために不可欠な、高帯域幅とエネルギー効率の向上を提供します。

技術・臨床詳細

この物理AIチップレットプラットフォームは、Samsungが先進ロジック、メモリ、およびパッケージングを統合した開発フレームワーク内でシステムレベルの共同最適化を実現しようとする戦略の中核をなすものです。チップレットアーキテクチャは、異なる機能を持つ複数のダイを統合することで、設計の柔軟性を高め、個別のチップで達成可能な性能を超越することを目指します。特に、次世代HBM（高帯域幅メモリ）アーキテクチャでは、ベースダイに先進ロジックノードを活用することで、電力効率を向上させ、データスループットを高めています。I/O密度がスケールし続けるにつれて、ベースダイの最適化がシステム全体の効率を改善する重要な要素となります。Samsung Foundryの2.xD Cube Packagingは、複数のチップのヘテロジニアスインテグレーションを可能にし、高密度集積と高帯域幅を両立させます。

背景・業界文脈

AIの急速な進化は、半導体業界に新たな課題と機会をもたらしています。大規模なAIモデルのトレーニングと推論には、膨大な計算能力とメモリ帯域幅が必要であり、従来のモノリシックチップ設計ではその要求を満たすことが困難になっています。チップレット技術は、この課題に対する有望な解決策として浮上しており、業界全体でその採用が加速しています。CadenceやSynopsysといったEDA（電子設計自動化）企業も、Samsung Foundryとの協業を深め、2nmプロセスと3D-IC技術を用いてAIおよびマルチダイ設計の電力と性能を向上させるソリューションを提供しており、業界全体の動きがチップレット化に向かっていることを示しています。

今後の展望

Samsungの物理AIチップレットプラットフォームの立ち上げは、AI半導体市場における同社の競争力を大幅に強化するでしょう。このプラットフォームは、特にAI推論において、より高速でエネルギー効率の高いソリューションを提供し、エッジAIからデータセンターまで幅広いアプリケーションの性能を向上させます。先進パッケージングとチップレット技術へのSamsungの継続的な投資は、AI時代の計算能力の限界を押し広げ、持続可能なAIインフラの構築に貢献する重要なステップとなることが期待されます。

元記事: <https://www.design-reuse.com/news/list/INTERCONNECT>

収集日: 2026年06月05日 | 自動記事収集・翻訳システム (Gemini API使用)

Synopsys、Samsung Foundryの最新プロセスでAI・マルチダイ設計の電力・性能を向上

公開日 2026年05月29日 Chiplet News アメリカ



概要

Synopsysは、SAFE Forum 2026において、Samsung Foundryの最新プロセス技術を活用し、AIおよびマルチダイ設計の電力と性能を向上させるソリューションを発表しました。この取り組みは、AIインフラストラクチャと物理AIに対する急増する需要に対応し、次世代AIシステム向けの高性能コンピューティングソリューションを加速させるものです。Synopsysの最適化されたEDAツールとIPは、Samsungの先進パッケージング（2.xD Cube Packaging）とチップレットプラットフォームの能力を最大限に引き出すことに貢献します。

詳細

主要成果

Synopsysは、SAFE Forum 2026において、Samsung Foundryの最新プロセス技術を活用し、人工知能（AI）およびマルチダイ設計の電力効率と性能を飛躍的に向上させるソリューションを発表しました。この革新的なアプローチは、AIインフラストラクチャと物理AIに対する急増する需要に直接対応し、次世代AIシステム向けの高性能コンピューティングソリューションの加速を目的としています。

技術・臨床詳細

Synopsysが発表したソリューションは、Samsung Foundryの先進プロセス、特に2nmのような最新ノード向けに最適化された電子設計自動化（EDA）ツールとIP（知的財産）ポートフォリオを含みます。これにより、AIチップやマルチダイシステムにおけるロジック、メモリ、インターコネクットの設計において、電力消費を最小限に抑えつつ、処理速度を最大化することが可能になります。特に、Samsungの2.xD Cube Packagingのような先進パッケージング技術と連携することで、複数のチップのヘテロジニアスインテグレーションが効率的に行われ、システム全体の帯域幅とエネルギー効率が大幅に向上します。これは、I/O密度のスケーリングが進むにつれて、システムレベルの共同最適化が不可欠になるAI設計において重要な要素です。

背景・業界文脈

AIの爆発的な成長は、半導体業界に前例のない設計課題をもたらしています。従来のモノリシックチップ設計では、AIワークロードが要求する膨大な計算能力とデータ帯域幅、そして低消費電力のバランスを取ることが困難になっています。チップレットおよび3D-IC（3次元積層集積回路）技術は、この課題を解決するための主要な手段として浮上しており、半導体メーカーとEDAベンダー間の緊密な協業が不可欠です。CadenceもSamsung Foundryとの2nmおよび3D-IC技術における協業を深めており、業界全体が次世代AIシステムのためのエコシステム構築を加速していることを示しています。

今後の展望

SynopsysとSamsung Foundryの協業は、AIおよびHPC市場における革新を加速する上で極めて重要です。最適化されたEDAソリューションと先進プロセス技術の組み合わせは、AIチップの設計サイクルを短縮し、市場投入までの時間を短縮するとともに、より高性能でエネルギー効率の高いAIプロセッサの開発を可能にします。この取り組みは、AIインフラの継続的な進化を支え、自律走行、ロボティクス、スマートシティなど、物理AIが普及する未来を形作る上で不可欠な要素となるでしょう。

元記事: <https://chiplet-marketplace.com/insights/news/>

収集日: 2026年06月05日 | 自動記事収集・翻訳システム (Gemini API使用)

CadenceとSamsung Foundry、2nmおよび3D-IC協業を 深化：AIインフラ需要に対応

公開日 2026年05月29日 Chiplet News アメリカ



概要

CadenceとSamsung Foundryは、AIインフラストラクチャと物理AIの急増する需要に対応するため、2nmプロセスおよび3D-IC（3次元積層集積回路）技術における協業を深めています。この提携は、次世代AIシステム向けの高性能コンピューティングソリューションを加速させることを目指し、Samsungの先進パッケージングとチップレットプラットフォームの能力を最大限に引き出す設計環境を提供します。両社の技術統合により、AIチップの性能とエネルギー効率を向上させ、市場投入までの時間を短縮することが期待されます。

詳細

主要成果

CadenceとSamsung Foundryは、人工知能（AI）インフラストラクチャと物理AIの急増する需要に対応するため、2nmプロセス技術および3D-IC（3次元積層集積回路）技術における協業を深めています。この戦略的な提携は、次世代AIシステム向けの高性能コンピューティングソリューションを加速させ、市場投入までの時間を短縮することを目的としています。

技術・臨床詳細

Cadenceは、Samsung Foundryの先進プロセス向けに最適化された電子設計自動化（EDA）ツールとIP（知的財産）を提供し、特に2nmプロセスノードにおける設計の課題に対処します。この協業により、AIチップやマルチダイシステムにおける設計の複雑さを管理し、電力消費を最適化しつつ、性能を最大化するソリューションが提供されます。3D-IC技術は、複数のダイを垂直に積層することで、チップ間の相互接続距離を短縮し、データ転送速度を向上させ、電力効率を高めます。Samsung Foundryの2.xD Cube Packagingのような先進パッケージング技術とCadenceのEDAツールチェーンが連携することで、ヘテロジニアスインテグレーションが円滑に行われ、AIシステムの全体的な性能が飛躍的に向上することが期待されます。

背景・業界文脈

AIの爆発的な成長は、半導体業界に前例のない設計および製造の課題をもたらしています。従来の2Dスケーリングの限界が近づく中、チップレット技術や3Dスタッキングは、AIワークロードが要求する膨大な計算能力、高帯域幅、低消費電力を実現するための不可欠な要素となっています。Samsungは、先進ロジック、メモリ、パッケージングを統合した開発フレームワーク内でシステムレベルの共同最適化を実現しようとしており、Cadenceとの協業はその重要な一環です。SynopsysもSamsung Foundryと協業しAIおよびマルチダイ設計の電力と性能を向上させるソリューションを発表しており、EDAベンダーとファウンドリ間の緊密な連携が業界のボトルネック解消に不可欠であることを示しています。

今後の展望

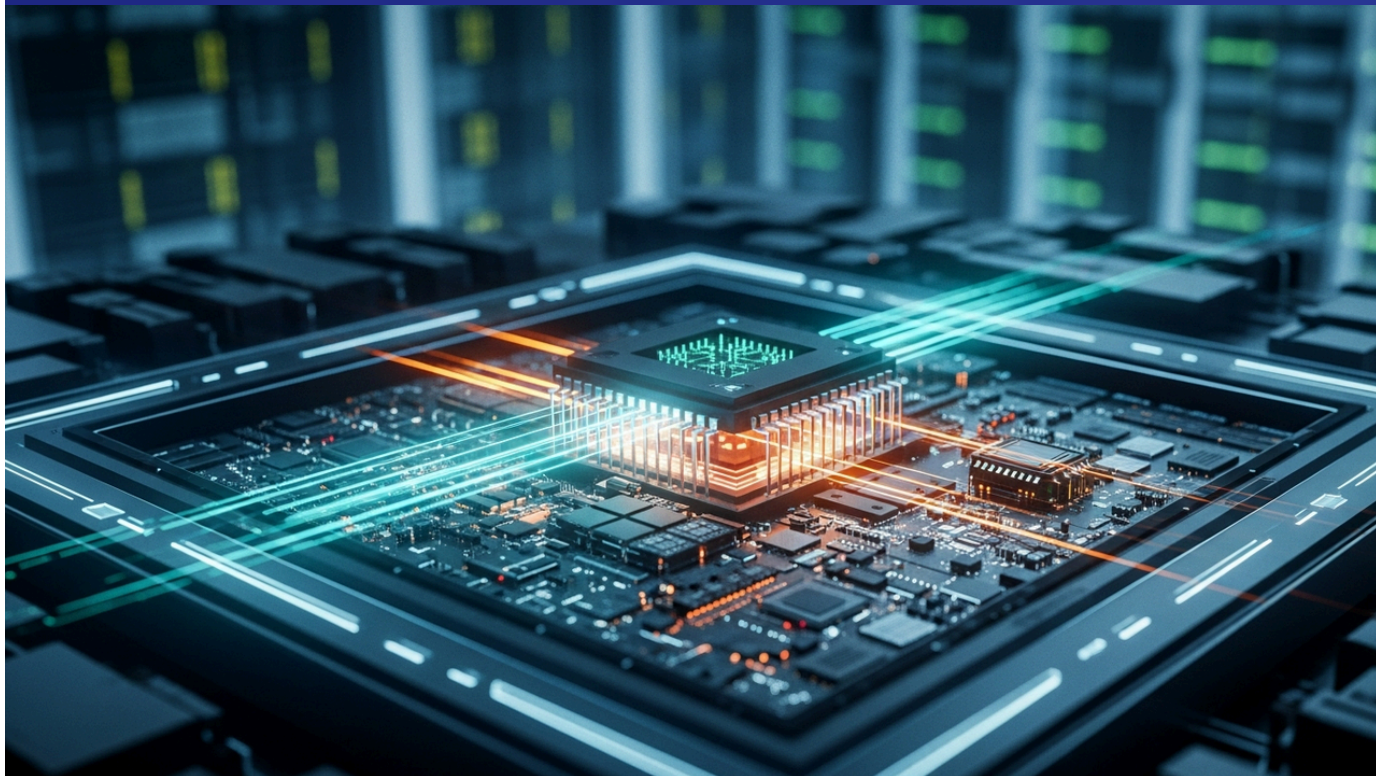
CadenceとSamsung Foundryの協業深化は、AIおよびHPC市場における技術革新を加速する上で極めて重要です。この提携は、AIチップの設計と製造プロセスを効率化し、より高性能でエネルギー効率の高いAIプロセッサの迅速な開発を可能にします。次世代AIシステム向けの設計エコシステムを強化することで、両社はAIインフラの継続的な進化を支え、自律走行、ロボティクス、スマートシティなど、物理AIが普及する未来を形作る上で中心的な役割を果たすことが期待されます。

元記事: <https://chiplet-marketplace.com/insights/news/>

収集日: 2026年06月05日 | 自動記事収集・翻訳システム (Gemini API使用)

IEEE ECTC 2026、AI・HPCのスケラビリティ限界を再定義するパッケージング技術に注目

公開日 2026年05月29日 IEEE Electronic Components and Technology Conference (ECTC) アメリカ



概要

2026年のIEEE Electronic Components and Technology Conference (ECTC)では、AIおよびHPCのスケラビリティ限界を再定義するパッケージング技術が主要テーマとして注目されました。Intel Foundryの研究開発は、ガラスコア基板に焦点を当て、高性能ヘテロジニアスインテグレーション、より良い電力供給と安定性、そして大型AIおよびHPCパッケージにおける低反りを可能にすることを強調。また、EMIB-T技術の進化も紹介され、HBM4eで12 Gb/s以上、UCleインターフェースで64 Gb/sの性能を実現し、チップレットを組み合わせたAIシステムを可能にします。会議では、3D統合、ハイブリッドボンディング、新しい基板材料など、幅広いトピックに関する最新の研究が共有されました。

詳細

主要成果

2026 IEEE Electronic Components and Technology Conference (ECTC)では、人工知能（AI）および高性能コンピューティング（HPC）のスケラビリティ限界を再定義する先進パッケージング技術が、主要な焦点として取り上げられました。特に、Intel Foundryの研究開発は、ガラスコア基板がこれらの課題を解決する鍵であると強調し、高性能ヘテロジニアスインテグレーション、改善された電力供給と安定性、そして大型AIおよびHPCパッケージにおける低反りを実現する可能性を示しました。

技術・臨床詳細

会議では、ガラスコア基板におけるスルーガラスビア（TGV）技術の進展が、電気と光の統合を単一プラットフォームで実現する次世代の基盤技術として紹介されました。これにより、AIチップ内のデータ伝送におけるエネルギー損失を削減し、データ移動のボトルネックを劇的に減らすことが期待されます。また、IntelのEMIB-T（Embedded Multi-die Interconnect Bridge with Through-Silicon Vias）先進パッケージング技術の進化も発表されました。EMIB-Tは、シリコンレチクルの限界と従来のパッケージングの制約を超えてスケールアップする、超大型で高性能なチップレットシステムを可能にし、HBM4eで12 Gb/s以上、UCIe（Universal Chiplet Interconnect Express）インターフェースで64 Gb/sの性能を実現します。この技術は、複数のチップレットを組み合わせた複雑なAIシステムにおいて、高帯域幅と低遅延を提供します。

背景・業界文脈

AIの爆発的な成長は、半導体パッケージング技術に前例のない要求を突きつけています。従来の2Dスケールアップの限界が近づく中で、3D統合、チップレット、ハイブリッドボンディング、新しい基板材料などの先進パッケージング技術は、チップの性能向上と電力効率最適化のための不可欠な手段となっています。TSMCのCoWoS容量不足がAIハードウェアスタックの主要なボトルネックとなっている現状において、ガラスコア基板やEMIB-Tのような技術は、このボトルネックを緩和し、AIインフラの継続的な進化を支える重要なソリューションとして期待されています。

今後の展望

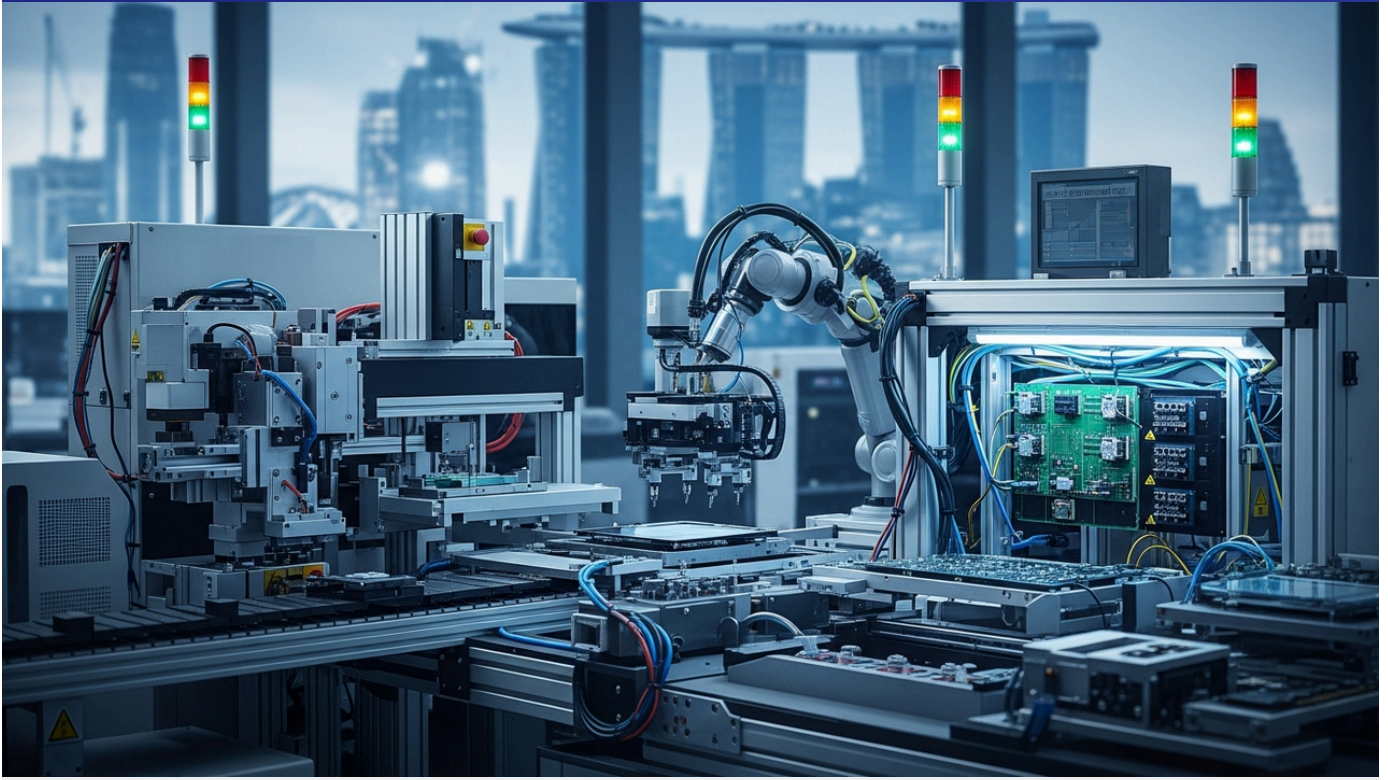
ECTC 2026で発表された研究成果は、AIおよびHPCのスケラビリティと性能を大幅に向上させる可能性を秘めています。ガラスコア基板の商業化とEMIB-Tのような先進パッケージング技術の普及は、AIチップの設計と製造に革命をもたらし、より高性能でエネルギー効率の高いAIプロセッサの開発を可能にします。これらの技術は、データセンターからエッジデバイスまで、幅広いAIアプリケーションの性能と効率を向上させ、AI技術のさらなる普及と進化を促進するでしょう。ECTCは、このような半導体業界の将来を形作る重要な技術トレンドを提示し続けています。

元記事: <https://ectc.net/wp-content/uploads/2023/03/76-ECTCAdvance-Web2.pdf>

収集日: 2026年06月05日 | 自動記事収集・翻訳システム (Gemini API使用)

シンガポール半導体テスト装置市場、2033年までに3.1億ドル規模へ：年率7.8%成長

公開日 2026年05月28日 ABNewswire シンガポール



概要

本記事は、ABNewswireが配信した、シンガポール半導体テスト装置市場に関する市場調査レポートの概要紹介です。レポートによると、同市場は2033年までに3億1,000万ドル規模に達し、2026年から2033年にかけて年率7.8%で成長すると予測されています。この成長は、先進パッケージング、特殊半導体、パワーエレクトロニクス、バックエンド製造におけるシンガポールの戦略的地位によって牽引されます。

詳細

本記事は、ABNewswireが配信した市場調査レポート「Singapore Semiconductor Testing Equipment Market Outlook 2026-2034」の概要紹介です。

レポート概要

本レポートは、シンガポールにおける半導体テスト装置市場の現状と将来予測に焦点を当てています。調査対象市場はシンガポール全域で、期間は2026年から2033年までをカバーしています。

主要な調査結果

- シンガポールの半導体テスト装置市場は、2033年までに3億1,000万ドルに達すると予測されています。
- 2026年から2033年までの予測期間において、同市場は年平均成長率（CAGR）7.8%で成長すると見込まれています。
- この成長は、シンガポールが先進パッケージング、特殊半導体、パワーエレクトロニクス、バックエンド製造において確立した独自の地位によって牽引されます。
- AdvantestとTeradyneはAIプロセッサ、メモリ、高速コンピューティングアプリケーション向けのハイエンドATEシステムで市場をリードしています。
- Cohuはハンドラー、検査プラットフォーム、熱試験ソリューションで強い地位を占めています。
- ASMPTは、シンガポールのパッケージングエコシステムを活用し、統合された組立およびテスト機能を提供しています。

発行会社について

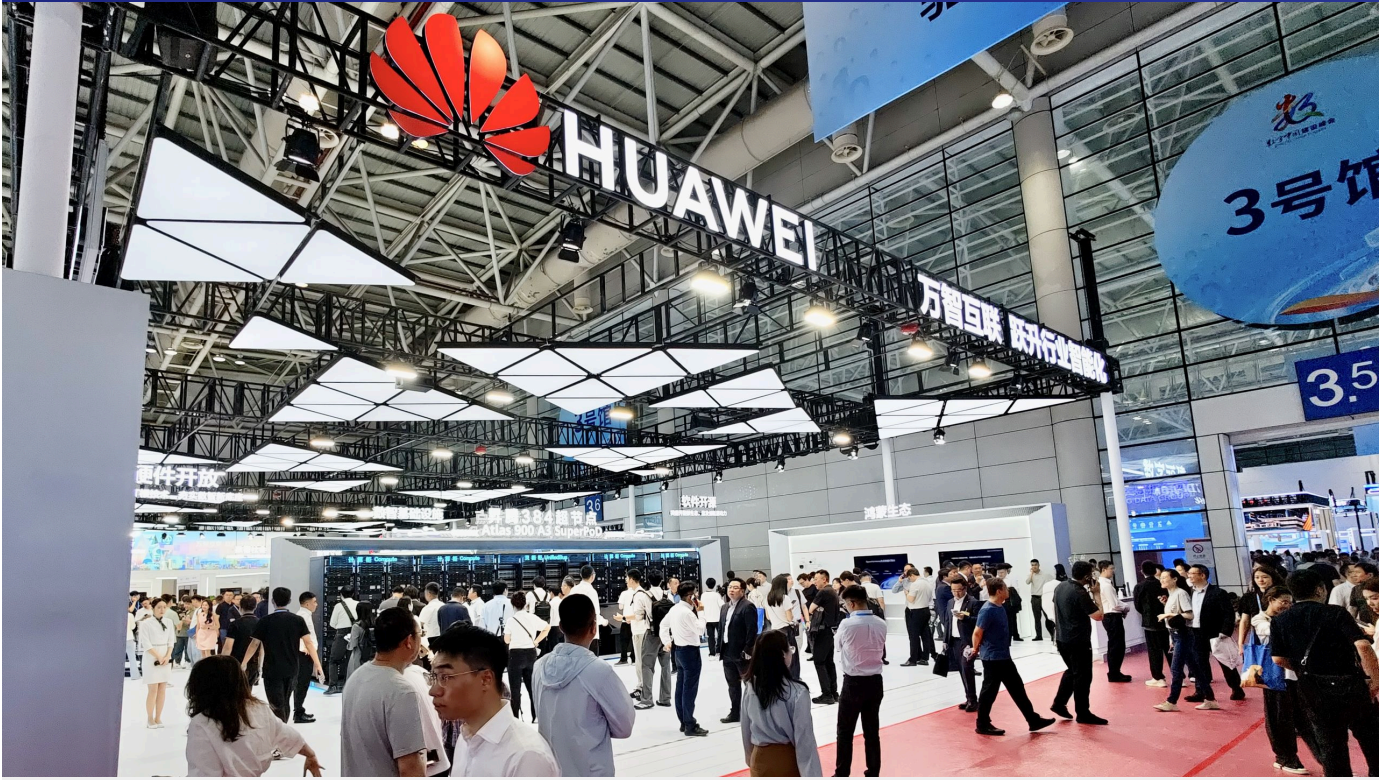
ABNewswireは、プレスリリース配信サービスであり、本レポートは市場調査会社によって作成されたものです。

元記事: <https://www.geraldgrain.com/markets/stocks.php?article=abnewswire-2026-5-28-singapore-semiconductor-testing-equipment-market-set-to-nearly-double-reaching-usd-310-million-by-2033-at>

収集日: 2026年06月05日 | 自動記事収集・翻訳システム (Gemini API使用)

中国清華大学、ファーウェイ「LogicFolding」アーキテクチャ向け3Dチップ設計ツールを開発

公開日 2026年05月28日 Tom's Hardware 中国



概要

中国の清華大学は、ファーウェイの「LogicFolding」アーキテクチャに特化した3Dチップ設計ツールを開発しました。このツールは、高度な3D集積化を通じて、AIやHPCアプリケーションにおけるチップ性能と効率を最適化することを目指しています。ファーウェイの技術的ニーズに合わせてカスタマイズされたこの設計ツールは、既存の先進パッケージング技術の課題を克服し、中国独自の半導体エコシステムの構築を加速する上で重要な役割を果たすと期待されます。IntelのEMIBやFoverosのような先進パッケージング技術は期待を集める一方で、導入が遅れていると評価されており、中国の独自開発の重要性が高まっています。

詳細

主要成果

中国の清華大学は、ファウエイの「LogicFolding」アーキテクチャに特化した3Dチップ設計ツールを開発しました。この専門ツールは、高度な3D集積化を可能にすることで、人工知能（AI）および高性能コンピューティング（HPC）アプリケーションにおけるチップの性能と効率を最適化することを目指しており、中国が独自の半導体技術エコシステムを構築する上で重要な進歩を示しています。

技術・臨床詳細

開発された3Dチップ設計ツールは、複数のチップダイを垂直方向に統合するプロセスを効率化し、設計の複雑さを軽減します。LogicFoldingアーキテクチャは、論理ブロックを折りたたむように配置することで、より短い相互接続経路と低消費電力を実現することを目的としており、この設計ツールはその特定のニーズに合わせてカスタマイズされています。これにより、3Dスタッキングにおけるアライメント精度、熱管理、信号整合性といった課題に対処し、全体的なシステム性能を向上させます。IntelのEMIB（Embedded Multi-die Interconnect Bridge）やFoverosのような先進パッケージング技術は、理論的には優れた性能を提供するものの、その導入はこれまでのところ遅く、より選択的であると評価されています。これはコスト、エコシステムの慣性、および限定的な使用例といった要因によるものと分析されており、清華大学の取り組みは、既存技術の限界を突破し、より実用的なソリューションを提供しようとするものです。

背景・業界文脈

米中間の技術競争が激化する中、中国は半導体産業における自給自足と技術的独立性を強く推進しています。ファウエイに対する制裁は、同社に独自の半導体設計と製造エコシステムを構築するよう促しており、清華大学のような国内研究機関がこの取り組みにおいて中心的な役割を担っています。3D集積技術は、ムーアの法則の物理的限界が近づく中で、チップ性能を向上させるための重要なフロンティアであり、中国のこの分野への投資は、将来のAIおよびHPC市場における競争力を確保するために不可欠です。

今後の展望

清華大学が開発したファウエイ向け3Dチップ設計ツールは、中国がAIおよびHPC分野で独自の技術確立の上で重要な役割を果たすでしょう。このツールの成功は、中国の半導体産業における設計能力を向上させるだけでなく、国内のチップレットおよび3D集積エコシステムの発展を加速させます。これにより、ファウエイはより高性能でエネルギー効率の高いAIチップを開発できるようになり、グローバルな技術制約に対するレジリエンスを高めることが期待されます。

元記事: <https://www.tomshardware.com/tech-industry/semiconductors/peking-university-builds-3d-chip-design-tool-tailored-to-huaweis-logicfolding-architecture>

収集日: 2026年06月05日 | 自動記事収集・翻訳システム (Gemini API使用)

2026 IEEE ECTCプログラム、3D統合・ハイブリッドボンディング・新基板材料など先進パッケージングの最新研究を発表

公開日 2026年05月29日 IEEE Electronic Components and Technology Conference (ECTC) アメリカ



概要

第76回IEEE Electronic Components and Technology Conference (ECTC)のプログラムが発表され、3D統合、2.5Dアーキテクチャ、ブリッジおよびチップレット統合、ハイブリッドボンディング、ウェハー・ツー・ウェハーおよびチップ・ツー・ウェハーボンディングなど、先進パッケージングに関する幅広い最新研究が共有されました。また、新しい基板材料、高密度RDL（再配線層）、次世代相互接続、大型パネルの反り管理、大型パッケージ製造、AI/ML、熱管理といった多岐にわたるトピックが議論され、半導体後工程技術の未来を形作る重要な方向性が示されました。

詳細

主要成果

第76回IEEE Electronic Components and Technology Conference (ECTC)の進捗プログラムが発表され、半導体後工程技術の最前線における幅広い最新研究とイノベーションが共有されました。会議では、特に3D統合、2.5Dアーキテクチャ、ブリッジおよびチップレット統合、ハイブリッドボンディング、ウェハー・ツー・ウェハーおよびチップ・ツー・ウェハーボンディングといった先進パッケージング技術の進展に焦点が当てられました。

技術・臨床詳細

ECTC 2026では、以下のような多岐にわたる技術トピックに関する研究発表が行われました。

- **3D統合および2.5Dアーキテクチャ:** 複数のダイを垂直または水平に統合し、性能と密度を向上させる技術。
- **ブリッジおよびチップレット統合:** 異なる機能を持つ小型チップ（チップレット）を統合し、システムの柔軟性とコスト効率を高める方法。
- **ハイブリッドボンディング:** 金属間（Cu-Cu）と誘電体間（酸化物-酸化物）の直接接合により、超微細ピッチでの相互接続を実現する技術。ImecとEV Groupは、200nmピッチで世界最高の40nm未満のオーバーレイ精度を達成したことを報告しました。
- **ウェハー・ツー・ウェハーおよびチップ・ツー・ウェハーボンディング:** ウェハー全体または個別のダイを基板や他のウェハーに高精度で接合する技術。
- **新しい基板材料:** ガラスコア基板など、従来の有機基板よりも優れた電氣的・熱的特性を持つ次世代材料。Intel Foundryは、AI・HPC向けにガラスコア基板の可能性を強調しました。
- **高密度RDL（再配線層）および次世代相互接続:** チップ間の信号伝送効率を高めるための微細な配線技術。
- **大型パネルの反り管理および大型パッケージ製造:** 大型化するパッケージの製造における課題と解決策。
- **AI/MLおよび熱管理:** AIワークロードによる発熱増大に対応する新しい冷却材料と技術。DowはCOMPUTEX Taipei 2026で次世代熱管理技術を展示しました。

背景・業界文脈

半導体業界は、ムーアの法則の物理的限界に直面し、チップの性能向上を微細化だけでなく、先進パッケージング技術に大きく依存するようになってきました。AI、HPC、エッジコンピューティングなどの分野における需要の爆発的な増加は、高密度、高帯域幅、低消費電力のパッケージングソリューションへの緊急性を高めています。ECTCは、これらの課題に対処し、次世代半導体技術の方向性を定義するために、学术界と産業界の専門家が集結する主要なフォーラムです。

今後の展望

ECTC 2026で共有された研究成果は、AI時代の半導体イノベーションの道を照らし出しています。3D統合と先進パッケージング技術の継続的な進化は、AIチップの性能、エネルギー効率、およびスケーラビリティを向上させる上で不可欠です。これらの技術は、データセンター、自動車、IoTデバイスなど、幅広いアプリケーション分野でのAIの普及と高度化を加速させ、半導体サプライチェーン全体のレジリエンスと技術的自立性を高めることに貢献すると期待されます。

元記事: <https://ectc.net/wp-content/uploads/2023/03/76-ECTCAdvance-Web2.pdf>

収集日: 2026年06月05日 | 自動記事収集・翻訳システム (Gemini API使用)