

半導体後工程

Weekly Intelligence Report

2026-05-30 | 15件 | 8カ国

troy-technical.jp

今週のキーワード

HBM4とHB

AI需要が牽引する先端PKGの進化と課題

15

件
記事数

8

カ国
対象国

2026年下期

HBM4量産

200nm

ピッチ
HB微細化

今週の全15記事 — 5軸評価で読むべき記事を選ぶ

各列の見方 — 技術新規性：ブレイクスルー度合い 実用化距離：製品として使える近さ 市場インパクト：業界全体への影響規模
データ信頼性：定量データ・査読の有無 日本関連度：日本の企業・サプライチェーンとの直接的関連性

#	記事タイトル	種別	技術 新規性	実用化 距離	市場 インパクト	データ 信頼性	日本 関連度	一行サマリ
#01	Amkor、アリゾナ投資	企業戦略	●●●○ ○	●●●● ○	●●●● ○	●●●● ○	●●●○ ○	Amkorがアリゾナに70億ドル投資し、AI/HPC向け先端パッケージングで2030年までに110億ドル収益を目指す。
#02	TSMC、CoWoS能力再配分	市場危機	●●●○ ○	●●●● ●	●●●● ●	●●●○ ○	●●●● ○	TSMCがAI向けCoWoS供給逼迫に対応するため、成熟ノード生産能力を再配分。自動車・PMICに影響。
#03	AMD、台湾AIエコ投資	企業戦略	●●●○ ○	●●●○ ○	●●●● ○	●●●● ○	●●●○ ○	AMDが台湾のAIエコシステムに100億ドル超を投資し、EFBベース2.5Dパッケージングを強化。
#04	SKH/Samsung HBM4披露	新製品	●●●● ○	●●●○ ○	●●●● ●	●●●● ○	●●●● ○	SK HynixとSamsungがハイブリッドボンディング採用のHBM4試作品を披露、2026年下半期量産目標。
#05	マレーシアPKGコンソ	国家戦略	●●●○ ○	●●●○ ○	●●●○ ○	●●●○ ○	●●●○ ○	マレーシア政府が先端半導体パッケージング能力開発のため国家コンソーシアムを設立、2年以内の確立を目指す。
#06	ASE、PLP生産ライン	新製品/技術発表	●●●● ○	●●●○ ○	●●●● ○	●●●● ○	●●●● ○	ASEがAI/チップレット向けに業界初の自動化310mmパネルレベルパッケージング生産ラインを発表。
#07	Imec/EVG 200nm HB	学術的ブレイクスルー	●●●● ●	●●●○ ○	●●●● ○	●●●● ●	●●●● ○	ImecとEV Groupが300mmウェーハ上で200nmピッチのウェーハ対ウェーハハイブリッドボンディングを実証。
#08	Hanmi HBM4ボンダー	企業戦略/市場予測	●●●○ ○	●●●● ○	●●●● ○	●●●○ ○	●●●○ ○	Hanmi SemiconductorがHBM4向けTCボンダーのQ2回復を予測し、米国市場拡大を計画。
#09	NVIDIA、HBMが制約に	市場危機/市場予測	●●●○ ○	●●●● ●	●●●● ●	●●●○ ○	●●●● ○	NVIDIAのCoWoSボトルネック緩和も、HBM供給が新たな主要制約に浮上。AIアクセラレータ出荷に影響。
#10	NVIDIA台湾投資1500億	市場予測/企業戦略	●●●○ ○	●●●● ●	●●●● ●	●●●○ ○	●●●○ ○	NVIDIA CEOが台湾AIサプライチェーンへの年間投資が将来1,500億ドルに達する見込みを表明。
#11	TEL/Samsung HB投資	企業戦略/市場動向	●●●○ ○	●●●● ○	●●●● ●	●●●○ ○	●●●● ●	東京エレクトロンとSamsungがGPU/AI向けTSV市場確保のため、ハイブリッドボンディング装置への投資を大幅増強。
#12	ヘテロ統合と熱管理	解説記事/技術課題	●●●○ ○	●●●○ ○	●●●● ○	●●●○ ○	●●●○ ○	ヘテロジニアスインテグレーションがHBで進化する一方、電力供給と熱管理がAI/5G/6Gの主要課題に。
#13	Huawei「Tao Law」	新技術提案/学術的ブレイクスルー	●●●● ●	●●●○ ○	●●●● ○	●●●○ ○	●●●○ ○	Huaweiが「Logic Folding」と超微細HBで1.4nm相当のチップ密度を目指す「Tao Law」を提案。
#14	韓国HBMテスト装置	国家戦略/市場動向	●●●○ ○	●●●● ○	●●●● ○	●●●○ ○	●●●● ○	韓国のHBMテスト装置ボトルネック解消のため国内サプライヤー育成を促進。Digital FrontierがHBM4テスター量産。

#	記事タイトル	種別	技術 新規性	実用化 距離	市場 インパクト	データ 信頼性	日本 関連度	一行サマリ
#15	AMD Zen 7 FOPLP検討	企業戦略/ 技術検討	●●●○ ○	●●●○ ○	●●●● ○	●●●○ ○	●●●○ ○	AMDが次世代Zen 7 CPU向けにPowertechのFOPLP技術を検討。TSMC依存度低減とチップレット強化。

●●●● High ●●●○ Med-High ●●○○ Med ●○○○ Low | 背景黄色 = 注目記事

今週、判断に影響する3つの問い

① HBM4とハイブリッドボンディングの進展は、自社の材料・装置ロードマップにどう影響するか？

SK HynixとSamsungが2026年下半期にHBM4の量産を目指し、東京エレクトロンもハイブリッドボンディング装置への投資を増強しています。この技術シフトは、貴社の材料や装置開発の優先順位を変える可能性があります。具体的な対応策は明確ですか？

②

AI半導体サプライチェーンのボトルネックはCoWoSからHBMへ移行。自社の調達戦略は対応可能か？

TSMCのCoWoS供給逼迫が緩和されつつある一方で、NVIDIAはHBMの供給不足が新たな主要制約であると指摘しています。HBMはわずか3社が量産しており、調達難はAIチップ生産に直結します。貴社のHBM調達戦略は、この変化に対応できていますか？

③ パネルレベルパッケージングやLogic

Foldingのような新技術は、将来の製品設計にどのような変革をもたらすか？

ASEはPLP生産ラインを立ち上げ、HuaweiはLogic Foldingで1.4nm相当の密度を目指す「Tao Law」を提案しています。これらの革新的なパッケージング技術は、貴社の次世代製品設計や製造プロセスにどのような機会と脅威をもたらすでしょうか？

日本企業にとっての「機会 vs 脅威」

日本企業にとっての「機会 vs 脅威」マトリクス



項目	象限	↑ 機会	↓ 脅威
● HBM4/HB	注意	HBM4/HB材料・装置需要増	技術競争激化、投資負担
● 超微細HB	機会大	次世代HB技術開発リード	実用化距離、R&D;投資
● PLP普及	注意	PLP装置・材料市場拡大	既存WLPとの競合、技術転換
● HBM不足	脅威大	HBM代替技術開発	AIチップ生産停滞、調達難
● 米/台投資	注意	サプライチェーン再編	地政学リスク、競争激化

● LogicFold	参考	新技術動向把握	中国独自技術の台頭
● アジアPKG	注意	新興市場開拓	競争激化、サプライヤー多様化

深掘り ① — HBM4とハイブリッドボンディングの最前線

#04 | 2026/05/22 | Techfund | 技術新規性●●●●○ 実用化距離●●●●○ 市場インパクト●●●●● データ信頼性●●●●○ 日本関連度●●●●○

CES 2026でSK HynixとSamsungがHBM4試作品を披露し、2026年下半年の量産目標を発表しました。SK Hynixは16層48GB、Samsungは熱管理を重視した12層36GBを展示。HBMスタックの16層超えに伴い、従来のマイクロバンブに代わるハイブリッドボンディングの段階的導入がHBM4以降で不可欠となります。

HBM4はAI/HPCの性能を最大化する上で極めて重要であり、高積層化とデータ転送速度向上には微細なボンディング技術が必須です。両社の発表は、業界がHBM4への移行を加速していることを示し、次世代HBMの性能向上と製造効率化に向けた技術革新が加速する見込みです。

▶ 技術者の視点

HBM4の2026年下半年量産目標は挑戦的ですが、主要メモリーメーカー2社が掲げているため、実現性は高いと見ます。ただし、高積層化に伴う熱管理、ボンディング界面の信頼性、そして製造プロセスの複雑化による歩留まり向上が実用化に向けた最大の課題となるでしょう。【機会】日本の材料・装置メーカーにとっては、ハイブリッドボンディング装置、高精度ボンディング材料、高性能熱伝導材料、そして高度な検査装置の需要が爆発的に増加する絶好の機会です。特に、微細ピッチ化と高積層化に対応できる技術を持つ企業は大きなアドバンテージを得られます。【脅威】一方で、韓国勢の技術進展は著しく、日本のサプライチェーンにおけるプレゼンスを維持するためには、競合他社を上回る技術開発と迅速な市場投入が求められます。特に、顧客との共同開発や標準化への貢献が重要です。【次のアクション】R&D部門はHBM4向けハイブリッドボンディング材料・装置のロードマップを再評価し、顧客の要求仕様を先取りした開発を加速すべきです。調達部門はHBM4のサプライヤー動向を注視し、安定供給確保のための戦略を検討する必要があります。

深掘り ② — TELとSamsung、HB装置へ大規模投資

#11 | 2026/05/26 | Mordor Intelligence | 技術新規性●●●●○ 実用化距離●●●●○ 市場インパクト●●●●● データ信頼性●●●●○ 日本関連度●●●●●

東京エレクトロン（TEL）とSamsungが、ハイブリッドボンディング（HB）および関連装置への設備投資を大幅に増強しています。これは、GPUおよびAIアクセラレータ向けTSV市場の長期的な成長を確保するためであり、特にHBM4の登場により、メモリベンダーがベースダイロジック製造を最先端ファウンドリに外部委託する動きが加速していることが背景にあります。

HBM4では、TSVアライメントの厳格な公差と銅対銅ボンディングの要件が増加するため、HBへの移行が不可欠とされています。この大規模投資は、AI/HPC市場の成長を支える基盤となり、半導体製造プロセスの新たな標準を確立する可能性を秘めています。

▶ 技術者の視点

AI/HPC需要の爆発的増加を背景に、HBM4以降の高性能チップにはハイブリッドボンディングが不可避であり、TELとSamsungの設備投資増強は極めて妥当な判断です。実用化に向けた未解決課題としては、ボンディング装置のさらなる高精度化、高速化、そして異なるメーカーのダイを統合する際の互換性確保が挙げられます。【機会】日本の半導体製造装置メーカー、特にTELにとっては、HB装置市場でのリーダーシップをさらに強固にする絶好の機会です。関連する材料・部品メーカーにも大きな波及効果が期待され、日本の技術優位性を世界に示すことができます。また、Samsungとの連携は、技術開発の加速にも繋がるでしょう。【脅威】しかし、韓国勢を含む競合他社もHB装置の開発に注力しており、技術競争は激化の一途を辿ります。常に最先端の技術を提供し続けなければ、市場シェアを失うリスクがあります。【次のアクション】R&D部門は、HB装置のさらなる微細化、高精度化、高スループット化に向けた技術開発を加速すべきです。材料メーカーは、HBプロセスに最適化された誘電体材料や銅配線材料の開発を強化し、半導体メーカーは、TELやSamsungとの連携を深め、次世代HBMの量産技術確立を急ぐ必要があります。

深掘り ③ — ImecとEVG、200nmピッチHBで新記録

#07 | 2026/05/28 | imec | 技術新規性●●●●● 実用化距離●○○○○ 市場インパクト●●●●●○ データ信頼性●●●●●
日本関連度●●●●●○

ImecとEV Group (EVG) が、300mmウェーハ上で200nmという極めて微細な銅インターコネクtpadピッチを持つウェーハ対ウェーハハイブリッドボンディングを実証し、新記録を達成しました。ポストボンドオーバーレイベクトルは全ダイで40nm未満という驚異的な精度を誇ります。

この成果は、将来のロジック対ロジック、メモリ対ロジックの積層構造におけるハイブリッドボンディングロードマップを大きく前進させ、次世代コンピューティングアーキテクチャに不可欠な高密度インターコネクtpadを可能にします。誘電体材料にSiCNを使用し、CMPを含むプロセスフローの最適化が鍵となりました。

▶ 技術者の視点

ImecとEVGによる200nmピッチのハイブリッドボンディング実証は、学術的なブレークスルーとして非常に価値が高いです。特に40nm未満のオーバーレイ精度は驚異的であり、将来の3D-IC技術の可能性を大きく広げるものです。しかし、これは基礎研究段階であり、量産適用には多くの未解決課題が残ります。【未解決課題】プロセス安定性の確保、製造コストの低減、量産歩留まりの向上、そして長期的な信頼性（特に熱サイクル耐性や機械的ストレスへの耐性）の検証が不可欠です。また、これほど微細なピッチでの欠陥管理も大きな課題となるでしょう。【機会】日本の材料・装置メーカーにとっては、この超微細ピッチHBに対応する新たなボンディング材料、CMPスラリー、検査装置、そしてボンディング装置の先行開発機会となります。Imecのような国際的な研究機関との共同研究を通じて、将来技術の標準化に貢献できる可能性もあります。【脅威】一方で、海外の研究機関や企業が先行して技術確立した場合、日本の企業が後塵を拝するリスクもあります。基礎研究への投資や国際的な連携が遅れると、将来の競争力を失う可能性があります。【次のアクション】R&D部門は、この技術動向を深く分析し、自社のHB技術ロードマップに組み込むべきです。基礎研究への投資を強化し、国際共同研究への参画も積極的に検討することで、将来の技術優位性を確保することが求められます。

その他の注目記事

TSMC、AIアクセラレータ向けCoWoS供給逼迫に対応するため成熟ノード生産能力を再配分
技術新規性●●○○○ 実用化距離●●●●● 市場インパクト●●●●●●

TSMCのCoWoS向け生産能力再配分は、AI需要の異常な高まりを示す。自動車やPMIC向け成熟ノードの供給に影響がはじめており、サプライチェーン全体で影響を注視する必要がある。

NVIDIAのCoWoSパッケージングボトルネック緩和も、HBM供給が新たな主要制約に浮上
技術新規性●●○○○ 実用化距離●●●●● 市場インパクト●●●●●●

CoWoSの供給緩和は朗報だが、HBMが新たなボトルネックに。HBMは3社寡占市場であり、AIアクセラレータの出荷を直接制限する。HBMの安定調達は最重要課題となる。

ASE、AIおよびチップレット向けに業界初の自動化された310mmパネルレベルパッケージング生産ラインを発表
技術新規性●●●●○ 実用化距離●●●○○ 市場インパクト●●●●●○

ASEのPLPラインは、AI/チップレット製造のコスト削減とスケーラビリティ向上に貢献。2027年上半年期量産開始予定であり、日本の装置・材料メーカーは対応を急ぐべきだ。

Amkor Technology、アリゾナ州に70億ドル投資し先端パッケージングで2030年までに110億ドル収益を目指す
技術新規性●●○○○ 実用化距離●●●●○ 市場インパクト●●●●●○

Amkorによる米国での大規模投資は、地政学リスクを考慮したサプライチェーン再編の動きを加速させる。日本のOSA T関連企業は、この動向を注視し、戦略を再考する必要がある。

今週のアクション提案

記事評価マトリクスと機会/脅威分析を踏まえたアクション提案です。

■ 即時（今週中）

- 【R&D;】 HBM4およびハイブリッドボンディング技術に関する最新論文・特許情報を収集し、自社技術とのギャップ分析を実施。
- 【調達】 HBMサプライヤー3社の生産能力増強計画と、AIチップメーカーのHBM調達戦略に関する情報収集を強化。
- 【経営企画】 AI半導体サプライチェーンにおけるボトルネックの変化（CoWoSからHBMへ）が自社事業に与える影響を緊急評価。

■ 短期（1ヶ月）

- 【R&D;/半導体PKG】 パネルレベルパッケージング（PLP）技術の動向を調査し、自社製品への適用可能性とコストメリットを評価。ASEのPLPラインをベンチマーク。
- 【営業/マーケティング】 主要顧客（AIチップメーカー、HBMメーカー）との対話を通じて、HBM4およびハイブリッドボンディングに関する具体的なニーズと課題をヒアリング。
- 【R&D;】 超微細ピッチハイブリッドボンディング（200nm級）の基礎研究動向を把握し、将来的なR&D;テーマとして検討開始。

■ 中長期（四半期～）

- 【R&D;/半導体PKG】 3D-ICおよびハイブリッドボンディング技術の長期ロードマップを策定し、材料・装置開発の優先順位を再設定。
- 【経営企画】 地政学リスクを考慮した半導体サプライチェーンの再編（米国、東南アジア）に対応するため、海外拠点戦略やパートナーシップ戦略を見直し。
- 【R&D;/EV設計】 ヘテロジニアスインテグレーションにおける電力供給と熱管理の課題に対し、パッケージ内電圧レギュレーターや先進冷却ソリューションのR&D;を強化。

半導体後工程 採用記事全文集

出力日: 2026-05-30

採用記事数: 15 件

収録記事一覧

- #01 Amkor Technology、アリゾナ州に70億ドル投資し先端パッケージングで2030年までに110億ドル収益を目指す
- #02 TSMC、AIアクセラレータ向けCoWoS供給逼迫に対応するため成熟ノード生産能力を再配分
- #03 AMD、台湾のAIEコシステムに100億ドル超を投資し先端パッケージングとEFB技術を強化
- #04 SK HynixとSamsung、ハイブリッドボンディング採用のHBM4を披露、2026年下半期の量産目標
- #05 マレーシア、先端半導体パッケージング能力開発のため国家コンソーシアムを設立
- #06 ASE、AIおよびチップレット向けに業界初の自動化された310mmパネルレベルパッケージング生産ラインを発表
- #07 ImecとEV Group、200nmピッチでウェーハ対ウェーハハイブリッドボンディングを実証、新記録達成
- #08 Hanmi Semiconductor、HBM4向けTCボンダーのQ2回復を予測し米国市場拡大を計画
- #09 NVIDIAのCoWoSパッケージングボトルネック緩和も、HBM供給が新たな主要制約に浮上
- #10 NVIDIAのジェンスン・フアンCEO、台湾のAIサプライチェーンへの年間投資が1,500億ドルに到達する見込みを表明
- #11 東京エレクトロンとSamsung、ハイブリッドボンディング装置への設備投資を大幅増強
- #12 ヘテロジニアスインテグレーションがハイブリッドボンディングで進化、電力・熱管理の課題に対応
- #13 Huawei、「Logic Folding」と超微細ハイブリッドボンディングで1.4nm相当のチップ密度を目指す「Tao Law」を提案
- #14 韓国のHBMテスト装置ボトルネックが国内サプライヤー育成を促進
- #15 AMD、次世代Zen 7 CPU向けにPowertechのFOPLP技術を検討

Amkor Technology、アリゾナ州に70億ドル投資し先端パッケージングで2030年までに110億ドル収益を目指す

公開日 2026年05月21日 MarketBeat アメリカ



概要

Amkor Technologyは2026年の投資家説明会で、先端パッケージング事業を軸に2030年までに年間売上高110億ドル以上を達成する目標を発表しました。この成長戦略の核となるのは、アリゾナ州の先端パッケージングおよびテスト施設に対する総額70億ドルの二段階投資です。2028年には同施設での大量生産開始が見込まれており、政府からの約4億ドルのCHIPS法補助金を含む支援も受けています。このアリゾナ工場は、AI、HPC、車載、通信分野を支える米国初の量産規模OSAT施設となる予定です。

背景と戦略的意義

Amkor Technologyは、AI、高性能コンピューティング（HPC）、自動車、および次世代通信といった成長市場に対応するため、先端パッケージングへの大規模な戦略的転換を図っています。同社の2026年投資家説明会で発表されたこの計画は、米国内での製造能力を大幅に強化し、地政学的なサプライチェーンの強靱化に貢献することを目指しています。特に、米国政府のCHIPS法による支援は、この取り組みを加速させる重要な要素となっています。

アリゾナ州への大規模投資計画

計画の中心は、アリゾナ州に建設される先端パッケージングおよびテストキャンパスへの総額70億ドルの投資です。この投資は二段階で実施され、2028年には最初のフェーズでの量産開始が予定されています。新施設は355,000平方フィートのクリーンルームスペースを備え、将来的な拡張を見越してさらに67エーカーの敷地を確保しています。Amkorは、CHIPS法から約4億ドルの補助金を含む政府インセンティブを受け、このプロジェクトを推進しています。

市場への影響と将来展望

アリゾナ工場は、フル稼働時には年間約10億ドルの収益に貢献すると見込まれており、米国における初の量産先端パッケージングOSAT（Outsourced Semiconductor Assembly and Test）施設として、国内半導体エコシステムに不可欠な存在となります。この投資は、Amkorが2030年までに年間110億ドルを超える収益目標を達成するための重要な柱であり、AIチップや関連技術の需要拡大に対応するためのグローバルな生産能力強化の一環として位置づけられています。米国内での先端パッケージング能力の確立は、サプライチェーンの多様化とセキュリティ向上にも寄与するでしょう。

元記事: <https://www.marketbeat.com/instant-alerts/amkor-technology-targets-11b-revenue-by-2030-on-ai-packaging-arizona-ramp-2026-05-21/>

TSMC、AIアクセラレータ向けCoWoS供給逼迫に対応するため成熟ノード生産能力を再配分

公開日 2026年05月28日 Tom's Hardware 台湾



概要

TSMCは、AIアクセラレータに不可欠なCoWoS先端パッケージングおよびシリコンインターポーザの供給逼迫に対応するため、40～90nmの成熟ノード生産能力をCoWoS製造に再配分しています。この戦略的な動きは、AIチップ需要の爆発的な増加によって引き起こされるCoWoSの制約を緩和することを目的としています。結果として、自動車やAIサーバー向け電力管理ICなど、他の産業向けの成熟ノードウェーハの供給に影響が生じています。

背景とCoWoSの重要性

AIアクセラレータの需要が急速に拡大する中、TSMCのCoWoS（Chip-on-Wafer-on-Substrate）先端パッケージング技術は、高性能AIチップの製造において極めて重要な役割を担っています。CoWoSは、複数のダイ（チップ）や高帯域幅メモリ（HBM）をシリコンインターポーザ上に統合し、高い相互接続密度と短い配線長を実現することで、AIワークロードに不可欠なデータ転送速度と効率を提供します。しかし、その複雑な製造プロセスと専用設備への依存から、CoWoSの供給能力はAIチップの生産量における主要なボトルネックとなっていました。

成熟ノード能力の戦略的再配分

この供給制約を緩和するため、TSMCは40nmから90nmの成熟した製造ノードの生産能力を、CoWoSパッケージングおよびシリコンインターポーザの製造に戦略的に再配分する決定を下しました。通常、これらの成熟ノードは、自動車、パワーマネジメントIC、IoTデバイスなど、幅広い汎用チップの製造に使用されていました。今回の再配分は、TSMCが最優先事項としてAIアクセラレータの需要に対応し、AI市場におけるリーダーシップを維持するための明確な戦略を示しています。

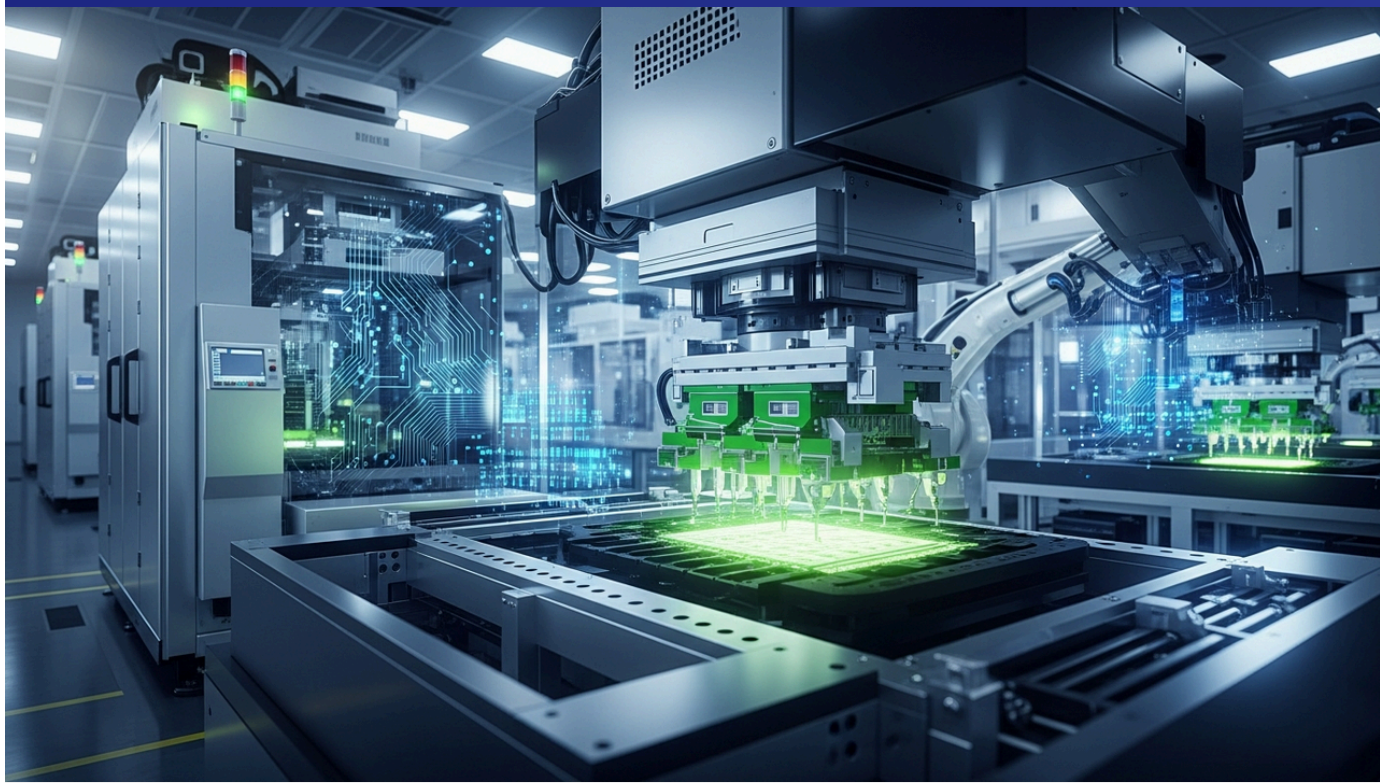
広範な産業への影響と展望

成熟ノード生産能力のCoWoSへの移行は、他の産業、特に自動車産業や、AIサーバー向けに成長を続ける電力管理ICの分野におけるウェーハ供給に直接的な影響を与えることが予想されます。これらの産業は、これまで成熟ノードに大きく依存してきましたが、今回の再配分により、供給不足やコスト上昇に直面する可能性があります。長期的には、TSMCのこの動きは、半導体製造業界全体における優先順位のシフトと、AI技術がバリューチェーンのあらゆる段階に与える影響の大きさを浮き彫りにしています。他のファウンドリも同様の戦略を検討する可能性があり、成熟ノード製品を必要とする顧客は、サプライヤーの多様化や長期契約の確保を一層重視するようになるでしょう。

収集日: 2026年05月29日 | 自動記事収集・翻訳システム (Gemini API使用)

AMD、台湾のAIエコシステムに100億ドル超を投資し先端パッケージングとEFB技術を強化

公開日 2026年05月21日 EE Times 台湾



概要

AMDは、AIインフラストラクチャと先端パッケージング能力を強化するため、台湾の半導体エコシステム全体に100億ドルを超える大規模な投資を行うことを発表しました。この投資は、ASE、SPIL、Powertech Technology (PTI) といった台湾の主要パートナーとの連携を深め、特にElevated Fanout Bridge (EFB) ベースの2.5Dパッケージング技術の進展に注力します。目標は、チップレットアーキテクチャ、高帯域幅メモリ (HBM) 統合、そして3Dハイブリッドボンディング技術を次世代AIシステム向けに強化することです。

戦略的投資の背景と目的

AMDは、人工知能（AI）の急速な進化とそれに伴う高性能コンピューティング（HPC）の需要増大に対応するため、半導体サプライチェーンの要衝である台湾に対し、100億ドルを超える戦略的投資をコミットしました。この投資の主な目的は、台湾のAIエコシステム全体を強化し、特に同社の次世代AIプロセッサに不可欠な先端パッケージング技術の能力を飛躍的に向上させることにあります。AMDは、チップレットベースの設計を積極的に推進しており、そのためには高密度で効率的なパッケージング技術が不可欠です。

主要技術と台湾パートナーとの連携

AMDの投資は、主にElevated Fanout Bridge（EFB）ベースの2.5Dパッケージング技術の進展に焦点を当てています。この技術は、高帯域幅メモリ（HBM）の統合や、将来的な3Dハイブリッドボンディング技術の実現に向けた基盤となります。AMDは、台湾の主要なOSAT（Outsourced Semiconductor Assembly and Test）プロバイダーであるASE（Advanced Semiconductor Engineering）、SPIL（Siliconware Precision Industries Co., Ltd.）、そしてPowertech Technology（PTI）と緊密に連携しています。特にPowertech Technologyは、すでに業界初となる2.5DパネルベースEFBインターコネクト技術をAMDと共に認定しており、これにより大型の四角いパネルでの費用対効果の高い大量生産が可能となっています。

次世代AIシステムへの影響と展望

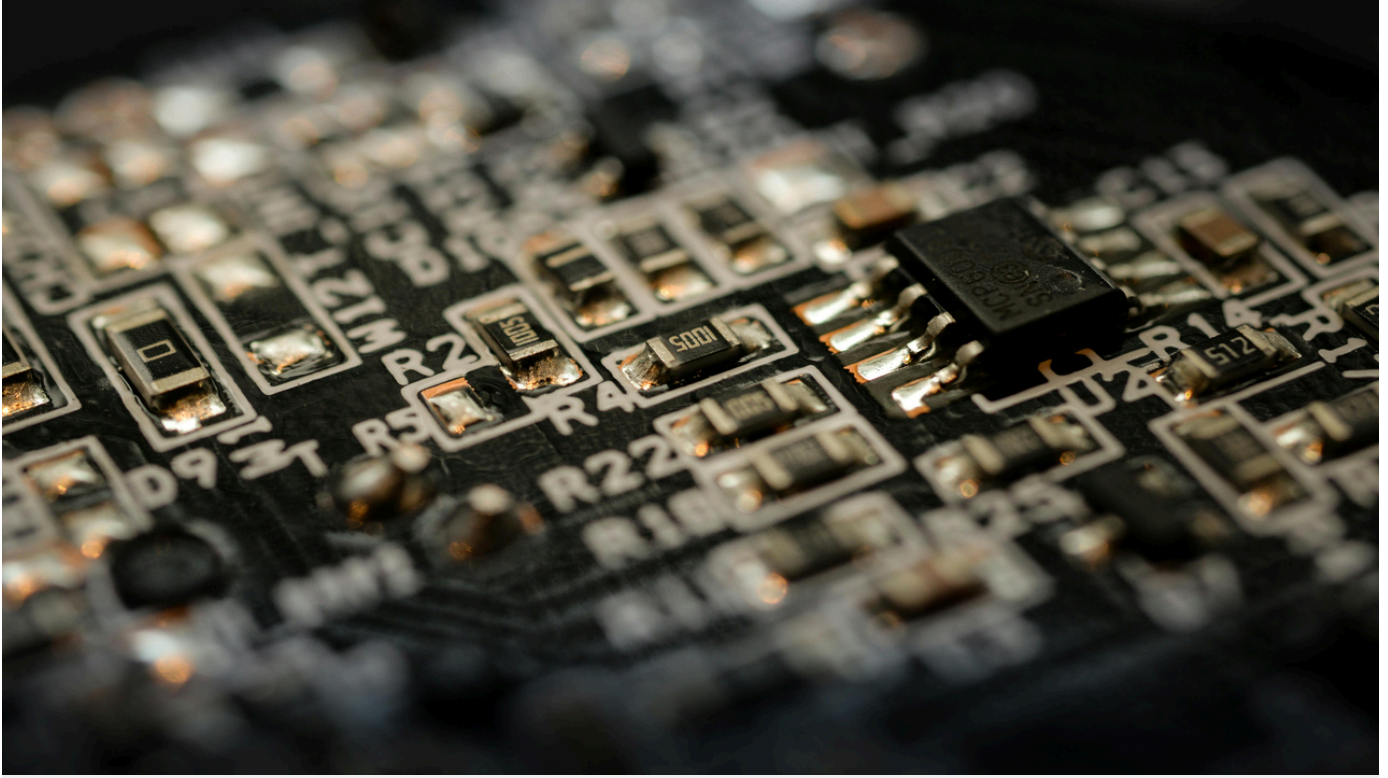
この大規模な投資と技術連携は、AMDの次世代AIシステム、例えば第6世代AMD EPYC CPU「Venice」といった製品の開発に直接的に貢献します。EFBやその他の先端パッケージング技術の進化は、チップレット間の相互接続を強化し、HBMとの統合を最適化することで、AI処理能力の飛躍的な向上を可能にします。AMDは、台湾の強固な半導体製造エコシステムを活用することで、競争力のあるコストで最先端のAIチップを効率的に市場に投入し、AI時代のリーダーシップを確固たるものにすることを目指しています。長期的に見れば、この投資は台湾の半導体産業における先端パッケージング技術のイノベーションと成長をさらに加速させるでしょう。

元記事: <https://www.eetimes.com/amd-plans-10b-investment-in-taiwan-to-boost-ai-infrastructure/>

収集日: 2026年05月29日 | 自動記事収集・翻訳システム (Gemini API使用)

SK HynixとSamsung、ハイブリッドボンディング採用のHBM4を披露、2026年下半期の量産目標

公開日 2026年05月22日 Techfund 韓国



概要

CES 2026において、SK HynixとSamsungは、2026年下半期の量産開始を目指すHBM4デバイスの試作品を披露しました。SK Hynixは、高度なTSVとハイブリッドボンディングを活用した16層、48GB容量のHBM4を展示し、高密度化を強調しました。一方、Samsungは、熱管理と歩留まり向上に焦点を当てた12層、36GBのHBM4スタックを展示しました。業界全体では、HBMスタックが16層を超えていくにつれて、ハイブリッドボンディングの段階的な導入がHBM4以降の世代で検討されるという動きが見られます。

HBM4開発の現状とハイブリッドボンディングの導入

高帯域幅メモリ（HBM）は、人工知能（AI）および高性能コンピューティング（HPC）用途におけるチップの性能を最大化するために不可欠な技術です。CES 2026では、主要メモリメーカーであるSK HynixとSamsungが、次世代のHBM4デバイスの量産に近いプロトタイプを発表し、2026年下半期に大量生産を開始する目標を明らかにしました。これは、業界がHBM4への移行を加速していることを示唆しています。HBM4は、従来のHBM世代と比較して、より高い積層数とデータ転送速度を実現するために、新しいボンディング技術の導入が不可欠とされています。

両社の技術デモンストレーション

- **SK Hynix:** 同社は、高度なTSV（Through-Silicon Via）技術とハイブリッドボンディングを駆使して実現した、16層で48GB容量のHBM4デバイスを展示しました。このデバイスは、高い積層密度と優れたパフォーマンス特性を示しており、複雑なAIワークロードに対応するための重要な進歩を示しています。
- **Samsung:** Samsungは、熱管理と製造歩留まりの向上に重点を置いた12層、36GB容量のHBM4スタックを発表しました。HBMの積層数が増えるにつれて発熱が大きな課題となるため、Samsungのアプローチは実用性と信頼性を重視したものです。同社は、独自の熱放散技術と最適化された製造プロセスにより、高性能と安定性を両立させることを目指しています。

業界の動向と将来展望

HBM技術の進化に伴い、業界ではボンディング技術の大きな転換期を迎えています。特に、HBMスタックが16層を超える高積層化に進むにつれて、従来のマイクロバンプボンディングでは接続ピッチの微細化と信頼性の維持が困難になります。そのため、メモリメーカー各社は、HBM4またはそれ以降の世代において、ハイブリッドボンディング技術の段階的な導入を検討しています。ハイブリッドボンディングは、より微細なピッチと高い接続信頼性を提供し、次世代HBMの性能向上と製造効率化に貢献すると期待されています。この技術革新は、将来のAIおよびHPCシステムの性能限界をさらに押し上げる鍵となるでしょう。

元記事: <https://techfund.site/the-state-of-hbm4-chronicled-at-ces-2026/>

収集日: 2026年05月29日 | 自動記事収集・翻訳システム (Gemini API使用)

マレーシア、先端半導体パッケージング能力開発のため国家コンソーシアムを設立

公開日 2026年05月25日 SME.asia マレーシア



概要

マレーシア政府は、国内の先端半導体パッケージング能力を2年以内に確立するため、マレーシア先端パッケージングコンソーシアム（MAPC）を発足させました。このコンソーシアムは、政府が提供する9,200万リンギットの研究開発助成金と、業界からの9,300万リンギットの拠出を合わせて、総額1億8,500万リンギット（約3,900万ドル）の資金で運営されます。目的は、マレーシアの半導体産業を従来のOSATから高付加価値の先端パッケージングへと進化させ、国内のエコシステムと知的財産を強化することです。

国家戦略としての先端パッケージング推進

マレーシアは長年にわたり、半導体産業における後工程、特に組立・テスト（OSAT）分野で重要な役割を担ってきました。しかし、世界の半導体需要がAI、5G/6G、高性能コンピューティングといった高付加価値分野へとシフトする中で、より高度なパッケージング技術への対応が急務となっています。この課題に対応し、国の競争力を強化するため、マレーシア政府は「マレーシア先端パッケージングコンソーシアム（MAPC）」の設立を発表しました。これは、国内の先端パッケージング能力を2年という短期間で開発し、産業構造の転換を図ることを目指す国家戦略の一環です。

産学官連携と資金調達

MAPCは、政府と産業界が緊密に連携するモデルを採用しています。政府は研究開発助成金として9,200万リンギット（約1,950万ドル）を拠出し、これに業界からの9,300万リンギット（約1,970万ドル）が加わり、総額1億8,500万リンギット（約3,900万ドル）の資金が確保されました。この資金は、先端パッケージング技術の研究開発、人材育成、設備投資などに充てられます。コンソーシアムには、SkyeChip Bhd、Inari Technology Sdn Bhd、FusionAP Sdn Bhd、Pentamaster Instrumentation Sdn Bhd、NSW Automation Sdn Bhdという5つの国内企業が参加しており、それぞれが専門分野での貢献を通じてマレーシア全体の技術力を底上げすることが期待されています。

期待される成果と将来展望

MAPCの設立と活動は、マレーシアの半導体産業を従来のOSATサービス提供者から、より複雑で高収益な先端パッケージングソリューションの開発・提供者へと変革することを目的としています。これにより、国内のバリューチェーンにおける付加価値が向上し、新たな技術的知的財産（IP）の創出が促進されます。長期的には、この取り組みはマレーシアが世界の半導体サプライチェーンにおいて、より戦略的かつ不可欠な存在としての地位を確立する上で重要な一歩となります。また、先端技術分野における雇用創出と国内人材のスキルアップにも貢献し、持続可能な経済成長を支援すると見込まれています。

ASE、AIおよびチップレット向けに業界初の自動化された310mmパネルレベルパッケージング生産ラインを発表

公開日 2026年05月26日 AnySilicon 台湾



概要

Advanced Semiconductor Engineering (ASE)は、AIプロセッサやチップレットベースのアーキテクチャ向けに、自動化された310mm x 310mmパネルレベルパッケージング（PLP）生産ラインを開発したことを発表しました。この技術革新は、従来のウェーハレベルパッケージングと比較して、最大96,100 mm²の有効面積を提供し、製造のスケラビリティと効率を大幅に向上させます。この新しいPLPラインは、ASE独自のFOCoSおよびFOCoS-Bridge先端パッケージングプラットフォームに対応し、2027年上半期に生産開始予定です。

先端パッケージングにおけるパネルレベルの優位性

AIや高性能コンピューティング（HPC）の進化に伴い、半導体チップの集積度と性能は飛躍的に向上しており、これに伴い先端パッケージング技術の重要性が増しています。特に、チップレットアーキテクチャの普及により、複数の小型チップを効率的かつ高密度に統合するパッケージングが求められています。ASEが開発した310mm x 310mmのパネルレベルパッケージング（PLP）は、従来の円形ウェーハを用いたウェーハレベルパッケージング（WLP）に比べて、より大きな矩形基板を使用することで材料利用効率を高め、一度に処理できるチップ数を劇的に増加させることができます。これにより、製造コストの削減とスループットの向上が期待されます。

技術的特徴と生産能力

この新しい自動化されたPLP生産ラインは、最大96,100 mm²もの広範な有効パッケージング面積を提供します。これは、WLPと比較して大幅な面積効率の向上を意味し、特に大型のAIプロセッサや複雑なチップレット統合において有利です。ASEの既存のFOCoS (Fan-Out Chip-on-Substrate) および FOCoS-Bridge (Fan-Out Chip-on-Substrate with Bridge) といった先端パッケージングプラットフォームとの互換性も確保されており、それぞれのプラットフォームで2/2μmおよび8/8μmのライン/スペース能力をサポートします。このような微細な配線能力は、高密度な相互接続を実現し、チップレット間的高速データ転送を可能にします。ASEは、2027年上半期までにこの革新的なPLP生産ラインでの量産開始を目指しています。

市場への影響と将来展望

ASEによるパネルレベルパッケージングの導入は、AIチップやチップレットベースの半導体製品の製造コスト削減と供給能力拡大に大きく貢献すると期待されます。より効率的な製造プロセスは、高性能AIハードウェアの普及を加速させ、AI技術のさらなる発展を後押しするでしょう。また、この技術は、高密度な統合が求められるHPC、データセンター、自動運転車載向けチップなど、幅広い分野での採用が進む可能性があります。ASEのこの動きは、先端パッケージング市場における同社のリーダーシップをさらに強固なものとし、半導体産業全体のイノベーションを牽引する重要な一歩となるでしょう。

元記事: <https://anysilicon.com/news/ase-launches-310mm-panel-level-packaging-line-for-ai-and-chiplet-applications/>

収集日: 2026年05月29日 | 自動記事収集・翻訳システム (Gemini API使用)

ImecとEV Group、200nmピッチでウェーハ対ウェーハハイブリッドボンディングを実証、新記録達成

公開日 2026年05月28日 imec ベルギー



概要

ImecとEV Group (EVG) は、ECTC 2026において、300mmウェーハ上で200nmというこれまでにない微細な銅インターコネクtpッドピッチを持つウェーハ対ウェーハハイブリッドボンディングを実証し、新記録を達成しました。この技術は、ポストボンドオーバーレイベクトルが全ダイで40nm未満という驚異的な精度を誇ります。この画期的な進歩は、将来のロジック対ロジック、メモリ対ロジックの積層構造におけるハイブリッドボンディングロードマップを大きく前進させ、次世代コンピューティングアーキテクチャに不可欠な高密度インターコネクtpを可能にします。

背景：高密度統合の必要性

現代の高性能半導体、特にAIアクセラレータやデータセンター向けプロセッサでは、チップ間の接続密度を最大化し、データ伝送の遅延と消費電力を最小限に抑えることが極めて重要です。この目標を達成するために、垂直方向のチップ積層技術である3D統合が注目されており、その中でもハイブリッドボンディングは、チップ間の直接的な銅対銅接続を可能にする最も有望な技術の一つです。従来のマイクロバンプを用いたボンディング技術の限界を突破し、より微細なインターコネクtpitchを実現することが、今後の性能向上の鍵となっています。

画期的な成果：200nmピッチのハイブリッドボンディング

ImecとEV Group (EVG) は、この分野で画期的な進歩を遂げました。ECTC 2026で発表された彼らの研究では、300mmウェーハ上で、わずか200ナノメートルという極めて微細な銅インターコネクtpitchでのウェーハ対ウェーハハイブリッドボンディングに成功しました。これは、業界における既存の記録を大幅に更新するものです。特筆すべきは、ボンディング後のオーバーレイベクトルが全ダイにわたって40ナノメートル未満という驚異的な精度で達成されたことです。この高精度は、電気的接続の信頼性と性能を確保する上で極めて重要です。この成果は、誘電体材料としてSiCNを使用し、ボンディング前の化学機械研磨（CMP）ステップを含むプロセスフローの綿密な共同最適化によって可能となりました。

技術的意義と将来展望

この200nmピッチハイブリッドボンディングの成功は、次世代コンピューティングアーキテクチャの発展に多大な影響を与えます。特に、ロジックチップとロジックチップ、あるいはメモリチップとロジックチップを垂直に積層する際に、これまでにない高密度なインターコネクtpitchを可能にします。これにより、データ伝送のボトルネックが解消され、AIやHPCアプリケーションの性能が飛躍的に向上することが期待されます。この技術は、チップレットベースの設計や3D-ICの実現を加速させ、半導体業界全体のロードマップにおいてハイブリッドボンディングが果たす役割をさらに重要なものにするでしょう。将来的には、より高機能で低消費電力なデバイスの実現に向けた基盤技術となることが期待されています。

元記事: <https://www.evgroup.com/company/news/detail/imec-and-ev-group-demonstrate-wafer-to-wafer-hybrid-bonding-with-200nm-interconnect-pitch-and-record-high-overlay-accuracy>

収集日: 2026年05月29日 | 自動記事収集・翻訳システム (Gemini API使用)

Hanmi Semiconductor、HBM4向けTCボンダーのQ2回復を予測し米国市場拡大を計画

公開日 2026年05月22日 BigGo Finance 韓国



概要

Hanmi Semiconductorは、AI半導体需要の加速に牽引され、2026年第2四半期からHBM4向けTCボンダーの受注が大幅に回復すると予測しています。HBM3EからHBM4への移行期間における受注ギャップにより第1四半期の業績は一時的に低迷しましたが、同社は通期で過去最高の売上高と営業利益を達成すると強気の見通しを示しています。Hanmi Semiconductorは、HBM TCボンダー技術の世界的リーダーとして、Plant 7に1,000億ウォン（約6,600万ドル）を投資し、米国のマイクロン、SK Hynix、テスラ工場を含むグローバルサプライチェーンをサポートするためサンノゼに「Hanmi USA」を設立する計画です。

HBM4需要の急増とHanmi Semiconductorの戦略

HBM（High Bandwidth Memory）は、AIアクセラレータの中核部品として、その需要が爆発的に増加しています。特に次世代のHBM4は、より高い帯域幅と積層数を実現するため、高度な熱圧縮（TC）ボンディング技術が不可欠です。Hanmi Semiconductorは、このTCボンダー市場における世界的リーダーであり、2026年第2四半期からHBM4向けTCボンダーの受注が大幅に回復すると予測しています。これは、AI半導体市場の継続的な成長と、HBM4への技術移行が本格化することによるものです。同社は、HBM3EからHBM4への過渡期に発生した第1四半期の受注ギャップによる一時的な業績不振を乗り越え、通期では過去最高の財務実績を見込んでいます。

グローバル展開と米国市場への注力

Hanmi Semiconductorは、増大するHBM需要に対応するため、グローバルな生産能力とサービス体制を強化する戦略を進めています。その一環として、韓国国内のPlant 7に1,000億ウォン（約6,600万ドル）という大規模な投資を行い、生産能力を拡張します。さらに、同社は米国市場でのプレゼンスを強化するため、サンノゼに「Hanmi USA」を設立する計画を発表しました。この米国拠点は、マイクロン、SK Hynix、そしてテスラといった主要な顧客の米国工場に対するサポート体制を強化し、現地のサプライチェーンとの連携を深めることを目的としています。米国における生産拠点の拡大は、地政学的リスクを考慮した半導体サプライチェーンの再編という、より広範なトレンドにも合致しています。

HBM TCボンダー技術の重要性と将来展望

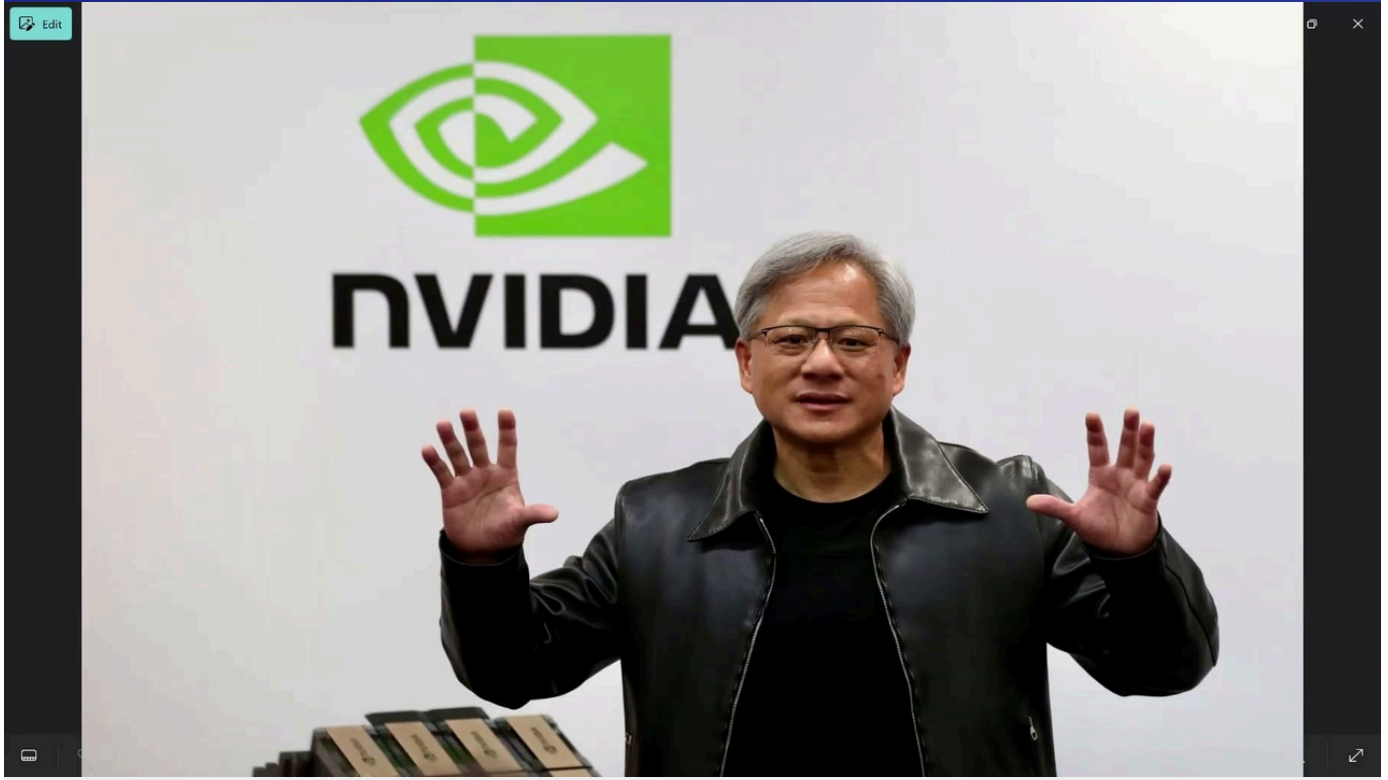
HBMの積層数が増加し、より微細なピッチでのチップ積層が求められる中、TCボンダーはHBMの性能と信頼性を決定づける上で極めて重要な装置です。Hanmi Semiconductorの技術は、このような高度な要件を満たし、HBMの量産を可能にする鍵となっています。同社の積極的な投資とグローバル展開戦略は、HBM市場の成長を背景に、将来的な収益拡大と市場シェアのさらなる拡大を目指すものです。AI技術の進化が続く限り、HBMの需要は堅調に推移し、それに伴いHanmi Semiconductorのような先端パッケージング装置メーカーの重要性も高まり続けるでしょう。特に、HBM4以降の次世代HBMへの対応が、同社の長期的な成長を左右する主要因となります。

元記事: https://finance.biggo.com/news/md1vTZ4BmHHDnbggy_8Ej

収集日: 2026年05月29日 | 自動記事収集・翻訳システム (Gemini API使用)

NVIDIAのCoWoSパッケージングボトルネック緩和も、HBM供給が新たな主要制約に浮上

公開日 2026年05月21日 24/7 Wall St. アメリカ



概要

AIアクセラレータの長年の生産ボトルネックであったTSMCのCoWoS先端パッケージング能力は拡大し、供給逼迫が緩和されつつあります。しかし、今や高帯域幅メモリ（HBM）の供給が新たな主要な制約として浮上しています。TSMCは2026年末までにCoWoS生産能力を月産約35,000ウェーハに拡大し、2027年には月産120,000～140,000ウェーハに達する見込みですが、HBM、特にNVIDIAの次世代GPU向けのHBM3EやHBM4の生産は、従来のDRAMよりはるかに多くのウェーハ容量を消費します。このため、SK Hynix、Samsung、Micronの3社しか量産できないHBMの不足が、AIアクセラレータの出荷を直接的に制限しています。

CoWoSボトルネックの緩和とHBMの新たな課題

過去数年間、NVIDIAの高性能AIアクセラレータの生産において、TSMCのCoWoS（Chip-on-Wafer-on-Substrate）先端パッケージング能力が最大のボトルネックとなっていました。しかし、TSMCの大規模な設備投資により、このCoWoS供給の逼迫は徐々に緩和されつつあります。報道によると、TSMCは2026年末までにCoWoSの生産能力を月産約35,000ウェーハに拡大し、さらに2026年末から2027年までには月産120,000～140,000ウェーハにまで引き上げる可能性があります。これはAIチップ供給にとって朗報ではありますが、CoWoSの制約が和らぐにつれて、新たな、そしてより深刻なボトルネックが浮上しました。それが高帯域幅メモリ（HBM）の供給不足です。

HBM供給の現状と制約要因

NVIDIAの次世代GPU、例えばBlackwell Ultra（B300）やRubinなどの高性能AIアクセラレータは、膨大な量のHBM、特にHBM3EやHBM4を必要とします。しかし、HBMの生産は、従来のDRAMと比較してはるかに多くのウェーハ容量を消費します。さらに、HBMを量産できるメーカーは、世界的にSK Hynix、Samsung、Micronのわずか3社に限られています。この限られた供給元と高い製造コスト、そして製造プロセスの複雑さが相まって、HBMの供給がAIアクセラレータ市場における新たな主要な制約要因となっています。需要は供給を大幅に上回る状態が続いており、NVIDIAを含むハイパースケーラー各社は、安定したHBM供給を確保するために、メモリメーカーとの長期契約を締結せざるを得ない状況です。

市場への影響と将来展望

HBMの供給不足は、AIアクセラレータの最終的な出荷台数を直接的に制限し、AIインフラの構築スピードに影響を与えています。これは、NVIDIAのようなAIチッププロバイダーだけでなく、AIサービスを展開するクラウド企業にとっても大きな課題です。長期的には、メモリメーカーはHBM生産能力の増強を加速させる必要がありますが、これには多額の設備投資と時間を要します。また、HBMの製造技術、特に積層技術や熱管理の改善も継続的に求められるでしょう。市場は、CoWoSの供給緩和という進展を歓迎しつつも、HBM不足という新たな現実に対し、サプライチェーン全体での協調的な取り組みとイノベーションを通じて対応していく必要があります。これにより、AI技術のさらなる普及と発展が実現されるでしょう。

元記事: <https://247wallst.com/investing/2026/05/21/nvidia-could-10x-its-sales-one-bottleneck-is-stopping-it/>

収集日: 2026年05月29日 | 自動記事収集・翻訳システム (Gemini API使用)

NVIDIAのジェンスン・ファンCEO、台湾のAIサプライチェーンへの年間投資が1,500億ドルに到達する見込みを表明

公開日 2026年05月27日 BigGo Finance 台湾



概要

NVIDIAのジェンスン・ファンCEOは、同社の台湾AIサプライチェーンへの年間調達・投資額が将来的に1,500億ドルに達する見込みだと発表しました。これは4～5年前の100億～150億ドルから10倍の増加、現在の年間約1,000億ドルからも大幅な増加となります。この巨額の投資は、NVIDIAのAI戦略における台湾の極めて重要な役割を強調しており、特にTSMCは3nmウェーハとCoWoS先端パッケージングへの強力な受注から大きな恩恵を受けています。TSMCは、これらの先進技術に対する堅調な需要が2027年まで続き、供給が依然として需要を下回る状況が続くと予測しています。

NVIDIAの台湾サプライチェーンへのコミットメント

NVIDIAのCEO、ジェンソン・フアン氏は、台湾のAIサプライチェーンに対する同社の年間調達および投資が将来的に1,500億ドルという驚異的な規模に達する見込みであることを発表しました。これは、わずか4~5年前の年間100億~150億ドルのレベルから10倍に増加し、現在の年間約1,000億ドルからも大幅な上昇を示すものです。この発表は、NVIDIAがAI時代において台湾の半導体エコシステムを極めて戦略的なパートナーと位置付けていることを明確に示しています。

TSMCの恩恵と市場への影響

NVIDIAからのこの巨額なコミットメントは、特に台湾積体回路製造（TSMC）に大きな利益をもたらします。TSMCは、NVIDIAの次世代AIチップに不可欠な3nmプロセス技術によるウェーハ製造と、CoWoS（Chip-on-Wafer-on-Substrate）先端パッケージングサービスにおいて、引き続き強力な受注を享受すると見込まれています。フアンCEOの発言は、AIアクセラレータの需要が引き続き供給能力を上回るペースで成長しており、TSMCの最先端製造およびパッケージング技術に対する需要が2027年まで堅調に推移するというTSMC自身の見通しを裏付けるものです。

台湾の半導体産業における戦略的地位

NVIDIAのこのような大規模な投資は、台湾が世界の半導体サプライチェーン、特にAIチップ製造において揺るぎない中心地であることを再確認させるものです。台湾の企業は、設計、製造、パッケージング、テストに至るまで、AI時代の革新を支える包括的なエコシステムを構築しています。この投資は、台湾の技術革新能力と製造能力に対する国際的な信頼の表れであり、将来にわたる半導体産業における台湾の優位性をさらに強化する要因となるでしょう。また、NVIDIAが今後もAI技術の最前線を走り続ける上で、台湾との強固なパートナーシップが不可欠であることが改めて示されました。

元記事: <https://finance.biggo.com/news/lw93Z54BDXrLZJaArqwN>

#11 東京エレクトロンとSamsung、ハイブリッドボンディング装置への設備投資を大幅増強

公開日 2026年05月26日 Mordor Intelligence 日本, 韓国



SAMSUNG
ELECTRO-MECHANICS



micron™



概要

半導体業界が先端パッケージングへと移行する中、東京エレクトロンとSamsungは、ハイブリッドボンディングおよび一般的なボンディング装置への設備投資を大幅に増やしています。この投資は、GPUおよびAIアクセラレータ向けのTSV（Through-Silicon Via）市場における長期的な成長を確保することを目的としています。特に、HBM4の登場によりメモリベンダーがベースダイロジックの製造を最先端ファウンドリに外部委託する動きが加速しており、これにはTSVアライメントの厳格な公差と銅対銅ボンディングの要件が増加するため、ハイブリッドボンディングへの移行が不可欠となっています。

先端パッケージングへのシフトと投資の背景

現在の半導体業界は、ムーアの法則の物理的限界に近づきつつあり、性能向上の主要な推進力は、従来の微細化から先端パッケージング、特にヘテロジニアスインテグレーションへとシフトしています。GPUやAIアクセラレータといった高性能チップは、複数のチップを効率的かつ高密度に統合することで、データ転送速度と電力効率を最大化する必要があります。このニーズに応えるため、東京エレクトロン（TEL）とSamsungという半導体製造装置およびチップ製造の巨人たちが、ハイブリッドボンディングおよび関連ボンディング装置への設備投資を大幅に増やしています。この戦略的投資は、次世代半導体製品の中核となるTSV（Through-Silicon Via）技術を巡る市場での長期的なリーダーシップを確保することを目的としています。

HBM4とハイブリッドボンディングの不可欠性

特に、高帯域幅メモリ（HBM）の最新世代であるHBM4の登場は、ハイブリッドボンディング技術の重要性を一層高めています。HBM4では、メモリダイとロジックベースダイの積層がさらに複雑化し、接続密度が飛躍的に向上します。このため、従来のマイクロバンプボンディングでは対応が困難なレベルの微細ピッチと高い接続信頼性が求められます。さらに、メモリベンダーがHBMのベースダイロジックの製造を、TSMCなどの最先端ファウンドリに外部委託する動きが加速しており、これにより、異なる製造元からのダイを高精度に統合するためのTSVアライメント公差が厳しくなり、かつ強固な銅対銅ボンディングの要件が増加しています。ハイブリッドボンディングは、これらの厳格な要件を満たす唯一の実現可能なソリューションとして認識されています。

市場への影響と将来展望

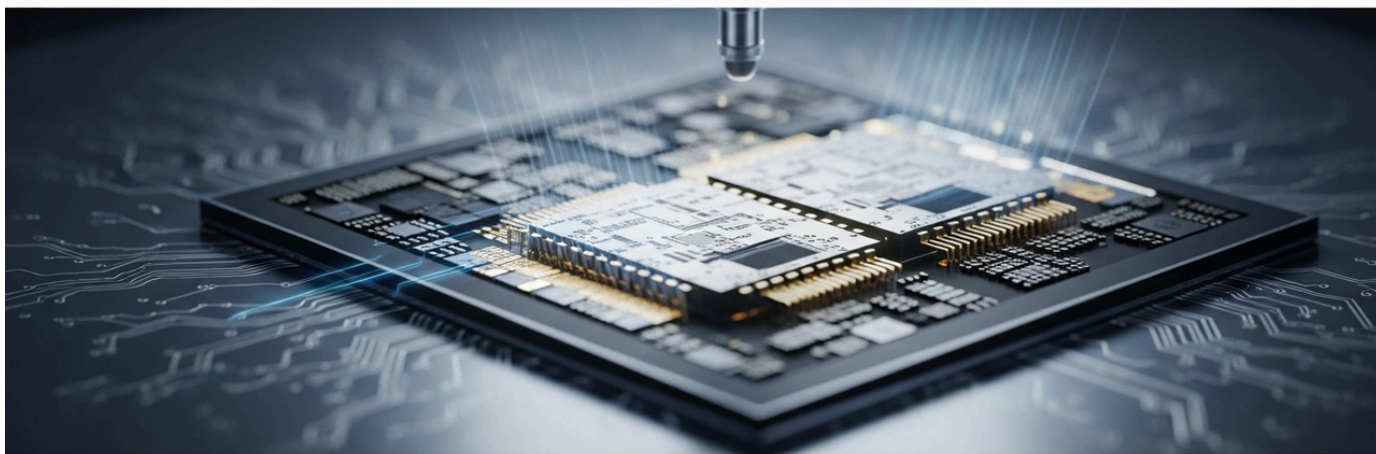
東京エレクトロンとSamsungによる大規模な設備投資は、ハイブリッドボンディング技術の産業導入を加速させ、半導体製造プロセスの新たな標準を確立する可能性があります。TELはボンディング装置の主要サプライヤーとして、Samsungは先端メモリおよびシステムLSIの主要メーカーとして、それぞれの強みを生かし、HBM4以降の高性能チップの量産体制を強化します。この動きは、AIおよびHPC市場の継続的な成長を支える基盤となり、サプライチェーン全体にわたる技術革新を促進するでしょう。長期的には、ハイブリッドボンディングは、3D-ICやチップレット技術のさらなる発展を可能にし、半導体業界全体の性能と効率の限界を押し上げる鍵となる技術として、その地位を確固たるものにする予想されます。

元記事: <https://www.mordorintelligence.com/industry-reports/through-silicon-via-tsv-for-gpu-and-ai-accelerators-market>

収集日: 2026年05月29日 | 自動記事収集・翻訳システム (Gemini API使用)

#12 ヘテロジニアスインテグレーションがハイブリッドボンディングで進化、電力・熱管理の課題に対応

公開日 2026年05月21日 IndexBox グローバル



概要

ヘテロジニアスインテグレーション、特に微細ピッチインターコネクトによるチップの垂直積層は、将来のAI、5G/6Gエレクトロニクスにとって極めて重要であり、データ伝送距離と消費電力を大幅に削減します。ハイブリッドボンディングは、チップ間インターコネクトの密度と効率を向上させていますが、ボンディング界面での新たな信頼性の懸念も生じており、さらなる研究が求められます。AIワークロードの拡大に伴い、電力供給と熱管理が制限要因となっており、パッケージ内での効率的な電圧レギュレーションや、トランジスタ数増加に対応する高度な冷却ソリューションへの関心が高まっています。

ヘテロジニアスインテグレーションの重要性

AI、5G/6G通信、高性能コンピューティングといった次世代エレクトロニクスの中核を担う半導体チップは、これまで以上に高い性能と電力効率が求められています。これを実現する鍵となるのが、ヘテロジニアスインテグレーション（異種統合）です。これは、異なる機能を持つ複数のチップ（ロジック、メモリ、I/Oなど）を一つのパッケージ内で統合する技術であり、特に微細ピッチインターコネクトを用いてチップを垂直に積層することで、データ伝送距離を劇的に短縮し、結果として信号遅延と消費電力を大幅に削減します。これにより、従来のモノリシックチップでは達成困難なレベルの性能向上と小型化が可能となります。

ハイブリッドボンディングによる進化と課題

ヘテロジニアスインテグレーションの最前線にあるのがハイブリッドボンディング技術です。これは、チップ間の直接的な銅対銅接続と誘電体層の融合により、従来のマイクロバンプ接続と比較して圧倒的に微細なピッチと高い接続密度を実現します。これにより、チップ間データ転送の帯域幅と効率が飛躍的に向上します。しかし、ハイブリッドボンディングは同時に新たな技術的課題も提起しています。特に、ボンディング界面における機械的ストレス、熱膨張係数の不一致、電気的信頼性といった点が挙げられます。これらの課題を解決するためには、材料科学、プロセス制御、設計最適化の面でさらなる研究と洗練されたアプローチが不可欠です。

電力供給と熱管理の限界

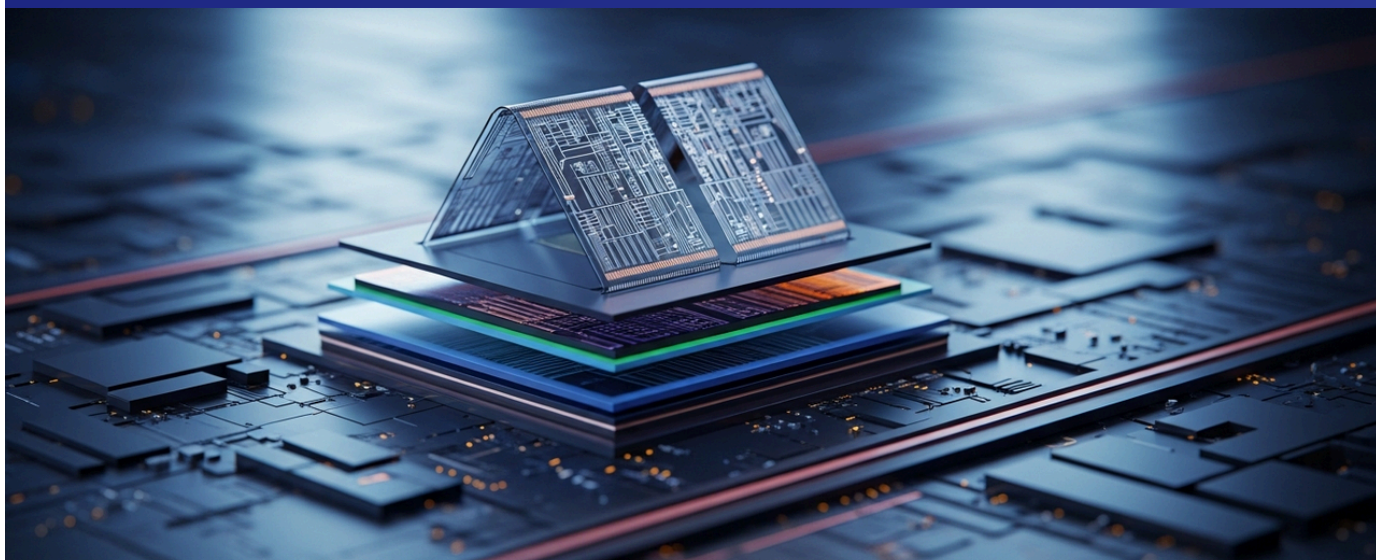
AIワークロードの規模と複雑さが増大するにつれて、半導体チップの消費電力と発熱量も劇的に増加しています。現在、電力供給と熱管理は、チップ性能をこれ以上スケールアップさせる上での最も主要な制限要因となりつつあります。高密度に集積されたチップパッケージ内での電力供給は、電圧降下とノイズの課題に直面し、安定した動作を妨げる可能性があります。また、発生する熱を効率的に除去できなければ、チップの性能低下や信頼性の問題を引き起こします。このため、業界では、パッケージ内に直接電圧レギュレーターを統合する技術や、液冷、マイクロ流体冷却、3D冷却といった革新的な熱管理ソリューションへの関心が高まっています。トランジスタ数の継続的な増加に対応するためには、これらの課題への包括的な解決策が不可欠です。

元記事: <https://www.indexbox.io/blog/heterogeneous-integration-key-to-ai-5g6g-and-future-electronics/>

収集日: 2026年05月29日 | 自動記事収集・翻訳システム (Gemini API使用)

#13 Huawei、「Logic Folding」と超微細ハイブリッドボンディングで1.4nm相当のチップ密度を目指す「Tao Law」を提案

公開日 2026年05月25日 China as a System 中国



Huawei's Tanm "Tao Law"

1.4nm equivalent chip Logic Folding "Logic Folding and Ultra-fine hybrid bonding"



概要

Huaweiは、半導体プロセス開発における新たなアプローチ「Tao Law」を提案しました。これは、「Logic Folding」と呼ばれる手法と超微細ピッチハイブリッドボンディング、TSV技術を組み合わせることで、5年以内に1.4nm相当のチップ密度を達成することを目指すものです。Logic Foldingは、ロジックゲートを垂直に積層されたアクティブ層に分散配置し、これらの層を極めて微細なピッチのハイブリッドボンディングで接続します。Kirin 2026では1.5 μ mのハイブリッドボンディングピッチを達成しており、2026年秋にはLogic Foldingを用いたモバイルSoCチップの発表を予定しており、有効トランジスタ密度を55%向上させる目標を掲げています。

「Tao Law」と「Logic Folding」の概念

Huaweiが提唱する「Tao Law」は、従来のムーアの法則に代わる、半導体プロセスの新たなスケーリングアプローチです。これは、単一の平面上のトランジスタ数を微細化するだけでなく、チップを垂直方向に拡張することで、実質的なチップ密度を向上させることを目指しています。この戦略の中心となるのが「Logic Folding」という革新的な方法論です。Logic Foldingは、ロジックゲートを単一のシリコン層に限定するのではなく、垂直に積層された複数のアクティブ層に分散配置します。これにより、同じフットプリント内でより多くのトランジスタを物理的に搭載することが可能になり、事実上のプロセスノード微細化に匹敵する効果をもたらします。このアプローチは、現在の微細化技術が直面する物理的・経済的限界を乗り越える可能性を秘めています。

超微細ハイブリッドボンディングとTSV技術の役割

Logic Foldingの実現には、極めて高度なチップ積層技術と相互接続技術が不可欠です。Huaweiは、このために超微細ピッチハイブリッドボンディングとTSV（Through-Silicon Via）技術の中核に据えています。ハイブリッドボンディングは、チップ間の直接的な銅対銅接続を可能にし、従来のマイクロバンプよりもはるかに微細な接続ピッチを実現します。これにより、垂直に積層されたロジック層間のデータ転送速度と効率が最大化されます。Kirin 2026では、すでに1.5 μ mという画期的なハイブリッドボンディングピッチを達成しており、この技術の成熟度を示しています。

次世代モバイルSoCと市場への影響

Huaweiは、この「Tao Law」とLogic Folding技術を応用したモバイルSoC（System-on-Chip）チップを2026年秋に発表する予定です。この新チップは、従来の設計と比較して有効トランジスタ密度を55%向上させることを目標としており、これによりスマートフォンやその他のモバイルデバイスの性能が飛躍的に向上することが期待されます。Logic Foldingの実現には、複数の積層ダイを単一の連続的な設計エンティティとして扱うための、電子設計自動化（EDA）ツールチェーンにおける大幅な進歩が不可欠となります。Huaweiのこの動きは、米国の輸出規制によって先端ファウンドリへのアクセスが制限される中でも、革新的なパッケージング技術によって性能向上を追求する中国半導体産業の強い意志を示すものであり、世界の半導体ロードマップに新たな方向性を提示する可能性を秘めています。

元記事: <https://leonliao.substack.com/p/tau-scaling-law-vs-moores-law-from>

収集日: 2026年05月29日 | 自動記事収集・翻訳システム (Gemini API使用)

#14 韓国のHBMテスト装置ボトルネックが国内サプライヤー育成を促進

公開日 2026年05月23日 eferix.substack.com 韓国



概要

高帯域幅メモリ（HBM）のテスト装置分野は、これまでAdvantestやTeradyneといった外国企業が支配的であり、これが韓国のHBM生産能力拡大における国家レベルのサプライチェーンの脆弱性として認識されてきました。この状況を受け、SK Hynixは国内サプライヤーの育成に積極的に取り組んでいます。その結果、Digital Frontier社は現在、HBM4ウェーハテスターの量産を開始しており、2026年第1四半期だけで約1,960億ウォン（約1億4,300万ドル）相当のHBM4契約を獲得しました。これは、この重要な分野における韓国国内の能力が急速に成長していることを浮き彫りにしています。

HBMテスト装置の重要性とボトルネック

HBM (High Bandwidth Memory) は、AIアクセラレータの中核をなす部品であり、その性能と信頼性は、厳格なテスト工程によって保証されます。特に、多数のメモリダイを積層するHBMの複雑な構造は、高度なウェーハレベルテストや最終テストを必要とします。これまで、HBMテスト装置の市場は、日本のAdvantestや米国のTeradyneといった少数のグローバル企業によって支配されており、韓国は自国のHBM生産において、この分野での外部依存度が高いというボトルネックを抱えていました。この依存性は、サプライチェーンの安定性や地政学的リスクの観点から、韓国にとって国家レベルの脆弱性として認識されていました。

SK Hynixによる国内サプライヤー育成戦略

このボトルネックを解消するため、韓国の主要HBMメーカーであるSK Hynixは、国内の半導体装置サプライヤーの育成に戦略的に取り組んできました。これは、単にコスト削減だけでなく、サプライチェーンの強靱化と技術的自立を目指すものです。SK Hynixは、有望な国内企業に対して技術協力や投資を行い、HBMテスト装置の開発を支援してきました。この積極的な取り組みが実を結び、Digital Frontier社のような国内企業がHBM4向けの高度なテスト装置を開発し、量産体制に入ることができました。

Digital Frontier社の台頭と市場への影響

Digital Frontier社は、HBM4ウェーハテスターの量産を成功させ、2026年第1四半期だけで約1,960億ウォン（約1億4,300万ドル）という大規模なHBM4関連契約を獲得しました。この実績は、同社が世界のHBMサプライチェーンにおいて重要なプレイヤーとして急速に台頭していることを示しています。Digital Frontier社の成功は、韓国がHBM生産におけるボトルネックを克服し、国内エコシステム内で先端技術の垂直統合を進める上で大きな意味を持ちます。これにより、韓国はHBM生産における競争力をさらに高め、将来的なAIチップ需要の増加に安定して対応できる体制を強化することが期待されます。長期的には、この動きはHBMテスト装置市場における勢力図を変化させ、多様な技術革新を促す可能性を秘めています。

#15 AMD、次世代Zen 7 CPU向けにPowertechのFOPLP技術を検討

公開日 2026年05月25日 TechPowerUp アメリカ

Leadership CPU Core Roadmap



概要

AMDは、コードネーム「Grimlock」と呼ばれる次期「Zen 7」アーキテクチャのCPU向けに、Powertech Technologyのファンアウトパネルレベルパッケージング（FOPLP）ソリューションを含む、様々な先端パッケージング技術を検討していると報じられています。この動きは、AMDがより複雑なチップレット構成を構築し、パッケージングサービスにおけるTSMCへの依存度を潜在的に低減するための戦略を示唆しています。フラッグシップの「Grimlock」CCDは16コアを搭載し、次世代3D V-Cacheと組み合わせることで、L3キャッシュの総容量が最大224MBに達する可能性があるると推測されています。

次世代CPUにおける先端パッケージングの必要性

CPU性能の継続的な向上は、微細化技術だけでなく、高度なパッケージング技術にも大きく依存するようになってきました。特に、AMDが積極的に推進するチップレットアーキテクチャは、複数の小さなチップ（チップレット）を一つのパッケージ内で統合することで、製造歩留まりを向上させ、設計の柔軟性を高めます。次期「Zen 7」アーキテクチャのCPU（コードネーム「Grimlock」）では、さらなる性能向上と機能統合が求められるため、現行のパッケージング技術の限界を突破する新しいソリューションの導入が不可欠とされています。この背景のもと、AMDは様々な先端パッケージング技術の検討を進めています。

Powertech TechnologyのFOPLP技術への関心

AMDが検討している主要な技術の一つが、Powertech Technologyが提供するファンアウトパネルレベルパッケージング（FOPLP）ソリューションです。FOPLPは、従来のウェーハレベルパッケージングと比較して、より大きな矩形のパネルを使用することで、チップレットの製造効率とコスト効率を大幅に向上させることができます。これにより、AMDはより複雑で高性能なチップレット構成を、経済的に実現できるようになる可能性があります。Powertech TechnologyのFOPLP技術は、特に高密度な再配線層（RDL）を必要とする高性能CPUパッケージングにおいて、その優位性を示すことが期待されています。

AMDの戦略的狙いとZen 7 CPUの展望

AMDがFOPLPのような先端パッケージング技術を検討する背景には、複数の戦略的狙いがあります。一つは、AIやHPC（高性能コンピューティング）向けに、さらに高性能で複雑なチップレット構成を効率的に構築することです。もう一つは、パッケージングサービスにおけるTSMCへの依存度を潜在的に低減し、サプライチェーンの多様化を図ることです。TSMCは現在、CoWoSなどの先端パッケージングで高い需要を抱えており、供給制約が生じる可能性があります。AMDが自社のパッケージングオプションを拡大することは、将来的な生産能力と柔軟性の確保に繋がります。

次期「Zen 7」アーキテクチャのフラッグシップである「Grimlock」 CCDは、16コアを搭載すると推測されており、次世代3D V-Cache技術と組み合わせることで、L3キャッシュの総容量は最大224MBにも達する可能性があります。このような大容量キャッシュは、AIワークロードやゲーミングにおいて非常に高い性能を発揮することが期待されます。PowertechのFOPLP技術の採用は、「Grimlock」 CPUのコストと性能のバランスに大きく影響し、AMDが競争の激しいCPU市場で優位性を確立する上で重要な役割を果たすでしょう。

元記事: <https://www.techpowerup.com/349330/amd-zen-7-ip-to-use-tsmc-a14-node-and-more-advanced-packaging?cp=3>

収集日: 2026年05月29日 | 自動記事収集・翻訳システム (Gemini API使用)