

半導体後工程

Weekly Intelligence Report

2026-05-23 | 11件 | 5カ国

troy-technical.jp

今週のキーワード

AI後工程

生産能力増強と次世代材料・技術

11

件
記事数

5

カ国
対象国数

13万

枚/月
TSMC CoWoS

85億

ドル
ASE投資額

今週的全11記事 — 5軸評価で読むべき記事を選ぶ

各列の見方 — 技術新規性：ブレークスルー度合い 実用化距離：製品として使える近さ 市場インパクト：業界全体への影響規模
データ信頼性：定量データ・査読の有無 日本関連度：日本の企業・サプライチェーンとの直接的関連性

#	記事タイトル	種別	技術 新規性	実用化 距離	市場 インパクト	データ 信頼性	日本 関連度	一行サマリ
#01	Amkor米国PKG拡張	企業戦略	●●○○○ ○	●●●●● ○	●●●●● ○	●●●●● ○	●●○○○ ○	AmkorがCHIPS法資金を得て米国アリゾナ州で先端パッケージング生産能力を大幅拡張。
#02	EVG先端PKG技術	技術発表	●●●○○ ○	●●●○○ ○	●●●○○ ○	●●●○○ ○	●●●○○ ○	EV GroupがECTC 2026でハイブリッドボンディング、レイヤー転写、マスクレスリソグラフィを発表。
#03	TSMC CoWoS増産	企業戦略	●●○○○ ○	●●●●● ○	●●●●● ●	●●●●● ○	●●●●● ○	TSMCがAI需要に対応しCoWoS/SoIC生産能力を2026年末までに月産13万枚へ大幅拡張。
#04	ASE/WUS AI/ハブ	企業戦略	●●○○○ ○	●●●●● ○	●●●●● ○	●●●●● ○	●●●○○ ○	ASEとWUSが台湾高雄に350億台湾ドルを投じ、最先端AIパッケージングハブを共同建設。
#05	ガラス基板PKG	技術トレンド	●●●●● ○	●●●○○ ○	●●●●● ●	●●●○○ ○	●●●●● ●	ガラス基板がAIチップパッケージングのボトルネックを解消する次世代材料として注目され、Rapidusも開発推進。
#06	ASE投資85億ドル	企業戦略	●●○○○ ○	●●●●● ○	●●●●● ○	●●●●● ○	●●●○○ ○	ASEがAIチップ需要に対応し、2026年の先端パッケージング投資を過去最高の85億ドルに増強。
#07	Rapidus光電集積	技術開発	●●●●● ○	●●○○○ ○	●●●●● ○	●●●○○ ○	●●●●● ●	RapidusがLSTCと連携し、北海道で光電集積先端パッケージングプロジェクトを始動。AIチップ消費電力削減へ。
#08	Rapidus試験生産	企業戦略	●●○○○ ○	●●●○○ ○	●●●○○ ○	●●●○○ ○	●●●●● ●	Rapidusが2026年春までに北海道で先端パッケージング試験生産ラインを稼働開始する計画。
#09	KLA検査・計測	製品紹介	●●●○○ ○	●●●●● ●	●●●○○ ○	●●●●● ○	●●●○○ ○	KLAが2.5D/3D統合など先端パッケージング向けウェーハ検査・計測ソリューションでAIチップ生産を強化。
#11	RapidusガラスPLP	技術検討	●●●●● ○	●●○○○ ○	●●●●● ●	●●●○○ ○	●●●●● ●	RapidusがAI/HPC向け次世代プロセス実現へ、大型ガラスパネルを用いたPLPの採用を検討。
#14	Camtek検査・計測	製品紹介	●●●○○ ○	●●●●● ●	●●●○○ ○	●●●●● ○	●●●○○ ○	Camtekが先端パッケージング市場向けに高精度2D/3D検査・計測ソリューションを提供し、歩留まりと効率を向上。

●●●●● High ●●●○○ Med-High ●●○○○ Med ●○○○○ Low | 背景黄色 = 注目記事

今週、判断に影響する3つの問い

① AIチップのボトルネック解消に向け、自社のサプライチェーンは十分なレジリエンスを確保できているか？

TSMCがCoWoS生産能力を2026年末までに月産13万枚へ4倍増強する一方、AmkorやASEも巨額投資でキャパシティを拡大しています。AIチップの需要は爆発的であり、この供給拡大が自社の調達戦略にどのような影響を与えるか、また、特定のOSATへの依存度が高まっていないか、緊急に評価が必要です。

② ガラス基板や光電集積といった次世代パッケージング技術への対応戦略は、競合他社に先行できているか？

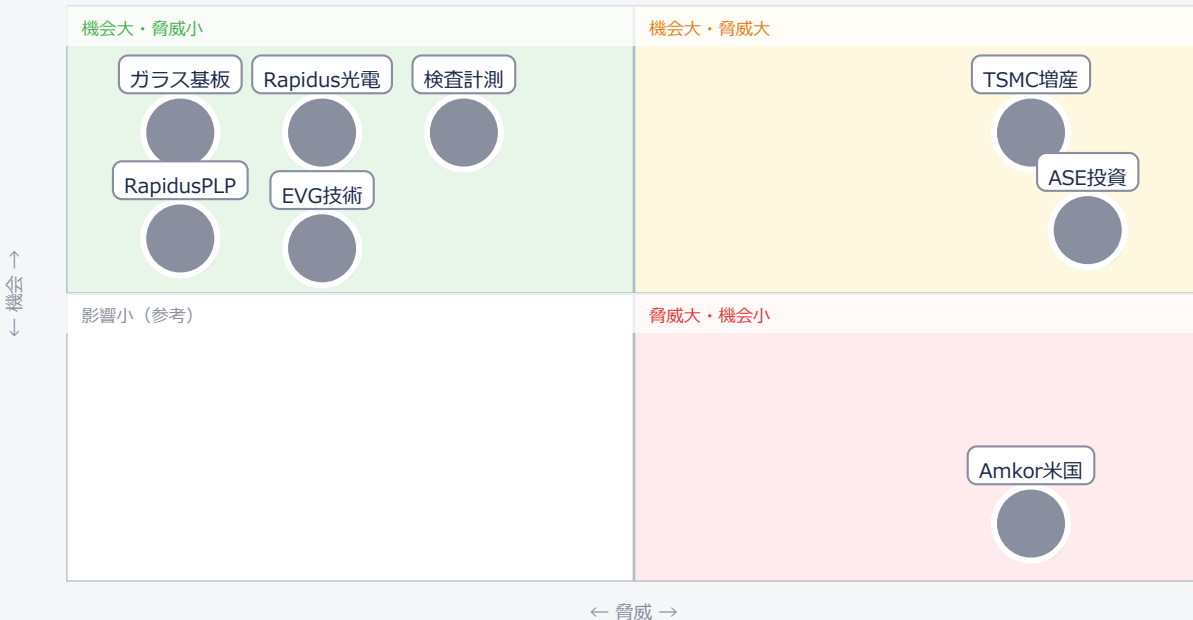
Intel、TSMC、Samsung、Rapidusがガラス基板開発を推進し、SK Absolicsは2026年量産を目指すなど、次世代材料への移行が加速しています。また、Rapidusは光電集積によるAIチップ消費電力削減という革新的なアプローチを始動。これらの技術トレンドに対し、自社のR&Dロードマップは十分な競争力を持っているか、見直す必要があります。

③ 日本の半導体産業復権の動き（Rapidus、LSTC）に対し、自社はどのように貢献し、恩恵を受ける計画か？

Rapidusは2nmプロセスと並行して、光電集積やガラス基板上PLPといった先端パッケージング技術の開発・試験生産を北海道で進めています。これは日本の半導体エコシステム全体に大きな機会をもたらす可能性があります。自社の材料、装置、または設計技術が、この動きの中でどのような役割を果たせるか、具体的な連携戦略を検討すべきです。

日本企業にとっての「機会 vs 脅威」

日本企業にとっての「機会 vs 脅威」マトリクス



項目	象限	↑ 機会	↓ 脅威
● ガラス基板	機会大	新規材料市場獲得	既存材料の代替
● Rapidus光電	機会大	AIチップ省電力化	技術難易度高
● RapidusPLP	機会大	次世代PKG主導	開発遅延リスク
● EVG技術	機会大	先端PKG技術連携	—

● 検査計測	機会大	歩留まり改善	—
● TSMC増産	注意	AIチップ供給安定	OSAT競争激化
● ASE投資	注意	装置材料需要増	OSAT競争激化
● Amkor米国	脅威大	—	米国サプライ強化

深掘り ① — AIチップPKGの次世代材料：ガラス基板

#05 | 2026/05/05 | TrendForce | 技術新規性 ●●●●○ 実用化距離 ●●●○○ 市場インパクト ●●●●●●
データ信頼性 ●●●○○ 日本関連度 ●●●●●●

AIチップの大型化に伴い、従来の有機基板では反り、信号伝送、熱管理、微細加工に限界が生じています。ガラス基板は、高い熱安定性、剛性、低誘電損失、平坦性、シリコンに近いCTEといった優れた特性により、これらの課題を克服する次世代材料として注目されています。

Intel、TSMC、Samsung、そして日本のRapidusといった主要企業がガラスインターポーザーやガラスコア基板の開発を推進しており、特にSK Absolicsは2026年の量産開始を目指すなど、実用化が加速しています。大面積パネルでの製造によるコスト削減も期待され、AIチップの性能向上とコスト効率化に大きく貢献する可能性を秘めています。

▶ 技術者の視点

ガラス基板は、AIチップの性能向上とコスト削減を両立する可能性を秘めた画期的な材料です。特に、大型ダイの反り抑制や高密度配線、低誘電損失は、HBM統合やチップレット技術の進化に不可欠な特性と言えます。SK Absolicsの2026年量産目標は非常にアグレッシブですが、これが実現すれば市場は一気にガラス基板へシフトするでしょう。日本企業にとっては、ガラス材料そのものや、ガラス基板に対応した製造装置、検査装置、そして接着・封止材の開発において大きな【機会】となります。一方で、既存の有機基板メーカーにとっては、市場シェアを奪われる【脅威】となり得ます。ガラス基板の微細加工技術や、シリコンとの異種材料接合における信頼性確保が実用化に向けた主要課題です。特に、熱膨張係数の差に起因する応力緩和技術は重要です。

深掘り ② — TSMCのCoWoS/SoIC生産能力戦略

#03 | 2026/05/14 | FinancialContent - Stock Market | 技術新規性 ●●○○○ 実用化距離 ●●●●○ 市場インパクト ●●●●●●
データ信頼性 ●●●●○ 日本関連度 ●●●●●○

TSMCは、AIチップの爆発的な需要に対応するため、CoWoSおよびSoICといった先端パッケージングの生産能力を大幅に拡張しています。2024年後半の月産約35,000枚から、2026年末までに月産130,000枚へと約4倍に引き上げる計画です。

この積極的な投資は、NvidiaやGoogleなどの主要顧客からの緊急注文に対応し、AIサプライチェーンの深刻なボトルネックを解消することを目的としています。新ファブ建設や8インチウエーハファブの転用など、多角的な戦略で能力増強を図り、AIハードウェアの基盤を築きます。

▶ 技術者の視点

TSMCのCoWoS/SoIC生産能力の4倍増強計画は、AIチップ市場の成長を裏付けるものであり、半導体サプライチェーン全体に極めて大きな【市場インパクト】を与えます。この数値は、AIチップの需要が予測をはるかに上回っていることを示唆しており、日本の半導体製造装置・材料メーカーにとっては、関連製品の需要が急増する大きな【機会】となります。特に、CoWoS製造に必要なボンディング装置、検査装置、フォトレジスト、封止材などの需要は高まるでしょう。一方で、日本のOSAT企業にとっては、TSMCの垂直統合的な動きが【脅威】となる可能性も考慮すべきです。TSMCが自社でパッケージング能力を強化することで、OSATへの発注が限定的になるリスクがあります。この増産計画は非常に具体的で信頼性が高く、今後のAIチップ市場の動向を占う上で重要な指標となります。

深掘り ③ — Rapidusの光電集積先端PKGプロジェクト

#07 | 2026/04/23 | creating nano technologies inc. (via Digitimes) | 技術新規性●●●●○ 実用化距離●●○○○
市場インパクト●●●●○ データ信頼性●●●○○ 日本関連度●●●●●

Rapidusは、LSTCおよび関連機関と連携し、北海道千歳市の工場周辺で光電集積に関する先端パッケージングプロジェクトを開始しました。これは、AIチップの莫大な消費電力課題に対し、チップレット間のデータ接続に光技術を導入することで大幅な電力削減を目指すものです。

2026年4月から本格的に開発が始動しており、Rapidusの2nmプロセス技術開発と密接に連携することで、ロジックチップと光電集積パッケージングの最適な統合を目指します。この技術は、データ転送速度向上と消費電力削減を両立し、次世代AIシステムの基盤となる可能性を秘めています。

▶ 技術者の視点

Rapidusによる光電集積パッケージングプロジェクトは、AIチップの消費電力という根本的な課題に挑む、非常に【技術新規性】の高い取り組みです。電気信号の限界を光で超えるというアプローチは、AI/HPC分野に大きな【市場インパクト】をもたらすでしょう。ただし、実用化距離はまだ応用研究段階であり、光デバイスと電気回路の集積、熱管理、製造コスト、信頼性といった未解決課題は山積しています。特に、チップレットレベルでの光インターコネクト実現には、超小型光素子の開発や高精度なアライメント技術が不可欠です。日本企業にとっては、光デバイス、光導波路材料、高精度ボンディング装置、検査装置など、幅広い分野で技術貢献と市場獲得の【機会】があります。Rapidusの2nmプロセスとの連携は、日本が先端半導体エコシステムを再構築する上で重要な一歩であり、このプロジェクトの進捗は注視すべきです。

その他の注目記事

Amkor Technology、アリゾナ州での先端パッケージング生産能力を大幅に拡張しCHIPS法資金を獲得
技術新規性●●○○○ 実用化距離●●●●○ 市場インパクト●●●●○

米国の半導体サプライチェーン強化に向けたAmkorの戦略的投資。CHIPS法による資金獲得は、今後の米国での製造拠点構築のモデルとなる。

EV GroupがECTC 2026でヘテロジニアス統合と先端パッケージング向け主要技術を発表
技術新規性●●●○○ 実用化距離●●●○○ 市場インパクト●●●○○

ハイブリッドボンディング、レイヤー転写、マスクレスリソグラフィは、次世代3D NANDやHBMスタックに不可欠な技術。装置メーカーの動向は要注目。

ASEとWUS、高雄に最先端AIパッケージングハブを共同建設：350億台湾ドルの戦略的投資
技術新規性●●○○○ 実用化距離●●●●○ 市場インパクト●●●●○

世界最大のOSATであるASEのAIパッケージングへの巨額投資は、AIチップの供給能力を大きく左右する。FOCoSやFC BGA技術の進化に貢献するだろう。

Rapidus、北海道で先端パッケージング試験生産ラインを2026年春までに稼働開始へ
技術新規性●●○○○ 実用化距離●●●○○ 市場インパクト●●●○○

Rapidusが2nmプロセスと連携し、先端パッケージングの試験生産ラインを稼働させることは、日本の半導体エコシステム構築に向けた重要なマイルストーン。

KLA、先端パッケージング向けウェーハ検査・計測ソリューションでAIチップ生産を強化
技術新規性●●●○○ 実用化距離●●●●● 市場インパクト●●●○○

複雑化する先端パッケージングにおいて、KLAのAI搭載検査・計測ソリューションは歩留まり向上に不可欠。品質管理の重要性が増している。

今週のアクション提案

記事評価マトリクスと機会/脅威分析を踏まえたアクション提案です。

■ 即時（今週中）

- 【調達】 主要OSAT（TSMC, ASE, Amkor）の先端パッケージング能力増強計画を再確認し、自社のAIチップ調達戦略におけるリスクと機会を評価する。
- 【R&D;】 ガラス基板および光電集積技術に関する最新の技術動向レポートを収集し、自社の材料・装置技術との関連性を検討する。

■ 短期（1ヶ月）

- 【経営企画】 RapidusおよびLSTCとの連携可能性について情報収集を開始し、日本の先端半導体エコシステムへの参画機会を検討する。
- 【半導体PKG】 ガラス基板対応の接着・封止材、および光電集積向け材料の要求特性を定義し、サプライヤー候補との初期協議を開始する。
- 【R&D;】 先端パッケージング向け検査・計測装置（KLA, Camtek等）の最新機能を調査し、自社製造ラインへの導入による歩留まり改善効果を評価する。

■ 中長期（四半期～）

- 【R&D;】 ガラス基板や光電集積技術の実用化に向けた、接着・封止材、基板材料、製造装置、検査装置の具体的な開発ロードマップを策定し、必要なリソースを確保する。
- 【EV設計】 AIチップの消費電力削減技術（光電集積など）が将来の車載AIシステム設計に与える影響を評価し、次世代プラットフォームの要件に組み込む検討を開始する。
- 【経営企画】 米国のCHIPS法や台湾のOSAT投資動向を継続的にモニタリングし、グローバルサプライチェーン再編が自社事業に与える中長期的な影響を分析する。

半導体後工程 採用記事全文集

出力日: 2026-05-23

採用記事数: 11 件

収録記事一覧

- #01 Amkor Technology、アリゾナ州での先端パッケージング生産能力を大幅に拡張しCHIPS法資金を獲得
- #02 EV GroupがECTC 2026でヘテロジニアス統合と先端パッケージング向け主要技術を発表
- #03 AI需要の急増に対応するTSMCのCoWoS/SoIC生産能力戦略：2026年末までに月産13万枚を目指す
- #04 ASEとWUS、高雄に最先端AIパッケージングハブを共同建設：350億台湾ドルの戦略的投資
- #05 ガラス基板、AIチップパッケージングのボトルネックを解消する次世代ソリューション
- #06 ASE、AIチップ需要に対応し先端パッケージング投資を記録的な85億ドルに増強
- #07 Rapidus、北海道で光電集積先端パッケージングプロジェクトを始動：AIチップの消費電力削減へ
- #08 Rapidus、北海道で先端パッケージング試験生産ラインを2026年春までに稼働開始へ
- #09 KLA、先端パッケージング向けウェーハ検査・計測ソリューションでAIチップ生産を強化
- #11 Rapidus、AI/HPC向け次世代プロセッサ実現へガラス基板上PLPを検討
- #14 Camtek、先端パッケージング市場の高精度検査・計測ソリューションで歩留まりと効率を向上

Amkor Technology、アリゾナ州での先端パッケージング生産能力を大幅に拡張しCHIPS法資金を獲得

公開日 2026年05月20日 Amkor Technology (via Business Wire) アメリカ



概要

Amkor Technologyは、アリゾナ州ピオリアにある既存キャンパスに隣接する67エーカーの追加用地を確保し、米国の先端半導体パッケージングおよびテスト能力の拡張を加速しました。この大規模な投資は、AI、HPC、車載、通信市場における将来の需要を支えるものであり、CHIPS法に基づく最大4億700万ドルの直接資金も獲得しています。これにより、同社は米国初の高生産量先端パッケージングOSAT施設となることを目指し、半導体サプライチェーンの国内レジリエンス強化に貢献します。

米国半導体エコシステム強化へのコミットメント

Amkor Technologyは、米国の半導体サプライチェーンのレジリエンスを強化する上で極めて重要な一歩を踏み出しました。同社はアリゾナ州ピオリアの既存104エーカーのキャンパスに、さらに67エーカーの用地を確保。これにより、AI、高性能コンピューティング（HPC）、車載、および通信といった急速に成長する市場からの需要に対応するための、国内での先端パッケージングおよびテスト能力の大幅な拡張が可能となります。この投資は、米国政府のCHIPSおよび科学法（CHIPS Act）の精神に合致するものであり、米国商務省からは最大4億700万ドルの直接資金が授与され、その重要性が強調されています。

最先端施設と技術的貢献

計画されている拡張施設は、米国における初の高生産量先端パッケージングOSAT（Outsourced Semiconductor Assembly and Test）施設となることを目指しています。この施設では、月間約14,500枚のウェーハと370万個のユニットを処理する能力を持つとされ、特に2.5Dパッケージング技術における「重要なボトルネック」を解消することを目指しています。2.5Dパッケージングは、AIアクセラレータやHPCチップのような高性能デバイスにおいて、複数のチップレット（小さな半導体ダイ）を統合するために不可欠な技術であり、その国内生産能力の確立は戦略的意義が非常に大きいと言えます。Amkorの投資は、単に物理的な生産能力を増やすだけでなく、米国における最先端半導体技術の開発と製造を促進し、グローバルな競争力を高めることを目的としています。

市場への影響と将来展望

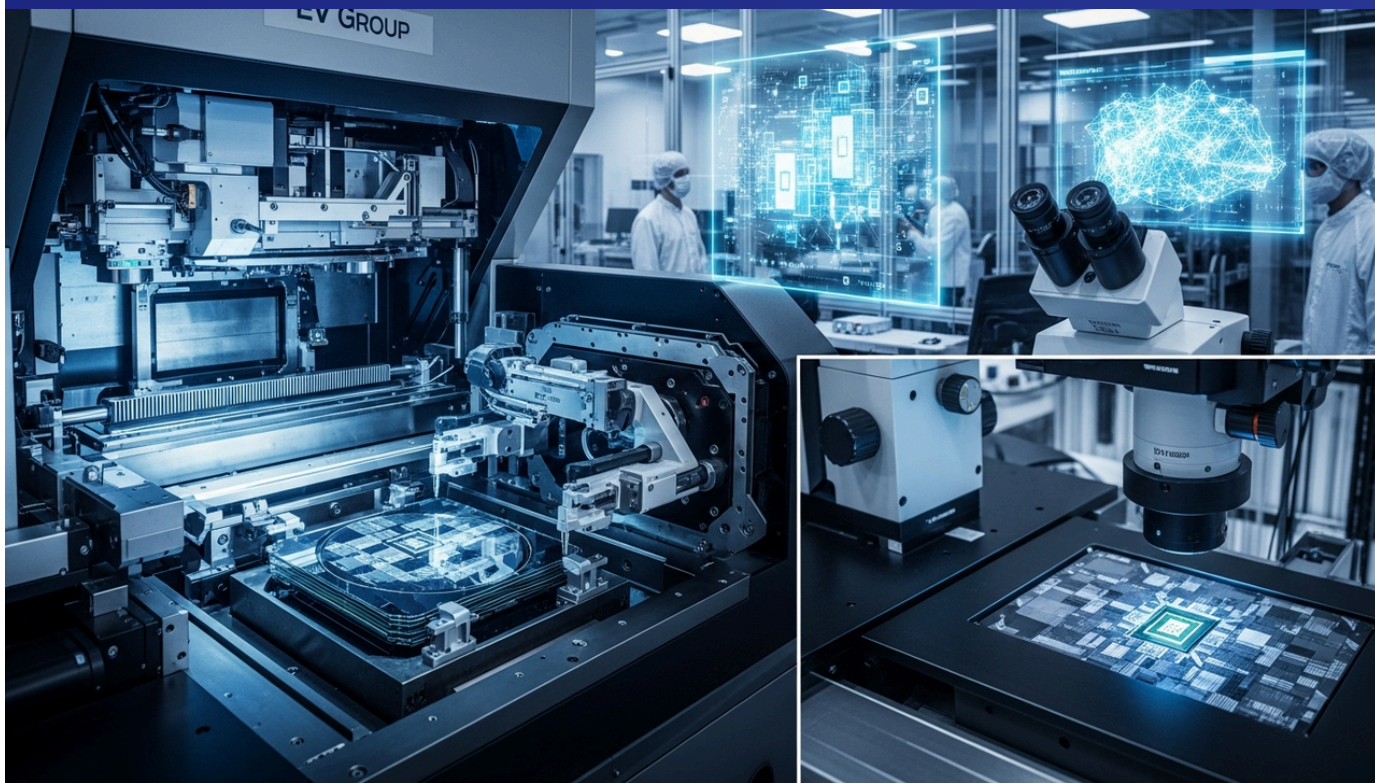
このAmkorの動きは、米国内での半導体エコシステム全体の強化に貢献するだけでなく、顧客企業に地理的により近い場所でパッケージングおよびテストサービスを提供することで、サプライチェーンの効率性と安全性を向上させます。特に、米国政府が半導体製造の国内回帰を強力に推進している現在、Amkorのような大手OSAT企業の投資は、国内製造能力の基盤を固める上で不可欠です。将来的には、この施設が次世代のAIおよびHPCアプリケーションに必要な先進的なパッケージング技術のハブとなり、米国の技術革新と経済成長を支える役割を果たすことが期待されます。

元記事: <https://ir.amkor.com/news-releases/news-release-details/amkor-technology-expands-us-advanced-packaging-footprint>

収集日: 2026年05月22日 | 自動記事収集・翻訳システム (Gemini API使用)

EV GroupがECTC 2026でヘテロジニアス統合と先端パッケージング向け主要技術を発表

公開日 2026年05月19日 EV Group オーストリア



概要

EV Groupは、ECTC 2026において、ヘテロジニアス統合および先端パッケージングを可能にする画期的な技術群を発表しました。特にハイブリッドボンディング、レイヤー転写、マスクレスリソグラフィに焦点を当て、次世代3D NAND、DRAM、チップレット統合、HBMスタックの高歩留まり生産を支えるソリューションを提供します。これらの技術は、サブミクロンレベルのアライメント精度と高精度なD2Wボンディング用オーバーレイ計測を特徴とし、最先端半導体製造の課題解決に貢献します。

ヘテロジニアス統合と先端パッケージングの進化

現代の半導体産業は、ムーアの法則の限界に直面し、性能向上と電力効率改善のためにヘテロジニアス統合（異なる種類のチップや機能ブロックを組み合わせる技術）および先端パッケージングへの依存度を高めています。特に、AIや高性能コンピューティング（HPC）の進化に伴い、より高密度で高速なデータ処理が求められており、これらの技術の重要性は増すばかりです。EV Groupは、このトレンドに対応するため、革新的なプロセスソリューションを継続的に開発・提供しています。

主要な技術革新と製品

EV GroupがECTC 2026で発表した主要技術は以下の通りです。

- **ハイブリッドボンディング（W2WおよびD2W）**：ウェーハツーウェーハ（W2W）およびダイツーウェーハ（D2W）のハイブリッドボンディングは、誘電体層と埋め込み金属パッドを介してウェーハまたはダイを直接接続する技術です。これにより、3D NAND、DRAM、そして高帯域幅メモリ（HBM）スタックにおいて、非常に微細なピッチと高い電気的性能を実現します。EV GroupのGEMINI® FB自動生産ウェーハボンディングシステムは、業界標準として優れたアライメントとオーバーレイ精度を誇ります。
- **IR LayerRelease™によるレイヤー転写**：この技術は、IRレーザーを使用してサファイア基板などのキャリアから薄い半導体層を精密に分離・転写するものです。これにより、材料の多様性や薄化を可能にし、特に3D統合デバイスの製造において新たな設計自由度と性能向上をもたらします。
- **LITHOSCALE® XTマスクレスリソグラフィ**：先端パッケージングにおける微細パターン形成を柔軟かつ効率的に行うための技術です。フォトマスクが不要であるため、開発期間の短縮やコスト削減に繋がり、多様なチップレット設計や少量生産にも迅速に対応できます。

これらの技術は、次世代の3D集積回路の製造において、高歩留まりと信頼性の確保に不可欠であり、特にサブミクロンレベルのアライメント精度と高精度なD2Wボンディング用オーバーレイ計測が重要視されています。

業界への影響と将来展望

EV Groupのこれらの技術は、AIチップの性能向上、データセンターの効率化、そして自動運転技術の発展に直接貢献します。ヘテロジニアス統合の複雑化が進む中で、W2WおよびD2Wハイブリッドボンディングは、チップレット間の接続密度を劇的に高め、信号伝送距離を短縮することで、データ転送速度の向上と消費電力の削減を実現します。マスクレスリソグラフィは、設計サイクルの迅速化を促し、より多様なアプリケーション特化型チップレットの実現を可能にします。これらの革新は、将来の高性能半導体デバイスの設計と製造において、基盤となる重要なイネーブリング技術として、半導体業界全体の進歩を加速させるでしょう。

元記事: <https://www.evgroup.com/company/news/detail/ev-group-highlights-hybrid-bonding-layer-transfer-and-maskless-lithography-technologies-for-heterogeneous-integration-and-advanced-packaging-at-ectc-2026>

収集日: 2026年05月22日 | 自動記事収集・翻訳システム (Gemini API使用)

AI需要の急増に対応するTSMCのCoWoS/SoIC生産能力戦略：2026年末までに月産13万枚を目指す

公開日 2026年05月14日 FinancialContent - Stock Market 台湾



概要

TSMCは、AIチップの爆発的な需要に対応するため、CoWoSおよびSoICといった先端パッケージングの生産能力を大幅に拡張しています。同社は、2024年後半の月産約35,000枚から、2026年末までに月産130,000枚へと生産能力を4倍近くに引き上げる計画です。この積極的な投資は、NvidiaやGoogleなどの主要顧客からの緊急注文に対応し、AIサプライチェーンの深刻なボトルネックを解消することを目的としています。

背景：AIブームと先端パッケージングのボトルネック

生成AI技術の急速な発展は、データセンターおよび高性能コンピューティング（HPC）市場におけるAIチップの需要を前例のないレベルに押し上げています。これにより、AIチップの製造に必要な先端パッケージング技術、特にTSMCが提供するCoWoS（Chip-on-Wafer-on-Substrate）やSoIC（System-on-Integrated-Chips）の供給が深刻なボトルネックとなっています。これらの技術は、複数のチップレット（小さな半導体ダイ）を高密度に統合し、高帯域幅メモリ（HBM）と連携させることで、AIアクセラレータの性能を最大化するために不可欠です。市場の強い需要と供給の逼迫を受け、TSMCは緊急対応を迫られています。

TSMCのCoWoS/SoIC拡張計画と能力増強

TSMCは、このCoWoSおよびSoICの供給不足を解消するため、非常に積極的な生産能力拡張計画を進めています。具体的な目標として、同社のCoWoS月産能力を2024年後半の約35,000枚から、2026年末までに130,000枚へと約4倍に増強することを目指しています。この拡張には、複数の戦略的措置が含まれます。

- **新ファブおよびプラントの建設:** 世界中で18の新規ファブおよび先端パッケージング施設が建設されており、これには台湾南科のAP8工場における新しいP2プラントのCoWoS生産への特化、および嘉義のAP7工場でのSoICラインの一部CoWoS生産への転換などが含まれます。
- **8インチウェーハファブの転用:** 一部の8インチウェーハファブを先端パッケージング工場へ転換する計画も進められており、既存リソースを最大限に活用し、迅速な能力増強を図ります。
- **技術ロードマップの発表:** 2026年テクノロジーシンポジウムでは、先端プロセスノード、3DFabric先端パッケージング技術の進捗、グローバル展開戦略、AIを活用したスマート製造の最新状況が詳述され、今後の技術革新と能力拡充へのコミットメントが示されました。

業界への影響と戦略的意義

TSMCのCoWoS/SoIC能力の大幅な拡張は、AIサプライチェーン全体に大きな影響を与えます。Nvidiaは、2025年から2026年にかけてTSMCのCoWoS容量の60%以上を既に確保していると報じられており、これはAIチップ市場におけるNvidiaの優位性をさらに強固にする一方で、他のAIチップメーカーにとっても重要な供給源となります。また、この能力逼迫の波及効果として、ASEやKing Yuan Electronicsなどの台湾系OSAT（Outsourced Semiconductor Assembly and Test）企業も、AIチップ向け先端テスト能力の増強やCoWoS関連技術（例：ASEのCoWoP）の開発を通じて恩恵を受けています。TSMCのこの戦略は、単にボトルネックを解消するだけでなく、次世代AIハードウェアの基盤を築き、半導体業界全体の成長を牽引する戦略的意義を持つものと言えます。

元記事: <https://markets.financialcontent.com/wral/article/tokenring-2026-1-1-the-great-packaging-pivot-how-tsmc-is-doubling-cowos-capacity-to-break-the-ai-supply-bottleneck-through-2026>

収集日: 2026年05月22日 | 自動記事収集・翻訳システム (Gemini API使用)

ASEとWUS、高雄に最先端AIパッケージングハブを共同建設：350億台湾ドルの戦略的投資

公開日 2026年05月08日 ASE Technology Holding Co., Ltd. 台湾

流夫精-ASE+WUS 竜3折貴35位

談整倒説眼誘費来般優塵
新実即等動能、五电誘



ASE

概要

ASE Technology HoldingとWUS Printed Circuitは、台湾高雄の南梓科技産業園区に最先端の製造施設を建設するため、約350億台湾ドルの戦略的提携を発表しました。この新施設は、AI、クラウドコンピューティング、自動運転といった成長市場向けのFOCoSやFC BGAなど、先端パッケージングプロセスに特化します。2029年9月までの完成を目指し、2000以上の新規雇用を創出するとともに、自動化とスマート製造プロセスを統合して生産性と効率を最大化する計画です。

戦略的提携と投資の背景

人工知能（AI）、クラウドコンピューティング、自動運転技術の急速な進化は、半導体パッケージング技術に前例のない要求をもたらしています。特に、これらのアプリケーションで使用される高性能チップは、複雑なヘテロジニアス統合と高密度な接続を可能にする最先端パッケージングソリューションを必要とします。この市場のニーズに応えるため、世界最大の独立系半導体製造サービス（OSAT）プロバイダーであるASE Technology Holdingと、主要なプリント基板（PCB）メーカーであるWUS Printed Circuitは、台湾の半導体産業の中心地の一つである高雄に、新たな製造ハブを設立するための戦略的提携を発表しました。この共同プロジェクトには、約350億台湾ドル（約11億ドル）という巨額の投資が見込まれています。

最先端AIパッケージングハブの概要

この新しい製造施設は、高雄の南梓科技産業園區に建設され、次世代のAIチップに不可欠な最先端パッケージングプロセスに焦点を当てます。主要な技術として、FOCoS（Fan-out Chip on Substrate）やFC BGA（Flip Chip Ball Grid Array）などが挙げられます。FOCoSは、高密度な配線と優れた熱特性を提供するファンアウトパッケージング技術の一種であり、チップレット統合やHBMとの連携において重要な役割を果たします。FC BGAは、高性能CPUやGPU、AIアクセラレータなどで広く採用されている高密度接続パッケージングソリューションです。

施設の建設は2029年9月までに完了する予定であり、稼働開始後には2000人以上の新規雇用を創出することが見込まれています。このプロジェクトは、単に生産能力を増強するだけでなく、自動化された製造プロセスとスマート製造技術を統合することで、生産性、品質、および効率を最大限に高めることを目指しています。これにより、ASEとWUSは、世界の先端パッケージング市場におけるリーダーシップをさらに強固なものにしようとしています。

業界への影響と将来展望

高雄におけるこの先端AIパッケージングハブの建設は、台湾の半導体産業、ひいては世界の半導体サプライチェーンに多大な影響を与えるでしょう。台湾は既に世界的な半導体製造の中心地であり、この新たな投資は、特にAI関連の先端パッケージング分野におけるその地位を強化します。ASEの広範なパッケージング専門知識とWUSの高度な基板技術の融合は、AIチップの性能ボトルネックを解消し、次世代AIハードウェアの開発を加速するための強力なシナジーを生み出します。このハブは、AI技術の進化を支える重要なインフラとなり、データ駆動型社会のさらなる発展に貢献すると期待されています。

元記事: <https://ase.aseglobal.com/press-room/ase-and-wus-announce-strategic-expansion/>

収集日: 2026年05月22日 | 自動記事収集・翻訳システム (Gemini API使用)

ガラス基板、AIチップパッケージングのボトルネックを解消する次世代ソリューション

公開日 2026年05月05日 TrendForce 台湾

概要

ガラス基板は、従来の有機基板が抱える課題を克服し、AIチップパッケージングのボトルネックを解消する次世代の有力材料として注目されています。優れた熱的・機械的特性を提供し、大型チップの統合時の反りを最小限に抑えることが可能です。

Intel、TSMC、Samsung、Rapidusといった主要企業がガラスインターポージャーやガラスコア基板の開発を推進しており、SK Absolicsは2026年の量産開始を目指すなど、実用化が加速しています。

背景：高性能AIチップのパッケージング課題

人工知能（AI）技術の飛躍的発展は、高性能なAIチップに対する前例のない需要を生み出しています。これらのAIチップは、多数のコア、大容量のキャッシュ、そしてHBM（高帯域幅メモリ）との高密度な統合を必要とし、その結果としてダイサイズが著しく大型化しています。従来の有機基板は、大型化するチップにおいて反り（Warpage）の問題、信号伝送の限界、熱管理の難しさ、および微細加工の制約といった課題を抱えており、これがAIチップパッケージングのボトルネックの一つとなっています。これらの課題を克服するため、半導体業界は次世代のパッケージング材料と構造を模索しています。

ガラス基板の技術的優位性と応用

ガラス基板は、高性能AIチップのパッケージングボトルネックを打破する有望なソリューションとして浮上しています。その技術的優位性は以下の点に集約されます。

- **優れた熱的・機械的特性:** ガラスは有機基板と比較して高い熱安定性と剛性を持ち、大型ダイの統合時に発生する反りを大幅に抑制できます。これにより、より複雑なヘテロジニアス統合や3Dスタッキングにおいて、歩留まり向上と信頼性確保に貢献します。
- **高密度配線と電気的性能:** ガラスは非常に平坦であり、微細な配線パターンを形成するのに適しています。また、低誘電損失特性を持つため、高速信号伝送における信号品位の劣化を抑え、AIチップの性能を最大限に引き出すことが可能です。
- **CTE（熱膨張係数）アライメント:** シリコンと比較的近いCTE（3~8 ppm/°C）を持つため、大型GPUやHBMのような大型ダイを統合する際に、異なる材料間の熱応力による問題が最小限に抑えられます。これは、従来の有機基板やシリコンインターポーザーに対する優位性となります。
- **低コスト化の可能性:** 将来的には、シリコンウェーハよりも大面積のガラスパネルを用いることで、製造コストの削減が期待されています。

主要半導体企業もガラス基板の採用に積極的です。Intelは2023年に先端パッケージングへのガラス基板導入を表明し、2026年1月にはEMIBパッケージングとガラスコア基板を組み合わせたサンプルをNEPCON Japanで発表しました。TSMC、Samsung、日本のRapidusもガラスインターポーザーソリューションの開発を進めており、特に韓国のSK Absolicsは2026年にガラス基板の量産を目指すなど、実用化の動きが加速しています。

業界への影響と将来展望

ガラス基板の導入は、AIチップの性能向上とコスト効率化に大きく貢献し、半導体パッケージングの新たな標準を確立する可能性を秘めています。これにより、AIアクセラレータはより多くの計算能力を少ない電力で提供できるようになり、データセンターの運用コスト削減や持続可能性向上に繋がります。また、チップレット技術やヘテロジニアス統合のさらなる進化を促し、多様なアプリケーションに最適化された高性能半導体の開発を加速させるでしょう。ガラス基板技術の量産化とその普及は、次世代半導体産業の発展を支える重要なトレンドとして、今後も継続的な注目が必要です。

元記事: <https://insights.trendforce.com/p/glass-substrate-development>

収集日: 2026年05月22日 | 自動記事収集・翻訳システム (Gemini API使用)

ASE、AIチップ需要に対応し先端パッケージング投資を記録的な85億ドルに増強

公開日 2026年04月30日 digitimes 台湾



概要

世界最大の半導体パッケージング・テスト企業であるASE Technology Holdingは、AIチップ需要の急増に応えるため、2026年の設備投資計画を過去最高の85億ドルに引き上げました。同社は、先端パッケージング売上高が同年に35億ドル以上に達すると予測しており、台湾高雄での34億ドル規模の新規ICテスト施設建設や、マレーシア、韓国、フィリピンにおける既存拠点の拡張も進めています。この巨額投資は、AIワークロードの複雑なパッケージングニーズに対応し、ボトルネックを解消するための戦略的な動きです。

背景：AIチップの急成長と後工程の重要性

人工知能（AI）市場の爆発的な拡大は、高性能なAIチップに対する需要を劇的に高めています。これらのAIチップは、従来の半導体とは比較にならないほどのデータ処理能力と熱管理性能を要求し、その性能は微細化されたフロントエンド製造プロセスだけでなく、後工程である先端パッケージングとテスト技術に大きく依存しています。特に、複数のダイやHBM（高帯域幅メモリ）を統合するCoWoS（Chip-on-Wafer-on-Substrate）やその類縁技術は、AIチップの性能を最大限に引き出す上で不可欠であり、その供給能力が市場全体のボトルネックとなっています。このような状況下、世界最大の半導体パッケージングおよびテストサービスプロバイダーであるASE Technology Holdingは、この需要に対応すべく積極的な投資戦略を展開しています。

記録的な設備投資と能力拡張

ASE Technology Holdingは、AIチップの旺盛な需要を背景に、2026年の設備投資計画を当初予測を上回る過去最高の85億ドルに引き上げました。この巨額の投資は、同社の先端パッケージングおよびテストサービスの能力を飛躍的に向上させることを目的としています。具体的な投資内容と成果予測は以下の通りです。

- **売上予測の上方修正:** 同社は、2026年の先端パッケージング売上高が32億ドルから35億ドル以上に達するという見通しを示しており、AI関連ビジネスの成長が全体の収益を牽引することを明確にしています。
- **台湾での大規模投資:** 台湾高雄では、約34億ドルを投じて新規ICテスト施設を着工しており、2027年4月には稼働開始予定です。これは、ハイテク半導体テストクラスターを確立する目的があり、建設中の6つの新施設を含むASEの積極的な能力拡張の一環です。また、高雄にはWUS Printed Circuitとの提携によるAIパッケージングハブの建設も進行中です。
- **グローバルな拡張:** 台湾に加えて、マレーシアのペナン、韓国、フィリピンといった主要な生産拠点でも、自動車および将来的なロボティクスアプリケーション向けの先端パッケージング能力の拡張を進めています。特にマレーシアのペナンは、東南アジアにおける同社の重要なハブとなっています。

市場への影響と将来展望

ASEのこのような戦略的な巨額投資は、AIワークロードが生成する極めて高い熱や、それに伴うデータ処理速度の要件に対応するための複雑なパッケージング課題に対する重要な解決策を提供します。先端パッケージングとテスト能力の拡充は、AIチップの生産ボトルネックを緩和し、半導体サプライチェーン全体の安定化に貢献するでしょう。また、AI、HPC、車載、通信といった成長分野において、より高性能で信頼性の高いチップの供給を可能にし、これらの技術のさらなる発展を後押しします。ASEの積極的な拡張戦略は、同社が世界の先端パッケージング市場におけるリーダーとしての地位を確固たるものにするだけでなく、次世代の技術革新を支える重要なインフラプロバイダーとしての役割を強化することを示しています。

元記事: <https://www.digitimes.com/news/a20260430PD210/ase-packaging-2026-demand-capex.html>

収集日: 2026年05月22日 | 自動記事収集・翻訳システム (Gemini API使用)

Rapidus、北海道で光電集積先端パッケージングプロジェクトを始動：AIチップの消費電力削減へ

公開日 2026年04月23日 creating nano technologies inc. (via Digitimes) 日本



概要

日本の次世代半導体製造会社Rapidusは、Leading-edge Semiconductor Technology Center (LSTC)およびその他機関と連携し、北海道千歳市のRapidus工場周辺で光電集積に関する先端パッケージングプロジェクトを開始しました。この取り組みは、チップレット間のデータ接続に光技術を導入することで、AIチップの消費電力を大幅に削減することを目指しています。開発は2026年4月から本格的に始動しており、半導体設計とパッケージングの融合を加速させます。

背景：AI時代の消費電力課題と光電集積の可能性

現代のAIチップ、特に大規模な言語モデルや複雑な推論タスクを処理するプロセッサは、莫大な計算能力とそれに伴う膨大な消費電力を必要とします。電気信号を用いた従来のチップ間接続では、データ転送速度の限界と電力損失の問題が顕在化しており、AIシステム全体の効率性を著しく低下させる要因となっています。この課題を解決するため、半導体業界では、チップ間のデータ伝送に光を用いる光電集積（フォトリソグラフィ集積）技術が次世代のソリューションとして注目されています。光信号は電気信号に比べて高速で、長距離伝送における電力損失がはるかに少ないという大きな利点を持っています。

RapidusとLSTCによる光電集積プロジェクト

日本の次世代半導体ファウンドリRapidusは、この光電集積の可能性を追求すべく、Leading-edge Semiconductor Technology Center (LSTC) および関連機関と協力し、北海道千歳市の自社工場周辺で先端パッケージングプロジェクトを始動させました。このプロジェクトの核心は、チップレット（機能ごとに分割された小さな半導体ダイ）間の接続に光技術を導入することにあります。具体的には、チップレット内の個々のチップを光で接続することにより、電気信号で接続する際に発生する電力消費を大幅に削減することを目指しています。

- **目標:** AIチップの消費電力削減と性能向上。
- **技術アプローチ:** チップレット技術と光電集積パッケージングを組み合わせ、光信号によるデータ伝送を実現。
- **体制:** Rapidusの2nmプロセス開発と連携し、LSTCを含む複数の機関が協力。
- **開始時期:** 2026年4月から開発が本格的に開始。

この取り組みは、最先端のプロセス技術とパッケージング技術を密接に連携させることで、次世代AIチップの設計と製造におけるブレークスルーを目指すものです。Rapidusの2nmプロセス技術開発と並行して進められることで、ロジックチップと光電集積パッケージングの最適な統合が期待されます。

業界への影響と将来展望

RapidusとLSTCによる光電集積先端パッケージングプロジェクトは、日本の半導体産業にとって、グローバル競争力を強化する上で極めて重要な意味を持ちます。この技術が実用化されれば、AIチップの消費電力を劇的に削減できるだけでなく、データ転送速度の向上にも貢献し、より強力かつエネルギー効率の高いAIシステムの実現を加速させます。これは、データセンターにおける電力コスト削減、環境負荷低減、そして新たなAIアプリケーションの創出に直結するでしょう。本プロジェクトは、先端半導体製造における日本の存在感を高め、将来のAI社会を支える基盤技術を提供する可能性を秘めています。

元記事: <https://www.digitimes.com/news/a20260422PD225/rapidus-packaging-lstc-technology-2026.html>

収集日: 2026年05月22日 | 自動記事収集・翻訳システム (Gemini API使用)

Rapidus、北海道で先端パッケージング試験生産ラインを2026年春までに稼働開始へ

公開日 2026年01月05日 Sic-chip.com (via Digitimes) 日本



概要

日本の半導体メーカーRapidusは、AIチップ向けの先端パッケージングソリューション開発を加速しており、2026年4月までに北海道で先端パッケージングラインの試験生産を開始する計画です。これは同社の2nmプロセス技術の進展と密接に連携しており、次世代高性能半導体の製造エコシステム構築に向けた重要なステップとなります。この動きは、日本がグローバルな半導体サプライチェーンにおいて存在感を高めるための戦略の一環です。

背景：日本の半導体復権とRapidusの役割

近年、世界の半導体サプライチェーンにおける地政学的リスクの高まりと、AIや高性能コンピューティング（HPC）向け先端チップの需要急増を受け、各国は国内での半導体製造能力強化に注力しています。日本もこの流れの中で、Rapidusを中核企業として次世代半導体の国産化を目指しています。Rapidusは、IBMとの提携による2nmプロセス技術の開発に加え、その高性能チップに不可欠な後工程である先端パッケージング技術の開発にも力を入れています。先端パッケージングは、複数のチップレットを統合し、HBM（高帯域幅メモリ）などと接続することで、チップの性能と電力効率を最大化する上で決定的な役割を果たします。

北海道での先端パッケージング試験生産ラインの始動

Rapidusは、2nmプロセス技術の開発と並行して、AIチップ向けの先端パッケージングソリューションの確立を急ピッチで進めています。その具体的な一環として、2026年4月までに北海道の拠点において、先端パッケージングラインの試験生産を開始する計画を公表しました。この試験生産ラインは、量産技術の確立に向けた重要なステップであり、Rapidusが目指す高性能半導体の一貫生産体制を構築する上で不可欠です。

- **技術的焦点:** 2nmロジックチップと高帯域幅メモリ（HBM）などの統合を可能にする3D積層技術や、将来的に大型ガラス基板を用いたパネルレベルパッケージング（PLP）技術も視野に入れています。
- **戦略的連携:** Rapidusの先端パッケージング開発は、既存の半導体装置メーカーや材料メーカーとの協力だけでなく、LSTC（Leading-edge Semiconductor Technology Center）との光電集積プロジェクトなど、幅広い連携を通じて推進されています。
- **目的:** 高性能AIチップの需要に対応し、グローバル競争力を確保するための量産技術確立。

この試験生産ラインの稼働は、Rapidusがフロントエンドだけでなく、付加価値の高い後工程においても日本の技術力を結集し、次世代半導体の製造エコシステムを確立しようとする強い意志の表れと言えます。

業界への影響と将来展望

Rapidusが北海道で先端パッケージングの試験生産を開始することは、日本の半導体産業にとって、単なる技術開発の一步以上の意味を持ちます。これは、日本がハイエンド半導体のバリューチェーン全体において、設計から製造、そしてパッケージングに至るまで、その存在感を再確立するための重要な基盤となります。特に、AIやHPCの進化が加速する中で、先端パッケージング能力はチップ性能を決定づける主要因であり、国内でのその確立は戦略的自律性の向上に直結します。将来的に、この試験生産ラインで培われた技術は、Rapidusの2nmロジックチップの量産へと繋がり、日本の技術が世界のAI/HPC市場を牽引する可能性を秘めています。

元記事: <https://www.digitimes.com/news/a20260105PD238/rapidus-packaging-2026-2nm-production.html>

収集日: 2026年05月22日 | 自動記事収集・翻訳システム (Gemini API使用)

KLA、先端パッケージング向けウェーハ検査・計測ソリューションでAIチップ生産を強化

公開日 日付不明 KLA アメリカ



概要

KLAは、2.5D/3D統合、WLCSP（ウェーハレベルチップスケールパッケージング）、FOWLP（ファンアウトウェーハレベルパッケージング）など、複雑化する先端ウェーハレベルパッケージングプロセス向けの包括的な検査・計測ソリューションを提供しています。同社のAI搭載システムは、歩留まり向上、欠陥検出、およびプロセス制御を改善し、ヘテロジニアス統合におけるチップ性能の最適化に不可欠な役割を果たします。これにより、AIチップをはじめとする高性能半導体の量産における課題を解決します。

背景：先端パッケージングにおける品質と歩留まりの課題

人工知能（AI）、高性能コンピューティング（HPC）、5G通信、自動運転などの技術進化は、半導体チップの複雑性と集積度を劇的に高めています。これにより、複数のチップレットを統合する2.5D/3Dパッケージング、ウェーハレベルでのパッケージング（WLCSP、FOWLPなど）といった先端パッケージング技術が不可欠となっています。しかし、これらの複雑なプロセスは、微細な欠陥やアライメントのずれが最終製品の性能や歩留まりに大きく影響するため、極めて高い精度での検査と計測が要求されます。KLAは、こうした先端パッケージングプロセスにおける品質管理と効率化を支える主要なソリューションプロバイダーです。

KLAの検査・計測ソリューションと技術的特徴

KLAは、先端パッケージングの多様な課題に対応するため、ウェーハ、パネル、コンポーネントの各レベルで包括的なプロセス制御およびイネーブリングソリューションを提供しています。そのポートフォリオは、以下のような技術的特徴を持ちます。

- **包括的な検査プラットフォーム:** 全表面検査用のCIRCL™-APや、e-beam技術を用いた欠陥レビュー・分類用のeDR7380™など、多岐にわたる検査システムを提供。これにより、サブミクロンレベルの微細な欠陥も高精度で検出・分析することが可能です。
- **AI搭載のプロセス制御:** 検査データにAIを活用することで、プロセス制御と欠陥分析を劇的に改善します。これにより、リアルタイムでの問題特定と修正が可能となり、製造歩留まりの向上に貢献します。
- **高精度な計測機能:** パターン検査、未パターン検査、オーバーレイ計測、およびプラズマエッチング/成膜後の膜厚や形状計測など、多様な計測ニーズに対応。特に多層RDL（再配線層）アプリケーションにおける検査や高スループットでのバンプ計測は、業界標準として高い評価を得ています。
- **ヘテロジニアス統合への対応:** チップレットや異種材料の統合が進む中で、KLAのシステムは、高精度なアライメントと均一性を確保するための重要なデータを提供し、パッケージング歩留まりの向上とチップ性能の最適化に貢献します。

業界への影響と将来展望

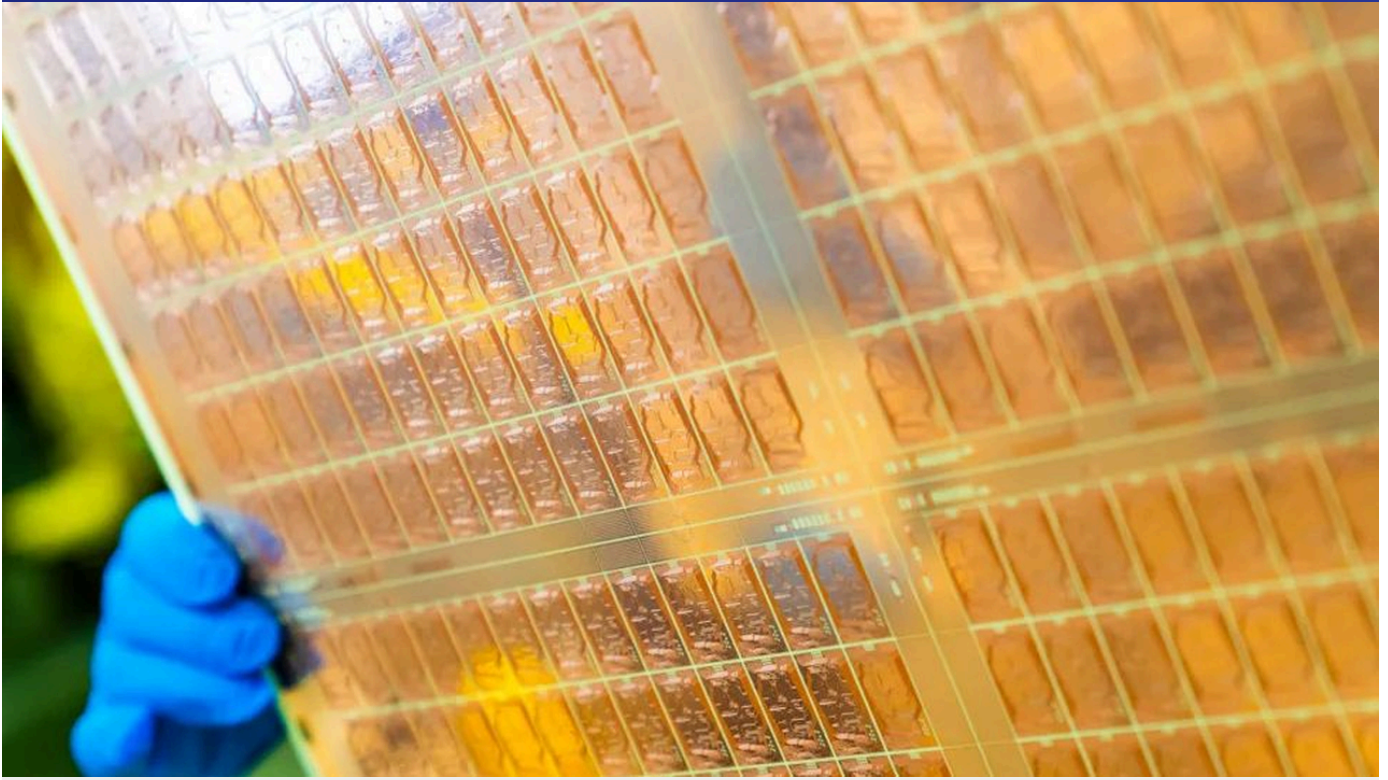
KLAの先端パッケージング向け検査・計測ソリューションは、AIチップをはじめとする高性能半導体の量産において、品質と信頼性を確保するための基盤を提供します。これらの技術により、半導体メーカーは、より複雑で革新的なパッケージング設計を自信を持って導入し、市場投入までの時間を短縮することが可能になります。特に、AIがますます高度化し、チップの集積度が限界に挑む中で、KLAのような検査・計測技術の進化は、半導体業界全体の発展を支える不可欠な要素です。AIを活用したさらなる自動化とインテリジェンス化は、将来のスマート工場におけるパッケージングプロセスの効率と精度をさらに高めることが期待されます。

元記事: <https://www.kla.com/products/packaging-manufacturing/wafer-inspection-and-metrology-for-advanced-packaging>

収集日: 2026年05月22日 | 自動記事収集・翻訳システム (Gemini API使用)

Rapidus、AI/HPC向け次世代プロセッサ実現へガラス基板上PLPを検討

公開日 2025年12月17日 Tom's Hardware 日本



概要

日本の半導体企業Rapidusは、AIおよび高性能コンピューティング（HPC）アクセラレータ向けのハイエンドマルチチップレットプロセッサ製造において、600mm x 600mmの大型ガラスパネルを用いたパネルレベルパッケージング（PLP）の採用を検討しています。この技術は、シリコンインターポージャーや有機コア基板に比べて優れた優位性を持ち、競合他社を凌駕する次世代先端パッケージングソリューションとなることを目指しています。RapidusはSEMICON Japanでこの取り組みについて議論する予定です。

背景：先端パッケージングの進化と材料の選択

現代のAIおよび高性能コンピューティング（HPC）プロセッサは、複数のチップレット（機能ごとに分割された小さな半導体ダイ）を高密度に統合するヘテロジニアス統合を必要としています。このような設計では、チップレット間的高速かつ効率的な接続を可能にする先端パッケージング技術が不可欠です。これまで、シリコンインターポザーや有機コア基板が主要なソリューションとして用いられてきましたが、AIチップの大型化と性能向上に伴い、これらの材料には熱管理、信号伝送速度、製造コスト、そして製造サイズに関する新たな課題が生じています。特に、より大型で複雑なAIアクセラレータのパッケージングにおいて、既存技術の限界が指摘されています。

Rapidusが検討するガラス基板上パネルレベルパッケージング

日本の次世代半導体ファウンドリであるRapidusは、これらの課題を克服し、競合他社を凌駕する先端パッケージングソリューションとして、ガラス基板上のパネルレベルパッケージング（PLP）を積極的に検討しています。この革新的なアプローチの核心は、現在のウェーハサイズよりもはるかに大きな600mm x 600mmのガラスパネルを基板として使用することにあります。ガラス基板は、以下の点で従来の材料に対して顕著な優位性を持ちます。

- **優れた熱的・機械的安定性:** ガラスは有機基板と比較して高い剛性と熱安定性を持つため、大型ダイや複数のチップレットを統合する際に発生する反りを大幅に低減できます。これにより、より高い歩留まりと信頼性の確保が可能になります。
- **低誘電損失と高密度配線:** ガラスは誘電損失が低く、電気信号の劣化を抑えるため、高速なデータ伝送が可能です。また、非常に平坦な表面は、微細な再配線層（RDL）の形成に適しており、高密度な接続を実現します。
- **コスト効率の向上:** 大型のパネルサイズで製造することで、一度に処理できるチップレットの数が増え、製造コストを削減できる可能性があります。これにより、特にハイエンドマルチチップレットプロセッサの量産において経済的なメリットが期待されます。

Rapidusは、SEMICON Japanのような業界イベントでこのガラス基板上PLPに関する取り組みを議論し、その技術的ビジョンを共有する予定です。この取り組みは、日本の半導体産業が先端パッケージング分野で世界的なリーダーシップを確立しようとする強い意志を示すものです。

業界への影響と将来展望

Rapidusによるガラス基板上PLPの実現は、AIおよびHPCプロセッサの性能とコスト効率を大きく変革する可能性を秘めています。この技術が確立されれば、現在のパッケージングボトルネックを解消し、より複雑で高性能なAIアクセラレータの設計と製造を可能にします。特に、日本が主導する2nmプロセス技術と組み合わせることで、Rapidusは世界市場における独自の競争優位性を確立できるでしょう。ガラス基板上PLPは、次世代半導体製造の基盤技術として、データセンターの効率化、新たなAIアプリケーションの創出、そして持続可能なデジタル社会の実現に大きく貢献することが期待されます。

元記事: <https://www.tomshardware.com/tech-industry/semiconductors/rapidus-explores-panel-level-packaging-on-glass-substrates-for-next-generation-processors-aggressive-plan-would-help-it-leapfrog-rivals>

収集日: 2026年05月22日 | 自動記事収集・翻訳システム (Gemini API使用)

Camtek、先端パッケージング市場の高精度検査・計測ソリューションで歩留まりと効率を向上

公開日 日付不明 Camtek イスラエル



概要

Camtekは、先端パッケージング市場の急速な成長と多様なパッケージタイプの複雑化に対応するため、高水準の検査・計測ソリューションを提供しています。同社の2Dおよび3D検査・計測プラットフォームは、サブミクロン欠陥検出、CADベース検出技術、多層RDLアプリケーション向け検査、および高スループットでのバンプ計測などの機能を備え、業界標準となっています。これらのソリューションは、特にヘテロジニアス統合やチップレット技術における歩留まり向上と生産効率の最適化に不可欠です。

背景：先端パッケージングの課題と高精度検査の必要性

人工知能（AI）、高性能コンピューティング（HPC）、5G通信、自動運転などの分野における半導体の進化は、チップパッケージング技術をかつてないほど複雑にしています。2.5D/3D統合、ウェーハレベルチップスケールパッケージング（WLCSP）、ファンアウトウェーハレベルパッケージング（FOWLP）といった先端パッケージング手法は、複数の異なる機能を持つチップレットを高密度に統合するため、極めて微細な構造と高い精度が要求されます。このため、製造プロセスにおけるごくわずかな欠陥や寸法のずれが、最終的な製品の機能不全や大幅な歩留まり低下に直結します。したがって、これらの複雑なパッケージングプロセス全体を通して、高精度かつ高効率な検査・計測ソリューションが不可欠となっています。

Camtekの先進検査・計測プラットフォーム

Camtekは、先端パッケージング市場が直面するこれらの課題に対応するため、独自の2Dおよび3D検査・計測プラットフォームを提供しています。同社のソリューションは、その卓越した性能と多様な機能により、業界の標準として広く採用されています。

- **サブミクロン欠陥検出:** 最先端の光学技術と画像処理アルゴリズムを組み合わせることで、極めて微細なサブミクロンレベルの欠陥（例えば、配線ショート、オープン、異物混入、バンプの異常など）を正確かつ効率的に検出します。
- **CADベース検出技術:** 設計データ（CAD）を基準として検査を行うことで、実際の製品と設計とのずれを高精度で比較・分析し、潜在的な製造上の問題を早期に特定します。これにより、開発段階での迅速なフィードバックループが実現します。
- **多層RDL（再配線層）アプリケーション向け検査:** ヘテロジニアス統合において多用される多層再配線層は、微細な配線と層間接続が不可欠です。Camtekのシステムは、これらの多層構造における欠陥を正確に検査し、高い歩留まりを維持するために貢献します。
- **高スループットでのバンプ計測:** フリップチップや3Dスタッキングにおいて重要な役割を果たすバンプ（微細な半田ボールや銅ピラー）の高さ、直径、形状などを、高速かつ高精度で計測します。これにより、ボンディング品質の安定化と信頼性向上をサポートします。

これらの機能は、先端パッケージングにおける微細化、複雑化、そして異種統合のトレンドを支える上で不可欠な要素です。

業界への影響と将来展望

Camtekの先進的な検査・計測ソリューションは、半導体メーカーが先端パッケージングの品質と信頼性を確保しつつ、生産効率を高めることを可能にします。AIチップのような高性能デバイスの製造では、歩留まりのわずかな向上がコストと市場投入時間に大きな影響を与えるため、Camtekの技術は戦略的な価値を持ちます。将来的には、さらなるパッケージング技術の進化（例：ガラス基板上パッケージング、より複雑なチップレット統合）に対応するため、検査・計測技術も継続的に進化していくことが求められます。Camtekは、こうした技術革新を通じて、次世代の半導体産業の基盤を支え続ける重要なプレイヤーであり続けるでしょう。

元記事: <https://www.camtek.com/solution/mid-end/>

収集日: 2026年05月22日 | 自動記事収集・翻訳システム (Gemini API使用)