

半導体PLP

Weekly Intelligence Report

2026-04-26 | 10件 | 6カ国
troy-technical.jp

今週のキーワード

AI半導体PKG

需要爆発と技術革新の加速

10
件
記事数

6
カ国
対象国

3
年
HBM不足

4万
枚/月
SoIC生産

今週の全10記事 — 5軸評価で読むべき記事を選ぶ

各列の見方 — 技術新規性：ブレークスルー度合い 実用化距離：製品として使える近さ 市場インパクト：業界全体への影響規模
データ信頼性：定量データ・査読の有無 日本関連度：日本の企業・サプライチェーンとの直接的関連性

#	記事タイトル	種別	技術 新規性	実用化 距離	市場 インパクト	データ 信頼性	日本 関連度	一行サマリ
#01	TSMC、A13技術発表	技術発表	●●●●○	●●●●○	●●●●●	●●●●○	●●●●○	TSMCがA13プロセスとCoWoS、SoIC 3D、CoUPE™ 光インターコネクットの進化を発表。AI/HPC向け先端 パッケージングを加速。
#02	レゾナック、US-JOINT	企業戦略	●●●●○	●●●●○	●●●●○	●●●●○	●●●●●	レゾナックが日米12社コンソーシアム「US-JOINT」 を始動、シリコンバレーに次世代半導体パッケージ ングR&D;センター開設。
#03	半導体製造競争と投資	市場概観	●●●●○	●●●●○	●●●●●	●●●●○	●●●●○	AI需要を背景にTSMC、ASEが先進パッケージング工 場建設を加速。SoIC生産能力増強などグローバルな投 資競争が激化。
#04	SKハイニックス、HB M	市場危機	●●●●○	●●●●○	●●●●●	●●●●○	●●●●●	SKハイニックスが記録的決算発表も、HBMの供給不 足が今後3年間続くと予測。HBM4Eのロードマップと 大規模投資を継続。
#05	3Dグラス、インド施設	企業戦略	●●●●○	●●●●○	●●●●○	●●●●○	●●●●○	3Dグラスソリューションズがインドに先進チップパッ ッケージング施設を建設。PLP技術を導入し、2030年量 産を目指す。
#06	ACCM、新素材発表	新製品	●●●●○	●●●●○	●●●●○	●●●●○	●●●●○	ACCMが負/ほぼゼロCTEの新素材「Celeritas HM50/ HM001」を発表。大型AIチップの熱機械的課題を解 決し信頼性向上。
#07	ASMPT、決算発表	企業戦略	●●●●○	●●●●○	●●●●○	●●●●○	●●●●○	ASMPTがAI需要に牽引され好調な決算を発表。TCB 、HB、フリップチップ、CPOなど先進パッケージ ングソリューションが成長。
#08	LSTC、光電融合PKG	応用研究	●●●●○	●●●●○	●●●●○	●●●●○	●●●●○	日本のLSTCがRapidus近傍で光電融合先進パッケー ングプロジェクトを開始。電力効率向上と遅延削減を 目指す。
#09	TIE、UCIeエンジニア	人材募集	●●●●○	●●●●○	●●●●○	●●●●○	●●●●○	テキサス電子工学研究所がUCIe対応ミックスドシグナ ル主任エンジニアを募集。2.5D/3Dチップレット相互 接続を強化。
#10	先進PKG市場レポート	市場概観	●●●●○	●●●●○	●●●●○	●●●●○	●●●●○	SDKI Analyticsのレポート概要。先進パッケージ ングがAIチップ開発競争を加速、チップレット統合とグロ ーバル投資が鍵。

●●●●○ 高 ●●●○ 中高 ●●○ 中 ●○ 低 | 背景黄色 = 注目記事

今週、判断に影響しうる3つの問い

① AI半導体パッケージングの需要増に、自社の供給体制は対応可能か？

TSMCはSoIC生産能力を月産4万枚に拡大し、SKハイニクスはHBMの3年間供給不足を予測しています。AIチップの性能向上は先進パッケージングに大きく依存しており、この需要増に材料・装置・製造能力が追いつくか、ボトルネックはどこにあるか、自社のサプライチェーンを再点検すべきです。

② 光電融合や負CTE材料など、次世代技術への投資戦略は十分か？

TSMCのCoUPE™、日本のLSTCの光電融合プロジェクト、ACCMの負CTE材料など、AIチップの性能限界を突破する新技術が次々と登場しています。これらの技術は、従来の設計思想や材料選定を根本から変える可能性があり、自社R&D;や協業による技術獲得の優先順位を再評価する必要があります。

③ 国際的な技術開発コンソーシアムへの参画は、自社の競争力強化に繋がるか？

レゾナックが日米コンソーシアム「US-JOINT」を本格始動させ、シリコンバレーにR&D;センターを開設しました。半導体技術開発の複雑化と地政学リスクの高まりを受け、国際的な連携が不可欠です。自社の強みを活かし、このような国際協力体制に参画することで、技術開発の加速と市場へのアクセスを確保できるか検討が急務です。

日本企業にとっての「機会 vs 脅威」

日本企業にとっての「機会 vs 脅威」マトリクス



項目	象限	↑ 機会	↓ 脅威
● 日米連携R&D;	機会大	国際協業で技術開発	—
● 光電融合PKG	機会大	日本発技術で優位	—
● CTE制御材料	注意	新規材料開発参入	既存材料の代替リスク
● AIPKG投資	注意	装置・材料市場拡大	競争激化と投資負担
● TSMC先端PKG	注意	先端材料・装置需要増	技術ロードマップ加速
● HBM供給不足	注意	HBM関連ビジネス	AIチップ供給制約
● インドPLP	参考	新興市場開拓	—

深掘り ① — TSMC、AI/HPC向け先端PKG技術を加速

#01 | 2026/04/22 | Barchart | 技術新規性●●●●○ 実用化距離●●●●○ 市場インパクト●●●●● データ信頼性●●●●○ 日本関連度●●●●○

TSMCは2026年北米技術シンポジウムで、A13プロセス技術に加え、CoWoS®の拡張、SoIC 3Dチップスタッキング、CoUPE™光インターコネクトといった先進パッケージング技術のロードマップを発表しました。2028年までに10個の演算ダイと20スタックのHBMを統合可能なCoWoS、2029年量産開始のSoIC 3DによるI/O密度1.8倍向上、そして2026年量産開始のCoUPE™による電力効率2倍・遅延90%削減は、AI/HPCの性能と効率を飛躍的に向上させるものです。

これらの技術は、チップレット統合と3Dスタッキングをさらに加速させ、ヘテロジニアスインテグレーションの可能性を広げます。特にCoUPE™のような光インターコネクトは、電気信号の限界を打破し、次世代高速通信を実現する鍵となります。TSMCの戦略は、AI時代の半導体設計とサプライチェーンに大きな影響を与えるでしょう。

▶ 技術者の視点

TSMCの発表は、AIチップの性能向上が微細化だけでなく、パッケージング技術に大きく依存していることを改めて示しています。特にCoUPE™の電力効率2倍、遅延90%削減という数値は非常に野心的であり、実現すればデータセンターのアーキテクチャを根本から変える可能性があります。しかし、光電融合技術はまだ実用化における課題が多く、特にチップレベルでの光信号の安定性、熱管理、コストが重要になります。日本企業にとっては、TSMCのロードマップに合わせた先端材料（低誘電率材料、熱対策材料、光導波路材料など）や装置（ボンディング、検査装置）の開発・供給が大きな【機会】となります。一方で、これらの技術革新に追従できない場合、日本の材料・装置メーカーはサプライチェーンから取り残される【脅威】に直面します。特に、光電融合技術は日本の強みである光技術を活かせる分野であり、LSTCの取り組み（#08）と連携し、早期の実用化を目指すべきです。

深掘り ② — HBM供給不足がAI市場のボトルネックに

#04 | 2026/04/23 | Bignewsnetwork.com | 技術新規性●●○○○ 実用化距離●●●●○ 市場インパクト●●●●● データ信頼性●●●●○ 日本関連度●●●●○

SKハイニックスは記録的な四半期決算を発表する一方で、高帯域幅メモリ（HBM）の需要が供給を少なくとも今後3年間上回ると予測しました。AI、HPC、サーバーDRAM、エンタープライズSSDへの堅調な需要が市場を牽引しており、同社は2026年下半年にHBM4Eサンプル出荷、2027年に量産開始を計画しています。M15Xファブ増強と龍仁クラスタのインフラ整備に大規模投資を継続し、AI市場の進化に対応する姿勢です。

HBMの供給不足は、AIアクセラレーターの生産を制約する主要因となり、AIインフラの展開速度に直接影響を与えます。SKハイニックスの積極的な投資は、このギャップを埋めるためのものですが、市場全体の供給バランス改善には時間を要すると見られます。HBMの製造および積層技術のさらなる効率化が求められるでしょう。

▶ 技術者の視点

HBMの3年間供給不足予測は、AIチップメーカーやデータセンター事業者にとって極めて深刻な情報です。AIチップの性能はHBMの帯域幅と容量に大きく依存するため、このボトルネックはAI産業全体の成長を鈍化させる【脅威】となります。日本の材料・装置メーカーにとっては、HBM製造に必要な先端材料（例えば、低誘電率層間絶縁膜、熱伝導性接着剤、TSV形成技術）や、積層・ボンディング装置（TCBなど）の需要がさらに高まる【機会】となります。特に、HBMの積層数増加に伴う熱管理は喫緊の課題であり、放熱材料や冷却技術の開発が重要性を増します。SKハイニックスが1cプロセスで安定した量産歩留まりを達成している点は注目に値しますが、HBM4E以降のさらなる高積層化では新たな技術的課題が浮上するでしょう。日本の半導体関連企業は、HBMサプライヤーとの連携を強化し、次世代HBMの要求仕様を早期に把握し、対応製品の開発を加速すべきです。

深掘り ③ — 大型AIチップの熱課題を解決する新素材

#06 | 2026/04/23 | Electronics360 | 技術新規性●●●●● 実用化距離●●●○○ 市場インパクト●●●●●
データ信頼性●●●●● 日本関連度●●●○○

アドバンスト・チップ・アンド・サーキット・マテリアルズ社（ACCM）は、大型AIチップパッケージングにおける熱機械的課題を解決するため、負およびほぼゼロの熱膨張係数（CTE）を持つ新素材「Celeritas HM50」と「Celeritas HM001」を発表しました。シリコンチップと回路基板の銅層間のCTEミスマッチは、リフロー時の反りやはんだ疲労破壊の主要因であり、AIチップの大型化・高密度化を阻害していました。

Celeritas HM50は-8 ppm/°Cの負のCTEを持ち、銅の正の膨張を相殺することで、基板全体の有効CTEをシリコンに近づけます。Celeritas HM001はほぼゼロのCTEに加え、高周波信号層で低損失性能を提供します。これらの素材は、従来のABFなどの材料が抱える熱的・信号完全性の限界を打破し、AIアクセラレーターの設計自由度と信頼性を向上させる画期的なソリューションです。

▶ 技術者の視点

負およびほぼゼロのCTEを持つ材料の登場は、大型AIチップのパッケージングにおける長年の課題であった熱機械的制約を根本的に解決する可能性を秘めており、学術的ブレークスルーに近い【技術新規性】があります。特に、-8 ppm/°Cという負のCTEは、銅の膨張を相殺するという点で非常にユニークです。これにより、パッケージの反りやはんだ接合部の信頼性問題が大幅に改善され、より大型で高集積なAIチップの実現に貢献するでしょう。ただし、これらの新素材の量産性、コスト、既存プロセスとの適合性、そして長期信頼性データ（特に熱サイクル寿命）については、今後の詳細な評価が必要です。日本は半導体パッケージング材料分野で世界をリードしており、この新素材は日本の材料メーカーにとって大きな【脅威】となり得ます。しかし、同時に、同様の機能を持つ材料や、さらに優れた特性を持つ材料を開発する【機会】でもあります。日本の材料メーカーは、この技術動向を深く分析し、自社の材料ポートフォリオを見直すとともに、ACCMのような革新的な企業との協業やM&A;も視野に入れるべきです。

その他の注目記事

半導体製造：加速する競争と先進パッケージングへの投資（360）
技術新規性●●○○○ 実用化距離●●●●● 市場インパクト●●●●●

AI需要に牽引され、TSMCやASEが先進パッケージング能力増強に大規模投資。グローバルなサプライチェーン再編と競争激化が顕著。

ASMPT、2026年第1四半期決算 - AIが牽引する強い需要（ASMPT Limited）
技術新規性●●○○○ 実用化距離●●●●● 市場インパクト●●●●●

ASMPTはAI分野からの堅調な需要で好調。TCB、HB、フリップチップ、CPOなど後工程ソリューションが成長ドライバー。

先進パッケージングがAIチップ開発競争を加速：グローバル市場レポート概要 2026年（SDKI Analytics）
技術新規性●○○○○ 実用化距離●●●●● 市場インパクト●●●●●

AIチップ開発競争における先進パッケージングの重要性を強調。チップレット統合と各国の大規模投資が市場を牽引。

3Dグラスソリューションズ、インド・オリッサ州に先進チップパッケージング施設を建設、2030年稼働目標（The Tribune）
技術新規性●●●○○ 実用化距離●●●○○ 市場インパクト●●●○○

インドが半導体エコシステム構築を加速。PLP技術導入の垂直統合型施設は、新興市場での先進パッケージングの動きを示す。

今週のアクション提案

記事評価マトリクスと機会/脅威分析を踏まえたアクション提案です。

■ 即時（今週中）

- 【調達】SKハイニックスのHBM供給不足予測を受け、主要AIチップサプライヤーのHBM調達計画と自社製品への影響を緊急評価。
- 【R&D;】TSMCのCoUPE™光インターコネクト技術の発表内容を精査し、自社の光電融合技術ロードマップとの整合性を確認。
- 【経営企画】AI半導体パッケージング市場の最新投資動向（TSMC, ASEなど）を収集し、自社の設備投資計画への影響を分析。

■ 短期（1ヶ月）

- 【R&D;/材料】ACCMの負/ゼロCTE新素材「Celeritas」の詳細情報を入手し、自社のパッケージング材料開発における競合優位性と応用可能性を評価。
- 【R&D;/半導体PKG】LSTCの光電融合先進パッケージングプロジェクトの進捗を注視し、Rapidusとの連携可能性や日本のサプライチェーンへの貢献機会を検討。
- 【経営企画】レゾナックのUS-JOINTコンソーシアムの活動内容を調査し、日本の材料・装置メーカーとして参画のメリット・デメリットを評価。

■ 中長期（四半期～）

- 【R&D;/EV設計】HBM高積層化に伴う熱管理課題に対し、革新的な放熱材料や冷却ソリューションの研究開発を強化。EV向けパワー半導体への応用も視野に入れる。
- 【人事/R&D;】UCIe対応ミックスドシグナルI/O回路設計など、先進パッケージングに必要な専門人材の育成・確保計画を策定。国内外の大学・研究機関との連携を強化。
- 【経営企画/調達】インドなど新興国における先進パッケージング施設の建設動向を継続的にモニタリングし、将来的なサプライチェーンの多様化戦略に組み込む。

半導体PLP 採用記事全文集

出力日: 2026-04-26

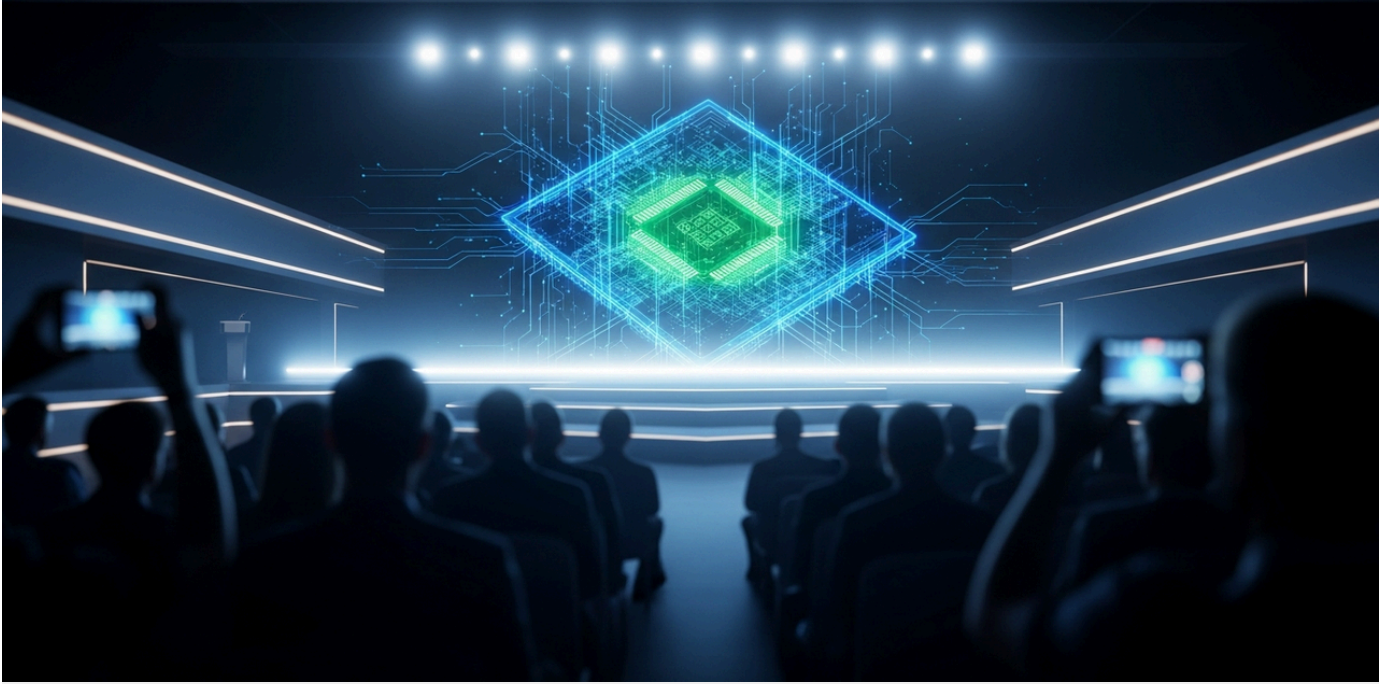
採用記事数: 10 件

収録記事一覧

1. 01. TSMC、2026年北米技術シンポジウムでA13技術を発表
2. 02. レゾナック、日米コンソーシアム「US-JOINT」の下で次世代半導体パッケージ技術R&Dセンターを本格始動
3. 03. 半導体製造：加速する競争と先進パッケージングへの投資
4. 04. SKハイニックス、記録的四半期決算の中、HBMの3年間供給不足を予測
5. 05. 3Dガラスソリューションズ、インド・オリッサ州に先進チップパッケージング施設を建設、2030年稼働目標
6. 06. アドバンスト・チップ・アンド・サーキット・マテリアルズ、大型AIチップの熱機械的課題を解決する新素材を発表
7. 07. ASMP T、2026年第1四半期決算を発表 – AIが牽引する強い需要
8. 08. 日本のLSTC、Rapidus拠点近傍で光電融合先進パッケージングプロジェクトを開始
9. 09. テキサス電子工学研究所、UCIe対応ミックストシグナル主任エンジニアを募集
10. 10. 先進パッケージングがAIチップ開発競争を加速：グローバル市場レポート概要 2026年

TSMC、2026年北米技術シンポジウムでA13技術を発表

公開日 2026年04月22日 Barchart アメリカ



概要

TSMCは、2026年北米技術シンポジウムで新たなA13プロセス技術を発表しました。この技術は、AI、HPC、モバイルアプリケーション向けに設計されており、既存のA14ノードをさらに微細化したものです。同社は、2028年までに約10個の大型演算ダイと20スタックのHBMを統合可能なCoWoS®技術の拡張を計画しています。さらに、2029年生産開始予定のSoIC 3Dチップスタッキングにより、ダイ間のI/O密度を1.8倍に向上させると共に、2026年には電力効率を倍増させ遅延を90%削減するCoUPE™技術の量産開始を予定しています。これらの革新は、高性能コンピューティングとメモリに対する増大する需要に応えるTSMCの姿勢を示すものです。

背景：AI時代の先端パッケージング需要

人工知能（AI）と高性能コンピューティング（HPC）の進化は、半導体チップの設計と製造に前例のない要求をもたらしています。特に、単一パッケージ内でより多くの演算能力とメモリ帯域幅を実現するため、従来のムーアの法則を超えた新たな技術革新が求められています。TSMCのようなファウンドリ企業は、この課題に対応するため、微細化プロセスだけでなく、チップレット統合、3Dスタッキング、コパッケージド・オプティクスといった先進パッケージング技術の開発に注力しています。

主要内容：TSMCのA13プロセスとCoWoS、SoICの進化

TSMCは、2026年の北米技術シンポジウムにおいて、最新のA13プロセス技術を発表しました。この技術は、AI、HPC、モバイルデバイス向けに最適化されたA14ノードの直接的な微細化版です。同社は、その先進パッケージング技術においても大きな進展を示しました。

- **CoWoS®技術の拡張:** 2028年までに、14リテンクルサイズのCoWoSが実用化され、これにより約10個の大型演算ダイと20スタックのHBM（高帯域幅メモリ）を単一パッケージに統合することが可能になります。これは、AIアクセラレーターの性能を飛躍的に向上させる上で極めて重要です。
- **SoIC 3Dチップスタッキング:** 2029年には、A14-to-A14 SoIC 3Dチップスタッキングが量産段階に入ると発表されました。この技術は、ダイ間のI/O密度を1.8倍に高め、より緊密で効率的なチップ統合を実現します。これにより、データ転送速度が向上し、消費電力も削減されます。
- **Compact Universal Photonic Engine (COUPE™):** 2026年に量産開始予定のCOUPE™は、コパッケージド・オプティクス技術を用いて、電力効率を2倍にし、遅延を90%削減することを目標としています。これは、光インターコネクトをチップパッケージ内部に組み込むことで、電気信号の限界を打破し、次世代の高速通信を実現するものです。

影響と展望：次世代HPCおよびAIへの貢献

これらの技術革新は、TSMCがAIおよびHPC分野におけるリーダーシップをさらに強化する上で不可欠です。A13プロセスと先進パッケージング技術の組み合わせは、次世代のAIチップ、データセンター、およびモバイル機器における性能と電力効率の要求を満たす基盤となります。特に、CoWoSとSoICの進化は、チップレットベースの設計をさらに加速させ、異なる機能を持つ複数のチップを効率的に統合するヘテロジニアスインテグレーションの可能性を広げます。また、COUPE™のような光インターコネクト技術の導入は、データ転送のボトルネックを解消し、AIワークロードの処理能力を劇的に向上させる潜在能力を秘めています。TSMCは、これらの技術を通じて、今後も半導体産業の発展を牽引していくと見られます。

元記事: <https://www.barchart.com/story/news/1456433/tsmc-debuts-a13-technology-at-2026-north-america-technology-symposium>

収集日: 2026年04月25日 | 自動記事収集・翻訳システム (Gemini API使用)

レゾナック、日米コンソーシアム「US-JOINT」の下で次世代半導体パッケージ技術R&Dセンターを本格始動

公開日 2026年04月21日 Resonac 日本



概要

レゾナックは、日米の材料・装置メーカー12社で構成されるコンソーシアム「US-JOINT」を本格始動させ、シリコンバレーに新たなR&Dセンターを開設しました。この取り組みは、次世代半導体パッケージング技術開発の新しいモデルを構築することを目的としています。R&Dセンターは、先進半導体の主要ユーザーと協力し、材料、評価、パッケージング技術の研究開発を加速させ、早期の実用化を目指します。先進パッケージングプロセスの検証に特化した米国初の拠点として、日米協力による技術革新を推進します。

背景：国際協力による半導体技術開発の加速

半導体技術の急速な進化と地政学的な要因により、各国は自国のサプライチェーン強化と技術革新を加速させる必要に迫られています。特に、先端半導体パッケージングは、チップ性能向上とコスト効率化の鍵を握る重要な分野です。この複雑で多岐にわたる技術開発には、材料メーカー、装置メーカー、そして半導体ユーザー間の緊密な連携が不可欠であり、国際的なコンソーシアムがその有効な手段として注目されています。

主要内容：US-JOINTとシリコンバレーR&Dセンターの役割

日本の化学素材大手であるレゾナック（旧昭和電工）は、米国と日本の主要な材料・装置メーカー計12社からなるコンソーシアム「US-JOINT」の本格始動を発表しました。このコンソーシアムは、次世代半導体パッケージング技術の開発モデル確立を目指しており、その中核拠点として、米国シリコンバレーに新たなR&Dセンターを設立しました。

- **目的:** 先進半導体パッケージングにおける材料、評価、パッケージング技術の研究開発を加速し、迅速な実用化を図ること。
- **活動内容:** パターニング、ボンディング、モールディング、めっきといった先進パッケージングプロセスに加え、総合的な評価・分析技術の開発に注力します。
- **連携:** シリコンバレーのR&Dセンターは、先進半導体の主要なユーザー企業と連携し、新しいコンセプトの検証を行うプラットフォームとしての役割を担います。これにより、市場のニーズに即した技術開発が可能となります。
- **意義:** 米国に設立された先進半導体パッケージング専門のR&D拠点としては初めてであり、日米間の技術協力とイノベーションを象徴する取り組みとなります。

この取り組みは、半導体パッケージング材料で世界トップクラスのシェアを持つレゾナックが、先端パッケージングのバリューチェーン全体を最適化し、競争力を強化するための戦略の一環です。

影響と展望：サプライチェーン強靱化と技術エコシステムの構築

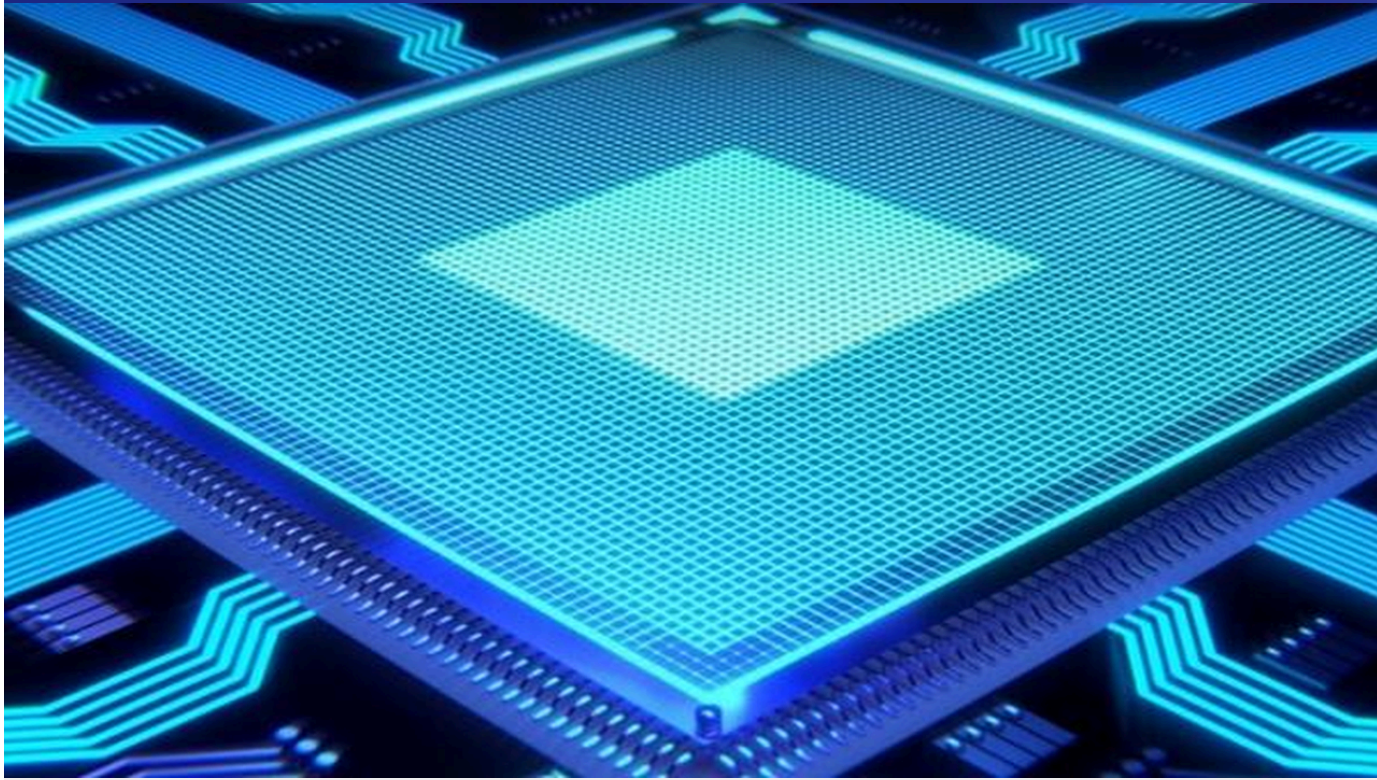
US-JOINTの活動は、日米両国の半導体サプライチェーンの強靱化に大きく貢献すると期待されます。特に、先進パッケージングは、AIやHPCといった高性能チップの性能を最大限に引き出す上で欠かせない要素であり、この分野での技術革新は国際競争力の維持に直結します。シリコンバレーに拠点を置くことで、最先端の技術動向や顧客ニーズを直接取り込み、研究開発サイクルを大幅に短縮できるメリットがあります。このコンソーシアムを通じて、参加各社は個社の枠を超えた連携を深め、将来の半導体エコシステムの中核を担う技術を共同で創出していくこととなります。将来的には、この取り組みが、より高性能で信頼性の高い半導体製品の開発へと繋がり、デジタル社会の発展に寄与することが展望されます。

元記事: <https://www.resonac.com/jp/news/2026/04/21/3801.html>

収集日: 2026年04月25日 | 自動記事収集・翻訳システム (Gemini API使用)

半導体製造：加速する競争と先進パッケージングへの投資

公開日 2026年04月22日 36氦 (36Kr) 中国



概要

AIアプリケーションの急速な成長を背景に、半導体製造業界では激しい競争が繰り広げられており、主要企業による設備投資が大幅に増加しています。TSMCは、米国初のAP9工場を含め、先進パッケージング工場の建設を加速しており、台湾ではSoICの生産能力を月産4万枚に拡大する計画です。OSAT最大手のASEも2026年に過去最大規模の工場建設を進め、高機能テストと先進パッケージングに注力しています。これらの動きは、AIおよびHPC分野からの強い需要と、地政学的なサプライチェーン再編の直接的な結果であり、世界的に先進パッケージング能力の増強が進んでいます。

背景：AIブームと地政学的要因による半導体競争の激化

人工知能（AI）技術の爆発的な進展は、半導体産業に未曾有の需要を生み出し、高性能AIチップの供給競争を激化させています。これに伴い、主要な半導体メーカーや受託製造業者（ファウンドリ）は、先端パッケージング技術への大規模な投資を加速しています。同時に、各国政府が半導体サプライチェーンの国内回帰や自国での生産能力強化を推進する地政学的な動きも、この競争に拍車をかけています。特に、先進パッケージングは、チップ性能を向上させ、電力効率を高める上で不可欠な要素となり、次世代AIチップ開発のボトルネックを解消する鍵として位置づけられています。

主要内容：主要プレイヤーによる先端パッケージング投資動向

レポートによると、半導体製造業界の主要プレイヤーは、AIおよび高性能コンピューティング（HPC）分野からの強力な需要に応えるため、先進パッケージング能力の大幅な増強に乗り出しています。

● TSMCの動向:

- TSMCは、先進パッケージング工場（特にInFOおよびCoWoS技術向け）の建設を加速しています。米国初となるAP9工場は2028年稼働を目指しており、台湾ではSoIC（System-on-Integrated Chips）の生産能力を2027年までに月産4万枚へと大幅に拡大する計画です。
- これらの投資は、AIチップにおける高い集積度と性能要件に対応するためのもので、特にチップレット統合や3Dスタッキング技術の需要増加を反映しています。

● ASEの動向:

- OSAT（Outsourced Semiconductor Assembly and Test）業界のリーダーであるASE（日月光投控）も、2026年に過去最大規模となる工場建設ウェーブを計画しています。
- 世界各地に6つの新施設を建設する予定で、特にハイエンドテストと先進パッケージングに注力するとされています。これは、AIチップの複雑化に伴うテストの高度化と、多様な先進パッケージングソリューションへの対応力を強化する狙いがあります。

これらの動きは、高性能チップに対する飽くなき需要と、地政学的なサプライチェーンの再編という二つの大きな流れに直接的に対応するものです。

影響と展望：グローバルな先進パッケージング能力の増強

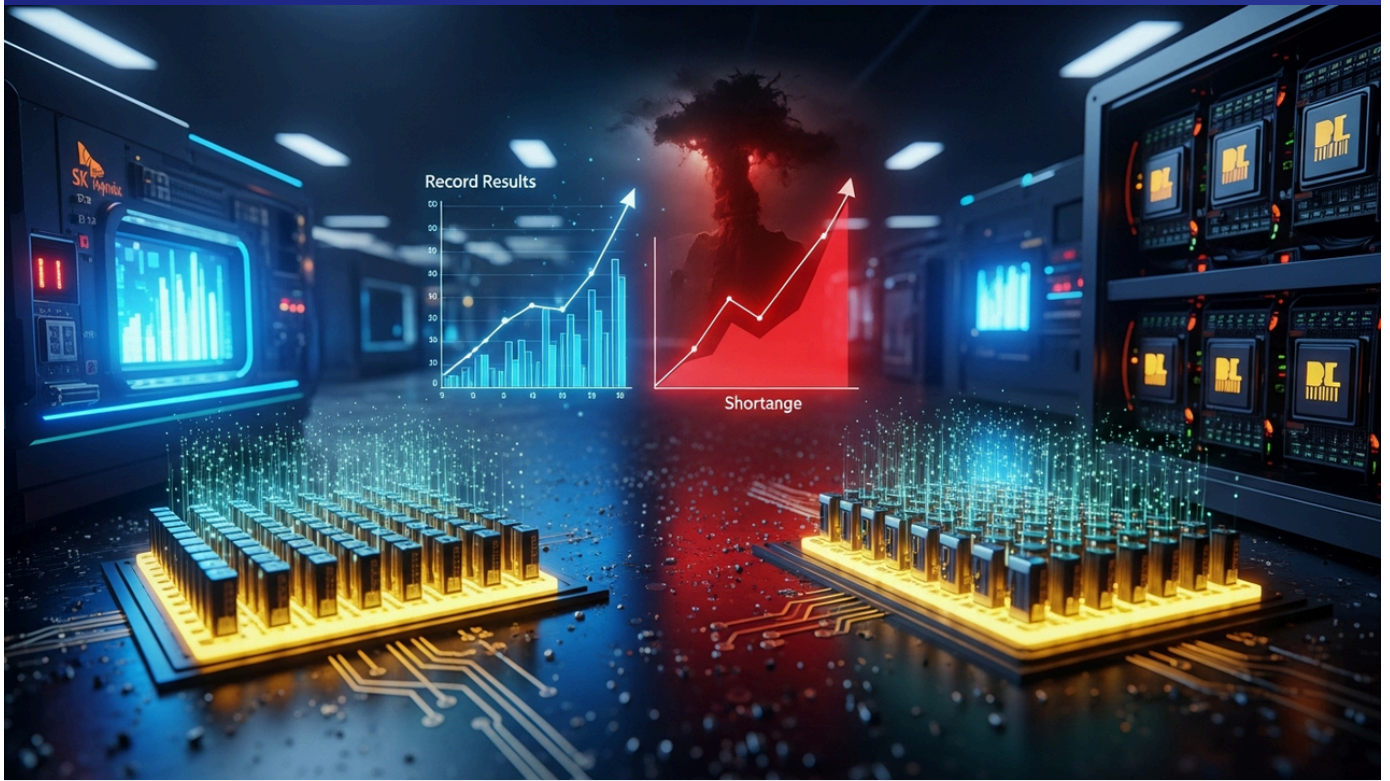
半導体業界全体として、AIやHPCの成長によって引き起こされる先進パッケージングへの需要急増に対応するため、グローバルな生産能力増強が喫緊の課題となっています。TSMCやASEのような業界大手による大規模投資は、この需要ギャップを埋めるための重要なステップです。先進パッケージング技術は、チップレット間接続の性能向上、電力効率の改善、そしてチップサイズの最適化に不可欠であり、AIアクセラレーターの将来的な発展を左右します。今後も、この分野における技術革新と設備投資競争は継続し、より高性能でコスト効率の良いAIチップの実現に向けて、各社がしのぎを削ることが予想されます。これは、半導体サプライチェーン全体における付加価値が、より後工程（バックエンド）へとシフトしていることを示唆しています。

元記事: <https://eu.36kr.com/en/p/3777325354436609>

収集日: 2026年04月25日 | 自動記事収集・翻訳システム (Gemini API使用)

SKハイニックス、記録的四半期決算の中、HBMの3年間供給不足を予測

公開日 2026年04月23日 Bignewsnetwork.com 韓国



概要

SKハイニックスは、記録的な四半期決算を発表する一方で、高帯域幅メモリ（HBM）の需要が供給を少なくとも今後3年間上回ると予測しています。同社は、HBM、サーバーDRAM、エンタープライズSSDへの堅調な需要が市場の好況を牽引していると説明しました。SKハイニックスは、2026年下半期にHBM4Eサンプルを出荷し、2027年に量産を開始する計画であり、既に1cプロセスでの安定した量産歩留まりを達成しています。同社はM15Xファブの増強と龍仁（ヨンイン）クラスターのインフラ整備に重点を置き、大規模な投資を継続することで、AI市場の進化に対応し、高性能メモリ市場での地位を強化する狙いです。

背景：AIの台頭によるHBM需要の爆発的増加

近年、生成AIなどの人工知能技術の急速な発展は、データセンターや高性能コンピューティング（HPC）において、膨大なデータ処理能力を必要とするようになりました。これに伴い、従来のDRAMよりもはるかに高い帯域幅を提供する高帯域幅メモリ（HBM）への需要が爆発的に増加しています。HBMは、CPUやGPUと密接に連携し、AIアクセラレーターの性能を最大限に引き出す上で不可欠なコンポーネントであり、その供給能力がAIエコシステムの成長を左右する主要な要因となっています。

主要内容：SKハイニックスのHBM市場予測と増産戦略

半導体メモリ大手のSKハイニックスは、記録的な四半期決算を発表したと報じられています。この好調の背景には、HBMだけでなく、サーバーDRAMやエンタープライズSSDへの堅調な需要があり、同社は市場のアップサイクルが持続すると見えています。特に、HBMに関しては、今後少なくとも3年間は需要が供給を上回る状況が続くと予測しており、これはAI市場の拡大がHBM供給に与える強い影響を示唆しています。

- **HBM製品ロードマップ:** SKハイニックスは、次世代HBMであるHBM4Eのサンプルを2026年下半期に提供開始し、2027年には量産体制に入る計画です。これは、同社がHBM技術ロードマップを着実に実行していることを示します。
- **製造プロセスと投資:** 同社はすでに1cプロセスでの安定した量産歩留まりを達成しており、製造技術の成熟度が高いことを強調しています。また、M15Xファブの能力増強と、龍仁（ヨンイン）半導体クラスターにおけるインフラ整備に重点を置いた大規模な設備投資を計画しています。これらの投資は、長期的な顧客需要に応え、HBM生産能力を拡大するための戦略的な動きです。

SKハイニックスは、HBM市場における先行者としての優位性を維持し、AI分野における高性能メモリの主要サプライヤーとしての地位を固めることを目指しています。

影響と展望 : AIエコシステムへの波及効果

HBMの供給不足が今後数年間続くというSKハイニックスの予測は、AIチップメーカーやデータセンター事業者にとって重要な意味を持ちます。高性能AIアクセラレーターの生産は、HBMの調達能力に大きく依存するため、この供給制約はAIインフラの展開速度に影響を与える可能性があります。SKハイニックスの大規模な投資計画は、将来の需要に応えるための積極的な姿勢を示していますが、市場全体の供給バランスが改善するには時間を要すると見られます。今後、HBMサプライヤー各社は生産能力のさらなる増強を迫られるとともに、より効率的なHBMの製造および積層技術の開発が加速されるでしょう。この市場動向は、AI技術の進化と普及に直接的な影響を与える、半導体業界全体の注目点となります。

元記事: <https://www.bignetwork.com/news/279007206/sk-hynix-projects-three-year-hbm-supply-shortage-amid-record-quarterly-earnings>

収集日: 2026年04月25日 | 自動記事収集・翻訳システム (Gemini API使用)

3Dグラスソリューションズ、インド・オリッサ州に先進チップパッケージング施設を建設、2030年稼働目標

公開日 2026年04月19日 The Tribune インド



概要

3Dグラスソリューションズは、インドのオリッサ州に約2億3300万ドル（約1,943クロール・ルピー）を投じ、先進チップパッケージング施設の建設を発表しました。この施設は、従来のOSATモデルとは異なり、基板製造、組み立て、先進パッケージングを統合した垂直統合型オペレーションとなる予定です。特に、既存のウェハーベースプロセスからパネルレベルプロセス技術への移行を特徴とし、データセンター、HPC、AI、5G/6G通信システムなどの高成長分野をターゲットとしています。商業生産は2028年8月に開始され、2030年8月までに本格的な量産体制を確立する計画です。

背景：インドにおける半導体エコシステム構築の動き

近年、世界各国は半導体製造能力の確保とサプライチェーンの多様化を国家戦略として推進しています。インドも例外ではなく、政府は「メイク・イン・インド」政策の下、国内の半導体エコシステム構築に力を入れています。特に、先進パッケージングは、高機能チップの性能を最大限に引き出すために不可欠な技術であり、この分野への投資は、インドを世界の半導体サプライチェーンにおける重要なプレイヤーとして位置づける上で極めて重要です。

主要内容：3Dガラスソリューションズの大型投資とパネルレベルパッケージング

3Dガラスソリューションズは、インド東部のオリッサ州に、大規模な先進チップパッケージング施設を建設するために、1,943クロール・ルピー（約2億3300万米ドル）を投資すると発表しました。このプロジェクトは、インドの半導体産業にとって画期的なものです。

- **垂直統合型施設:** この施設は、従来のOSAT（Outsourced Semiconductor Assembly and Test）モデルとは異なり、基板製造、組み立て、先進パッケージングを単一のサイト内で垂直統合するオペレーションを特徴とします。これにより、サプライチェーンの効率化と品質管理の向上を図ります。
- **パネルレベルプロセスへの移行:** 施設の第一段階では、510mm x 515mmのガラスパネルを処理する能力を持ち、月間5,800枚のパネルを生産する計画です。同社は、既存のウェハーベースのプロセスから、よりコスト効率が高く、大型化に対応しやすいパネルレベルプロセス技術への移行を進めます。パネルレベルパッケージング（PLP）は、複数のチップを大きなパネル上で一度に処理することで、生産効率とスループットを向上させる技術として注目されています。
- **ターゲット市場:** 新施設で製造されるチップは、データセンター、高性能コンピューティング（HPC）、人工知能（AI）、機械学習、5G/6G通信システムといった、高成長が期待される分野向けに供給される予定です。
- **稼働目標:** 商業生産は2028年8月に開始され、2030年8月までには本格的な量産体制に入ることを目指しています。

影響と展望：インドの半導体産業への貢献とPLPの将来性

3Dグラスソリューションズのこの投資は、インドの半導体製造能力を大幅に強化し、特に先進パッケージング分野における国内エコシステムの発展に貢献します。パネルレベルパッケージング技術の導入は、従来のウェハーレベルパッケージング（WLP）に比べて、より大型で多様なチップの統合を可能にし、製造コストの削減とスループットの向上を実現する潜在能力を持っています。これは、AIチップやHPC向け半導体のように、ますます大型化・複雑化するチップに対応するために不可欠な進化です。

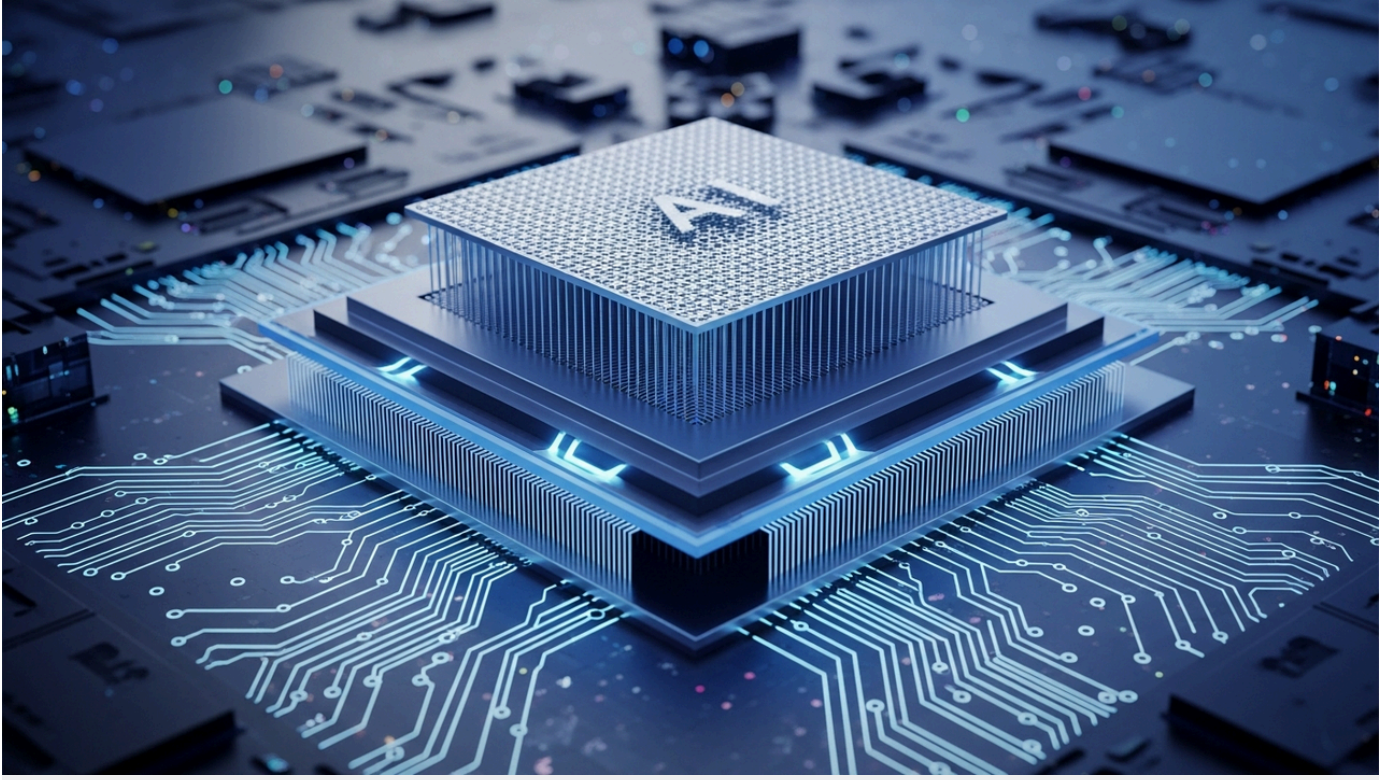
インド政府の強力な支援と、このような先端技術への投資は、インドが単なる半導体消費国から、グローバルな半導体サプライチェーンにおける製造拠点へと転換する重要な一歩となります。将来的には、このプロジェクトが他の国際企業によるインドへの投資を誘引し、国内の技術革新と雇用創出をさらに促進することが期待されます。

元記事: <https://www.tribuneindia.com/news/business/3d-glass-solutions-to-invest-rs-1943-crore-in-odisha-for-advanced-chip-packaging-facility-targets-2030-production/>

収集日: 2026年04月25日 | 自動記事収集・翻訳システム (Gemini API使用)

アドバンスト・チップ・アンド・サーキット・マテリアルズ、大型AIチップの熱機械的課題を解決する新素材を発表

公開日 2026年04月23日 Electronics360 アメリカ



概要

アドバンスト・チップ・アンド・サーキット・マテリアルズ社（ACCM）は、大型AIチップパッケージにおける熱機械的課題を解決するため、負およびほぼゼロの熱膨張係数（CTE）を持つ革新的な新素材「Celeritas HM50」と「Celeritas HM001」を発表しました。シリコンチップと回路基板の銅層間のCTEミスマッチは、リフロー時の反り、パッケージの湾曲、はんだ疲労破壊を引き起こし、AIチップの大型化と高密度化を阻害する主要因でした。これらの新素材は、銅の正の熱膨張を相殺し、高周波信号層で低損失性能を提供することで、AIアクセラレーターの設計限界を押し広げ、信頼性の高い大型AIチップの実現に貢献します。

背景：大型AIチップにおける熱機械的課題の深刻化

AIおよび高性能コンピューティング（HPC）チップは、その性能向上のために、より大型化、高集積化が進んでいます。しかし、チップが大きくなるにつれて、異なる材料間で発生する熱膨張係数（CTE: Coefficient of Thermal Expansion）のミスマッチが深刻な問題となります。特に、シリコンチップと、それを搭載する回路基板の銅層との間には大きなCTE差があり、製造工程での熱サイクルや実際の動作環境での温度変化によって、パッケージの反り（warpage）、湾曲（bow）、さらにははんだ接合部の疲労破壊といった信頼性上の問題を引き起こします。これらの熱機械的な制約は、AIチップのサイズと集積度の限界を定め、次世代AIアクセラレーターの開発における大きな障壁となっていました。

主要内容：ACCMによる革新的なCTE制御材料

アドバンスド・チップ・アンド・サーキット・マテリアルズ社（ACCM）は、この長年の課題に対処するため、革新的な新素材を発表しました。同社が開発したのは、負のCTEを持つ「Celeritas HM50」と、ほぼゼロのCTEを持つ「Celeritas HM001」です。

- **Celeritas HM50 (負のCTE):** この素材は、 $-8 \text{ ppm}/^{\circ}\text{C}$ という負の熱膨張係数を持っており、これは一般的な銅配線材料（約 $17 \text{ ppm}/^{\circ}\text{C}$ ）が示す正の膨張を相殺するように設計されています。これにより、基板全体としての有効CTEをシリコンチップのCTE（約 $3 \text{ ppm}/^{\circ}\text{C}$ ）に近づけることが可能となり、熱応力を大幅に低減します。
- **Celeritas HM001 (ほぼゼロのCTE):** この素材は、文字通りほぼゼロの熱膨張係数を持ち、さらに高周波信号層での低損失性能も実現しています。これは、高速信号の伝送品質を維持しつつ、熱応力を最小限に抑えることを可能にします。

これらの新素材は、特に大型AIチップのパッケージングにおいて、リフロー時の反りやパッケージの湾曲、はんだ接合部の疲労破壊といった問題を効果的に抑制します。これにより、AIチップのサイズやダイ密度をさらに拡大できる可能性が開かれ、AIアクセラレーターのアーキテクチャ設計における新たな自由度を提供します。

影響と展望：AIチップの性能向上と新材料の重要性

ACCMの新素材の登場は、AIチップパッケージングの分野において画期的な進展を意味します。従来のAjinomoto Build-up Film (ABF) などの材料が熱的および信号完全性の限界に達しつつある中で、これらのCTE制御材料は、次世代AIデバイスの信頼性と性能を向上させる上で極めて重要です。大型AIチップの設計者は、より大きなシリコンダイや多数のチップレットを安心して統合できるようになり、これによりAIの処理能力と効率が飛躍的に向上する可能性があります。これは、データセンター、自動運転、ロボティクスなど、高度なAIが不可欠なあらゆる分野の発展を加速させるでしょう。今後、高性能チップ開発において、このような先進的なパッケージング材料の重要性は一層高まると予想されます。

元記事: <https://electronics360.globalspec.com/article/23658/advanced-chip-and-circuit-materials-introduces-negative-and-near-zero-cte-materials-to-eliminate-thermomechanical-constraints-for-large-format-ai-chips>

収集日: 2026年04月25日 | 自動記事収集・翻訳システム (Gemini API使用)

ASMPT、2026年第1四半期決算を発表 – AIが牽引する強い需要

公開日 2026年04月21日 ASMPT Limited 香港



概要

ASMPT Limitedは、AI分野からの堅調な需要に牽引され、2026年第1四半期に好調な業績を報告しました。同社は、半導体製造の後工程（バックエンド）における価値と複雑性のシフトを指摘し、同社の包括的なソリューションへの需要が高まっていることを強調しています。特に、先進的なロジックとメモリの相互接続を実現するサーモコンプレッションボンディング（TCB）やハイブリッドボンディング（HB）、2.5Dパッケージング向けのフリップチップ、そしてフォトニクスおよびコパッケージド・オプティクス（CPO）が主要な成長分野として挙げられています。1.6Tトランシーバソリューションが大量受注を獲得し、主要CPOプレイヤーとの連携を深めていることから、市場での強い牽引力が示されており、AIの普及が2026年を通じてASMPTの幅広い事業領域で構造的な需要を維持すると予測されています。

背景：AI駆動型半導体市場の変化と後工程の重要性

人工知能（AI）の急速な進化は、半導体製造のバリューチェーンにおいて、その付加価値と複雑性の中心を後工程（バックエンド）へとシフトさせています。特に、AIアクセラレーターのような高性能チップは、微細化された前工程（フロントエンド）だけでなく、複数のチップレットを効率的かつ高密度に統合する先進パッケージング技術に大きく依存するようになりました。これにより、組立、テスト、インターコネクト技術を提供する企業は、AI革命の重要な担い手として、その役割を増しています。

主要内容：ASMPTの好調な業績と先進パッケージング戦略

半導体およびエレクトロニクス製造ソリューションのリーディングプロバイダーであるASMPT Limitedは、2026年第1四半期に、AI分野からの強力な需要に支えられ、堅調な業績を達成したことを発表しました。この成功は、同社が提供する先進パッケージング技術が、現在の市場ニーズにいかにか合致しているかを示しています。

- **価値と複雑性のシフト:** ASMPTは、半導体製造における価値と複雑性が、従来のウェハー製造からバックエンド製造へと大きくシフトしていることを強調しています。これにより、同社の包括的なバックエンドソリューションへの需要が、今後も堅調に推移すると見えています。
- **主要な成長ドライバー:**
 - **サーモコンプレッションボンディング（TCB）とハイブリッドボンディング（HB）:** これらは、先進的なロジックチップとメモリチップの超高密度相互接続を実現する鍵となる技術であり、特にHBMや3Dスタッキングにおいてその重要性が高まっています。
 - **高精度フリップチップ:** 2.5Dパッケージングに不可欠な技術であり、高効率なチップ統合を可能にします。
 - **フォトニクスおよびコパッケージド・オプティクス（CPO）:** ASMPTは、光信号処理技術とチップを統合するCPOソリューションにおいて、主要なプレイヤーとの連携を深めており、1.6Tトランシーバーソリューションで大量受注を獲得しました。これは、データセンターにおける光インターコネクトの需要拡大を背景としています。

これらの技術は、AIチップの性能向上だけでなく、消費電力の削減やデータ転送速度の向上に大きく貢献します。

影響と展望 : AI普及による持続的成長

ASMPTの好調な業績と先進パッケージング技術への注力は、AI技術の普及が半導体製造装置市場に与える長期的な影響を明確に示しています。同社は、AIの継続的な普及が、2026年を通じてSEMI（半導体ソリューション）とSMT（表面実装技術）の両事業セグメントにおいて、広範で構造的な需要を持続させると予測しています。これは、AIチップの設計がより複雑化し、パッケージング技術が性能向上に果たす役割がますます大きくなることを意味します。今後、ASMPTのようなバックエンドソリューションプロバイダーは、AIチップの進化を支える上で、より戦略的なパートナーとしての地位を確立していくことでしょう。

元記事: <https://www.asmpt.com/en/investor-relations/news-events/asmpt-announces-2026-first-quarter-results/>

収集日: 2026年04月25日 | 自動記事収集・翻訳システム (Gemini API使用)

日本のLSTC、Rapidus拠点近傍で光電融合先進パッケージングプロジェクトを開始

公開日 2026年04月23日 Digitimes 日本



概要

日本の先端半導体技術センター（LSTC）は、北海道千歳市のRapidus半導体工場近くで、光電融合先進パッケージングプロジェクトを正式に開始しました。このプロジェクトは、Rapidusを含む複数の機関が参加し、光通信技術をコンピューティングに応用する光電融合の進展を目指します。千歳科学技術大学に開発拠点を設置し、光インターコネクトを利用して半導体コンピューティングの電力効率向上と遅延削減を追求します。この協業は、日本が強固な国内半導体エコシステムを確立し、高性能コンピューティングやAIの進化する需要に対応するための広範な戦略の一環です。

背景：日本の半導体復興戦略と光電融合の重要性

日本は、かつて世界をリードした半導体産業の再興を目指し、国を挙げた戦略を推進しています。その中核を担うのが、次世代ロジック半導体の国産化を目指すRapidus（ラピダス）であり、その周辺技術エコシステムの構築が喫緊の課題です。特に、AIや高性能コンピューティング（HPC）の発展に伴い、従来の電気信号によるデータ伝送の限界が顕在化しており、光通信技術を半導体チップに統合する「光電融合」は、電力効率の向上とデータ遅延の削減を実現する次世代技術として極めて注目されています。

主要内容：LSTCによる光電融合先進パッケージングプロジェクト

日本の先端半導体技術センター（LSTC）は、北海道千歳市に位置するRapidusの半導体工場近傍で、光電融合先進パッケージングプロジェクトを正式に立ち上げました。このプロジェクトは、Rapidusを含む複数の組織が参加する大規模な共同研究開発イニシアティブです。

- **目的:** 光通信技術をコンピューティングに適用する光電融合技術の進展を図り、次世代の高性能チップパッケージングソリューションを開発すること。
- **開発拠点:** 千歳科学技術大学に開発拠点が設置され、研究活動が行われます。これにより、学術機関との連携を強化し、基礎研究から応用開発までを一体的に推進する体制を構築します。
- **技術的焦点:** インターコネク트에光を用いることで、半導体コンピューティングの電力効率を大幅に向上させ、同時にデータ伝送の遅延を劇的に削減することを目指します。これは、データセンターやAIアクセラレーターにおける消費電力と性能のボトルネックを解消する上で不可欠な技術です。

このプロジェクトは、日本の半導体産業が、先端技術分野で再び主導権を握るための重要なステップと位置付けられています。

影響と展望：次世代コンピューティングと国内エコシステムへの貢献

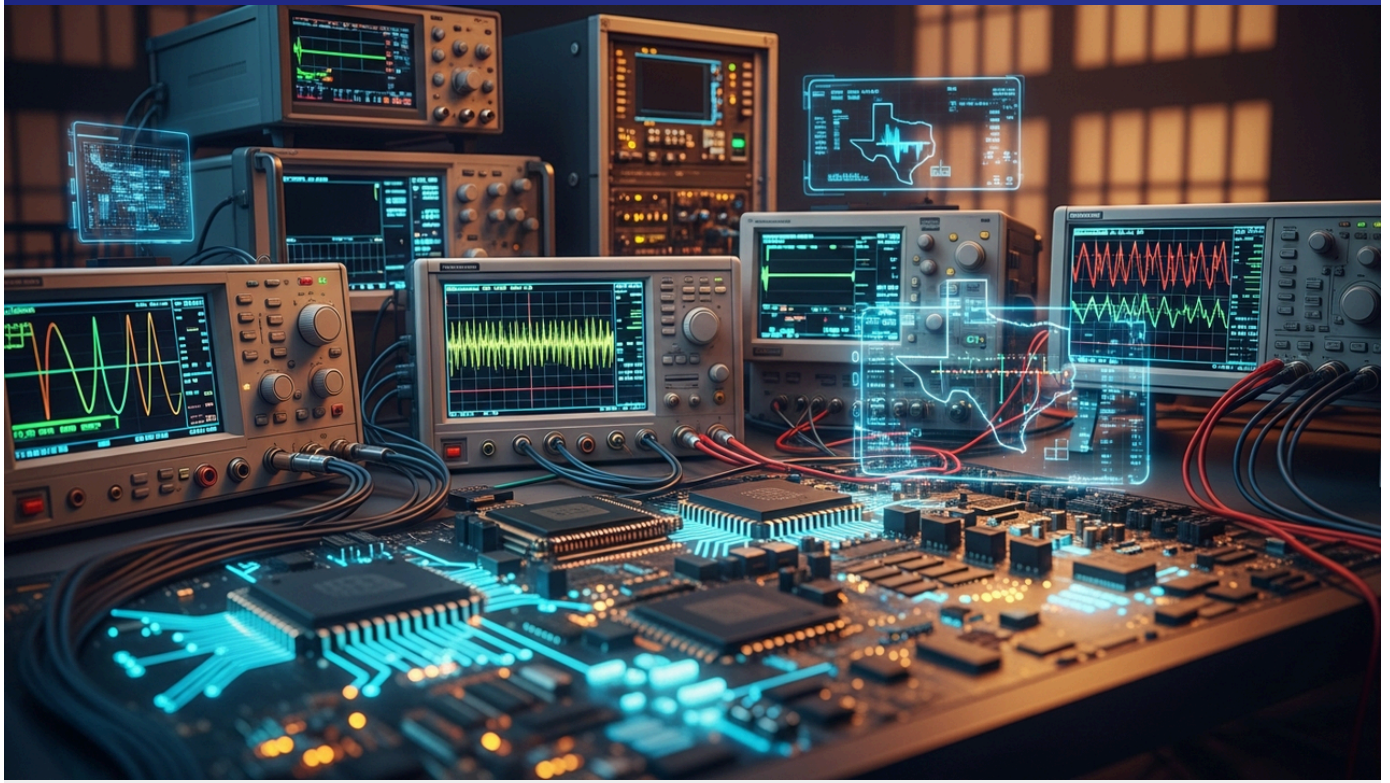
LSTCの光電融合先進パッケージングプロジェクトは、日本が目指す強固な国内半導体エコシステムの構築に大きく貢献します。特に、Rapidusの最先端ロジック半導体製造と連携することで、フロントエンドとバックエンドの技術統合を加速させ、世界トップレベルの次世代チップ開発を可能にします。光電融合技術は、AIのさらなる進化、量子コンピューティング、テラビット級のデータ通信など、将来のコンピューティングパラダイムを支える基盤技術となることが期待されます。このプロジェクトを通じて、日本は半導体製造だけでなく、その周辺技術においても国際競争力を高め、高性能コンピューティングやAIの進化する需要に対応するための重要な役割を果たすことが展望されます。これにより、国内外の産業界に新たなイノベーションと経済的価値をもたらすでしょう。

元記事: <https://www.digitimes.com/news/a20260422PD225/rapidus-packaging-lstc-technology-2026.html>

収集日: 2026年04月25日 | 自動記事収集・翻訳システム (Gemini API使用)

テキサス電子工学研究所、UCIe対応ミックスドシグナル主任エンジニアを募集

公開日 2026年04月21日 jobRxiv アメリカ



概要

テキサス電子工学研究所 (TIE) は、2.5D/3Dマイクロシステム向けのUCIe 2.5Dおよび3.0Dダイ・ツー・ダイ・インターフェースに対応する高速ミックスドシグナルI/O回路の設計・開発を担う主任エンジニアを募集しています。この職務は、AI、HPC、防衛プラットフォームにおける堅牢で低遅延のチップレット相互接続を実現することに重点を置いています。SerDes、クロック・データリカバリ、トランシーバー回路の最適化が求められ、パッケージング、EDA、システムモデリングチームとの連携を通じてI/O性能の共最適化を図ります。これは、米国がマイクロエレクトロニクス製造におけるリーダーシップを回復するため、DARPAおよび州政府からの資金援助を受けて推進する先進パッケージング技術と3Dヘテロジニアス統合の重要性を示すものです。

背景：先端チップレット技術とヘテロジニアス統合の進展

現代の高性能半導体は、単一のモノリシックチップではなく、複数の小さなチップ（チップレット）を統合するヘテロジニアスインテグレーションの方向へと進化しています。このアプローチは、異なるプロセスノードや機能を持つチップを組み合わせることで、性能、電力効率、製造コストの最適化を可能にします。チップレット間の効率的かつ高速な通信を確立するためには、統一されたインターフェース規格（例: UCle）と、それを支える高度なミックスドシグナルI/O回路が不可欠です。特にAI、HPC、防衛といった分野では、データ転送の遅延と帯域幅が性能を大きく左右するため、この技術の重要性は増すばかりです。

主要内容：テキサス電子工学研究所の主任エンジニア募集要項

テキサス電子工学研究所（Texas Institute for Electronics: TIE）が募集している主任ミックスドシグナルエンジニアの職務内容は、次世代のマイクロエレクトロニクス技術開発における喫緊のニーズを浮き彫りにしています。

- **職務の焦点:** 2.5Dおよび3Dマイクロシステムにおける、UCle（Universal Chiplet Interconnect Express）2.5Dおよび3.0Dダイ・ツー・ダイ・インターフェース向けの高速ミックスドシグナルI/O回路の設計・開発。
- **主要な技術領域:**
 - SerDes（シリアライザー/デシリアライザー）回路のアーキテクチャ設計と最適化。
 - クロック・データリカバリ（CDR）回路の開発。
 - 高周波リンク向けのトランシーバー回路設計。
- **協業体制:** パッケージング、EDA（電子設計自動化）、システムモデリングチームとの密接な連携が求められます。これは、信号完全性、電源供給、クロストーク、熱効果などの複合的な課題を考慮し、ヘテロジニアス統合スタック全体のI/O性能を共最適化するためです。
- **プロジェクトの背景:** この募集は、DARPA（米国防高等研究計画局）および州政府からの多額の資金援助を受けており、米国がマイクロエレクトロニクス製造におけるリーダーシップを回復するという国家戦略の一環です。

このポジションは、特に3Dヘテロジニアス統合やハイブリッドボンディングといった先進パッケージング技術において、深遠な専門知識を持つ人材を求めています。

影響と展望：米国の技術リーダーシップと先進パッケージングの人材需要

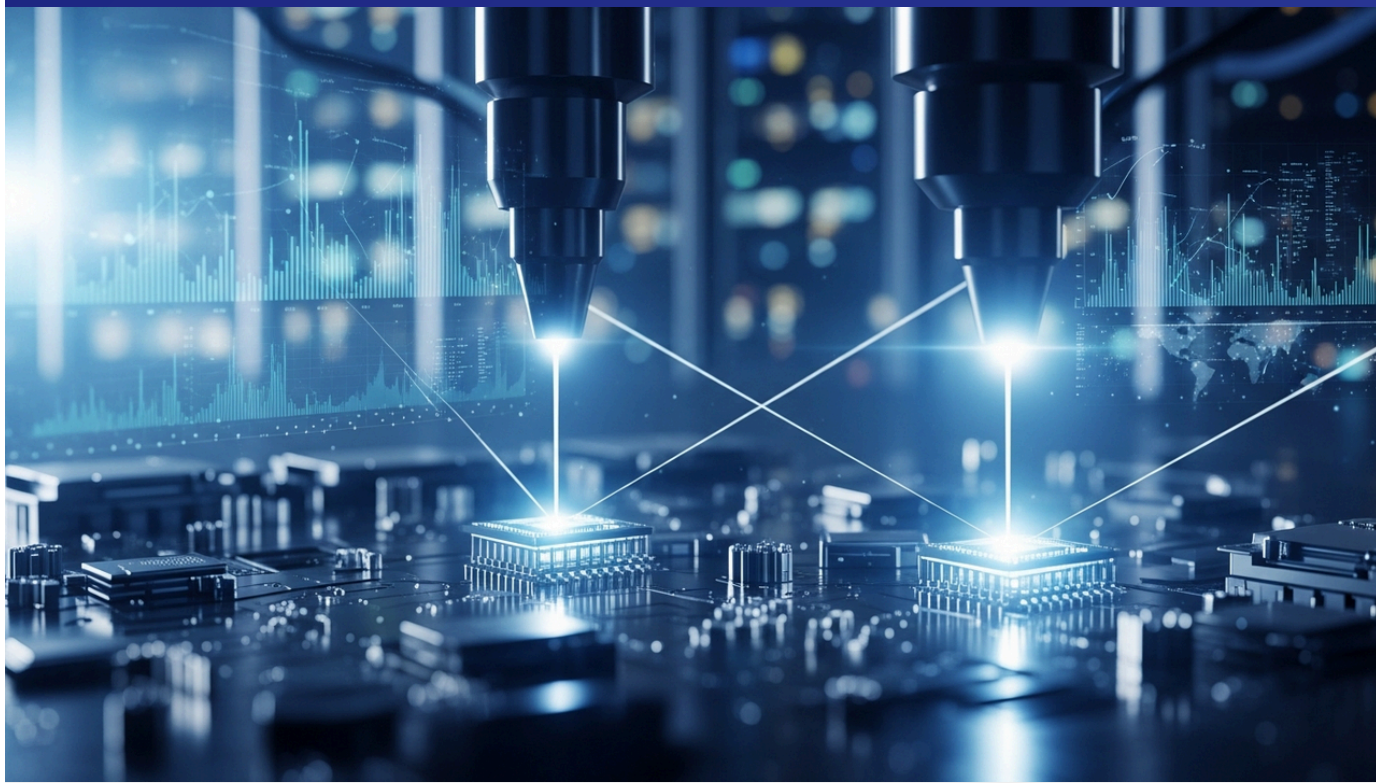
この求人情報は、米国が先進半導体技術、特に先進パッケージングとヘテロジニアス統合の分野で、そのリーダーシップを再確立しようとする強い意志を反映しています。このような高度なエンジニアリング職の需要は、AI、HPC、そして防衛といった戦略的産業における技術的優位性を確保するために不可欠です。UCleのようなオープン標準インターフェースの採用は、異なるサプライヤーからのチップレットを柔軟に組み合わせることを可能にし、半導体設計の柔軟性とイノベーションを加速させます。今後、先進パッケージング技術の進化は、高性能チップの実現においてますます重要な役割を担い、この分野における専門人材の確保が、各国の技術競争力を左右する鍵となるでしょう。

元記事: <https://jobrxiv.org/job/principal-mixed-signal-engineer-texas-institute-for-electronics/>

収集日: 2026年04月25日 | 自動記事収集・翻訳システム (Gemini API使用)

先進パッケージングがAIチップ開発競争を加速：グローバル市場レポート概要 2026年

公開日 2026年04月20日 SDKI Analytics 日本



概要

本記事は、SDKI Analyticsが発行した市場調査レポートの概要紹介です。このレポートは、2026年に向けて先進パッケージング技術がAIチップ開発競争をどのように加速させているかを分析しています。チップレット統合がAIチップの高帯域幅化、低消費電力化、高性能化の鍵であることを指摘し、米国、欧州、台湾、韓国、日本、中国からの大規模な投資により、世界中で先進パッケージング能力の増強が急務とされていることを概説しています。主要な市場動向として、SKハイニックスのHBM4とマイクロンによるシンガポールでのHBM先進パッケージング施設に関する計画が言及されています。

詳細

本記事はSDKI Analyticsが発行した市場調査レポートの概要紹介です。

レポート概要

このレポートは「2026年に向けた積み重ね：先進パッケージングがAIチップ開発競争を加速させます」と題され、2026年を展望し、先進パッケージング技術がAIチップ開発競争に与える影響を詳細に分析しています。調査対象市場は、AIチップに不可欠な先進パッケージング技術全般であり、地理的範囲は米国、欧州、アジア主要国（台湾、韓国、日本、中国）を含むグローバル市場に焦点を当てています。レポートは、特にチップレット統合技術が、AIチップの性能向上、消費電力削減、高帯域幅化を実現するための主要な推進力であると指摘しています。

主要な調査結果

- **市場の推進力:** レポートは、AIアプリケーションの急速な普及が、先進パッケージングへの需要を劇的に高めていることを強調しています。特に、チップレット統合は、AIチップのアーキテクチャを再定義し、性能向上と効率化の新たな道を開いています。
- **グローバルな投資動向:** 各国政府は、半導体サプライチェーンの強化と技術的優位性の確保を目指し、大規模な投資を行っています。具体的には、米国のCHIPS法、欧州のChips Act、そして台湾、韓国、日本（Rapidus関連）、中国といった主要地域での先進パッケージング能力増強に向けた多額の資金投入が確認されています。
- **主要企業の動向:**
 - SKハイニックスは、2026年にHBM4の投入を予定しており、高帯域幅メモリ市場における競争が激化しています。
 - マイクロンテクノロジーは、シンガポールにHBMの先進パッケージング施設を建設中で、2026年に稼働を開始する計画です。これにより、HBM供給能力のさらなる拡大が期待されます。
- **統合の課題:** レポートは、単なる生産能力の増加だけでなく、基板、ボンディング、メモリパッケージング、光インターコネクトといったサプライチェーン全体の統合ボトルネックを解決できる企業が、この競争で優位に立つと結論付けています。

発行会社について

SDKI Analyticsは、多様な業界にわたる詳細な市場調査レポートを提供するグローバルな調査会社です。同社は、テクノロジー、ヘルスケア、消費財などの分野で深い専門知識を持ち、データ駆動型の分析と市場予測を通じて、企業が戦略的な意思決定を行うための貴重なインサイトを提供しています。SDCI Analyticsのレポートは、市場規模、成長トレンド、競争環境、主要な市場プレイヤーの分析など、包括的な情報を提供することで知られています。

元記事: <https://www.sdkj.jp/blog/future-of-advanced-semiconductor-packaging/168>

収集日: 2026年04月25日 | 自動記事収集・翻訳システム (Gemini API使用)