

半導体PLP

調査レポート

収集日: 2026年04月11日

全 17 件

自動記事収集・翻訳システム (Gemini API使用)

半導体PLP Weekly Report

2026年04月11日 | 17件 | 5カ国

■ 今週の動向

今週、半導体PLP分野では、AI需要の爆発的な増加が先進パッケージング市場全体を牽引する最大の要因として浮上りました。TSMCのCoWoS/SoICやHBMの供給不足が2027年から2030年まで継続すると予測され、これを受けてOSAT各社は先進パッケージングの価格を最大20%引き上げています。技術面では、ハンミ半導体の次世代ハイブリッドボンダー開発やUCIe IPの進展が目玉され、台湾はPLPエコシステム構築を加速し2030年には市場規模を5倍に拡大する目標を掲げました。これらの動きは、AI時代における後工程技術の戦略的重要性を一層高めています。

■ 注目トピック

TSMC能力ひっ迫 #02

AI需要に牽引され、TSMCの先進プロセス能力のひっ迫が2027年まで継続すると予測されています。

HBM供給不足 #08

高帯域幅メモリ（HBM）の供給不足は、AI需要が生産能力増強を上回り、少なくとも2030年まで継続する見込みです。

ASE価格引上 #03

世界最大のOSATであるASEは、AI需要を背景に先進パッケージング価格を2026年初頭に5%~20%引き上げました。

台湾PLP拡大 #05

台湾経済部は、PLPエコシステムの構築により2030年までに市場規模を現在の5倍、20億ドルに拡大する目標を掲げました。

次世代ボンダー #01

ハンミ半導体は、2026年末までに次世代HBM生産向け第2世代ハイブリッドボンダーのプロトタイプを開発しました。

■ カテゴリー別動向

AI半導体・先進パッケージング市場 (7件) #03, #04, #11, #14, #16, #17

AI需要の急増がTSMCの先進プロセス能力やOSATのパッケージング能力をひっ迫させ、市場全体の価格上昇と大幅な成長を牽引しています。IntelもAI顧客との協業で存在感を強化しています。

HBM技術・供給動向 (4件) #01, #08, #10, #13

HBMの供給不足は2030年まで継続すると予測され、ハイブリッドボンディングや高層積層技術が不可欠。マイクロンなども市場シェア拡大を目指し、積極的な投資を継続しています。

PLP/FOPLPと量産化 (3件) #05, #06, #15

台湾がPLPエコシステム構築を推進し、2030年までに市場規模を大幅拡大目標。ASEなどOSATは大型パネルフォーマット（FOPLP）への投資を加速し、コスト効率とスループット向上を図っています。

チップレット・ダイ間接続技術 (3件) #07, #09, #12

UCIe規格に準拠した64Gbps IPやパッケージングIPの開発が進展し、AIやHPC向け次世代チップレットアーキテクチャとヘテロジニアス統合を加速しています。

■ 今後のロードマップ



■ 今後の展望

今後2-3年、AI需要は半導体PLP分野を強力に牽引し続け、先進パッケージング市場は2034年までに97.8億ドル規模へ成長する見込みです。HBMの供給不足は2030年まで続き、ハイブリッドボンディングなどの3D積層技術が性能向上と生産効率の鍵となります。また、PLPやFOPLPといった大型パネルフォーマットへの移行がコスト競争力を高め、台湾を中心に産業エコシステムがさらに強化されるでしょう。UCIeなどチップレット間的高速インターコネクト技術の進化も、複雑化するシステム統合を支える上で不可欠な要素となります。

97.8億ドル

AIチップ向け先進PKG市場予測(2034)

153.1億ドル

半導体後工程装置市場予測(2026)

20億ドル

台湾PLP市場規模目標(2030)

5%~20%

ASE先進PKG価格上昇率

#01 ハンミ半導体、次世代HBM向けハイブリッドボンダー開発を加速

公開日 2026年04月09日 | Businesskorea | 韓国



概要

ハンミ半導体は、2026年末までに次世代HBM生産向け第2世代ハイブリッドボンダーのプロトタイプを発表する計画です。同社は現在の熱圧縮（TC）ボンダー市場での優位性を維持しつつ、2029年頃に予想されるハイブリッドボンディングの本格量産に備えています。ハイブリッドボンディングは、チップとウェーハ間の銅配線を直接接続することで、パッケージの薄型化、放熱性向上、データ転送速度の高速化を実現します。この先進技術は、20層以上の高積層HBMにとって不可欠であり、ハンミ半導体は専用工場の建設にも投資しています。

詳細

次世代HBM向けハイブリッドボンディング技術の重要性

高帯域幅メモリ（HBM）は、人工知能（AI）や高性能計算（HPC）の急速な発展に伴い、その需要が爆発的に増加しています。特に、複数のDRAMダイを垂直に積層するHBMにおいて、ダイ間の接続技術は性能と信頼性を決定づける重要な要素です。現在主流の接続方式は熱圧縮（TC）ボンディングですが、より高密度、高速、低消費電力のHBMを実現するためには、次世代の接続技術への移行が不可欠とされています。

ハンミ半導体の戦略と第2世代ハイブリッドボンダー

韓国の主要半導体装置メーカーであるハンミ半導体は、この技術革新の波に乗り、次世代HBM生産をターゲットとした第2世代ハイブリッドボンダーの開発を積極的に進めています。同社は2026年末までにプロトタイプを発表し、2029年頃のハイブリッドボンディングの本格的な量産採用に備える方針です。ハイブリッドボンディング

グは、従来のマイクロバンプを介した接続ではなく、チップとウェーハの銅配線を直接接合する技術であり、これにより以下のメリットが期待されます。

- **パッケージの薄型化:**
バンプ層が不要となるため、パッケージ全体の厚みを大幅に削減できます。これは、特に20層を超えるような超高積層HBMにおいて、物理的な制約を克服するために極めて重要です。
- **放熱性の向上:**
直接接合により熱伝導パスが最適化され、高発熱部品であるHBMの放熱性能が向上します。これにより、デバイスの安定稼働と長寿命化に貢献します。
- **データ転送速度の高速化と消費電力の削減:**
信号経路が短縮され、寄生容量が減少することで、高速なデータ転送が可能となり、同時に消費電力も抑制されます。
- **相互接続密度の向上:**
接合ピッチを微細化できるため、チップ間の相互接続密度が飛躍的に向上し、より複雑な機能統合が可能になります。

ハンミ半導体は、2020年に第1世代ハイブリッドボンダーを導入しており、その経験を活かして第2世代では精度、安定性、歩留まりの向上を目指しています。また、同社は仁川に1000億ウォンを投じて新しいハイブリッドボンダー工場を建設する予定で、2027年上半年にはクラス100のクリーンルームを備えた工場が完成する見込みです。これは、同社がハイブリッドボンディング技術にコミットし、将来のHBM市場でのリーダーシップを確立しようとする強い意志の表れと言えるでしょう。

業界への影響と今後の展望

ハイブリッドボンディング技術は、従来のプロセスと比較して極めて高い精密さが要求されます。チップ表面の平坦性、パーティクル管理、そしてアライメント精度など、克服すべき技術的課題は依然として存在します。しかし、AIチップの性能向上がボトルネックに直面する中で、この技術はムーアの法則をシステムレベルで拡張する重要な手段として期待されています。SK hynixなどの主要HBMメーカーも2029年頃のHBM5導入に向けてハイブリッドボンディングの採用を検討しており、Applied MaterialsやBE Semiconductor Industriesといったグローバル企業も関連装置の開発を加速しています。ハンミ半導体の積極的な投資と技術開発は、HBMサプライチェーンにおける韓国の競争力をさらに強化し、世界の半導体後工程市場に大きな影響を与えるでしょう。この技術が成熟することで、より高性能でエネルギー効率の高いAIアクセラレーターやHPCシステムが実現し、技術革新が加速することが予測されます。

元記事: <https://www.businesskorea.co.kr/news/articleView.html?idxno=267383>

#02 TSMC、AI需要に牽引され先進プロセス能力のひっ迫が2027年まで継続予測

公開日 2026年04月06日 | Bitget News | 台湾

概要

JPMorganは、AI計算能力への爆発的な需要がTSMCの先進プロセス能力に前例のないひっ迫をもたらしていると報じ、同社の目標株価を引き上げました。レポートによると、TSMCの先進プロセスの供給不足は少なくとも2027年まで続くと予測されています。特に、CoWoSなどの先進パッケージング能力が大幅に増強される見込みですが、需要には追いつかない状況です。NVIDIA、Google、OpenAIといった主要AI企業からの次世代AIアクセラレーターがTSMCのSoIC技術を採用する予定であり、その重要性はさらに高まっています。

詳細

AI時代の到来とTSMCへの需要集中

近年、人工知能（AI）技術の急速な進化は、データセンターからエッジデバイスに至るまで、あらゆる分野で高性能半導体の需要を劇的に押し上げています。特に、深層学習モデルのトレーニングや推論に不可欠なAIアクセラレーターは、従来の半導体とは比較にならないほどの計算能力とメモリ帯域幅を要求します。このような背景から、世界最大のファウンドリであるTSMC（台湾積体回路製造）の先進プロセス技術に対する需要が爆発的に増加しており、その生産能力が深刻なボトルネックとなっています。

先進プロセスとパッケージング能力のひっ迫

JPMorganのレポートによると、TSMCの先進プロセスにおける供給不足は少なくとも2027年まで続くと予測されています。これは、顧客からの需要がTSMCの生産能力増強を上回っているためです。特に注目すべきは、TSMCの先進パッケージング技術、CoWoS（Chip on Wafer on Substrate）の需要です。CoWoSは、HBM（高帯域幅メモリ）とロジックチップを効果的に統合し、AIアクセラレーターの性能を最大限に引き出すために不可欠な技術であり、その生産能力は2026年末までに月産115,000枚、2027年末までに月産145,000枚に達すると見込まれています。しかし、NVIDIAの「Feynman」、Googleの「TPU v9」、OpenAIの「Titan 2」といった次世代AIアクセラレーターがTSMCのSoIC（System-on-Integrated-Chips）アーキテクチャを採用する予定であり、2027年から2028年にかけてSoICへの大規模な投資フェーズが始まると予測されています。これらの技術は、従来のパッケージングでは実現できないレベルの集積度と性能を提供するため、TSMCの先進パッケージング能力はAIサプライチェーンにおいて極めて戦略的な重要性を持っています。

市場への影響とTSMCの展望

TSMCの先進プロセスおよびパッケージング能力のひっ迫は、AIチップの供給全体に大きな影響を与えています。主要なAI企業は、限られたTSMCの能力を確保するために競合し、結果としてAIチップのコスト上昇や市場投入の遅延につながる可能性があります。TSMCは、継続的な巨額の設備投資を通じて能力増強を図っていますが、需要の伸びがそれを上回る現状では、しばらくの間は供給不足が続くでしょう。一方で、この状況はTSMCにとって高い収益性を保証しており、直近の四半期決算では66.8%という高い粗利益率を達成する見込みであると報じられています。TSMCのCoWoSやSoICのような技術は、チップレットベースのヘテロジニアス統合を可能にし、ムーアの法則の限界に直面する半導体業界において、システムレベルでの性能向上を実現する鍵となっています。今後もTSMCは、AI時代の「中枢神経」として、その技術革新と生産能力が世界のデジタル経済を牽引していくでしょう。

元記事: <https://www.bitget.com/news/detail/12560605342797>

#03 ASE、AI需要を背景に先進パッケージング価格を大幅引き上げへ

公開日 2026年04月09日 | AXTEK Technology Company Limited | 台湾



概要

世界最大のOSAT（受託半導体アセンブリ・テスト）プロバイダーであるASEテクノロジー・ホールディングは、2026年初頭に後工程のウェーハパッケージング価格を5%~20%引き上げる準備を進めていると報じられています。この大幅な価格上昇は、AI需要に牽引される半導体バリューチェーンの根本的な変化を反映しています。先進パッケージング能力は、装置のリードタイムの長さや複雑な品質認定プロセスにより、急速に拡張することが困難であり、これがASEに大きな価格決定力をもたらしています。同社は、高利益率のAI顧客を優先し、独自のFoCoS先進パッケージング技術の展開を加速しています。

詳細

AI駆動型半導体市場における先進パッケージングの戦略的価値

人工知能（AI）技術の急速な普及は、高性能半導体の需要を爆発的に増加させています。特に、AIチップに不可欠な先進パッケージング技術は、チップの性能、電力効率、そして熱管理において決定的な役割を果たします。従来の半導体製造プロセスにおける「ムーアの法則」の減速が指摘される中、後工程の技術革新、特に先進パッケージングは、システムレベルでの性能向上を実現する新たなフロンティアとしてその価値を劇的に高めています。この戦略的価値の向上は、市場における価格決定力にも影響を与え始めています。

ASEの価格引き上げ戦略と背景

世界最大のOSAT (Outsourced Semiconductor Assembly and Test) プロバイダーであるASEテクノロジー・ホールディングは、2026年初頭に後工程のウェーハパッケージング価格を5%から20%という異例の幅で引き上げる準備を進めていると報じられています。この価格改定は、従来の市場予測を大きく上回るものであり、以下の複数の要因に起因しています。

- **AI需要の急増:**
AIチップの性能要求は、2.5D/3Dパッケージングなどの先進技術への依存度を高めています。これにより、先進パッケージング能力を持つ企業への需要が集中し、供給がひっ迫しています。
- **能力拡張の困難さ:**
先進パッケージング製造には、高精度な装置と熟練した技術が必要であり、新しいラインの立ち上げには長いリードタイムと厳格な品質認定プロセスを要します。このため、需要の急増に対して供給能力を迅速に増強することが非常に困難です。
- **製造コストの上昇:**
IC基板、貴金属、ボンディング材料、電力などの製造コストが全般的に上昇しており、ASEはこれらのコストの一部を顧客に転嫁する方針です。
- **戦略的顧客選定:**
ASEは、収益性の高いAI関連顧客を戦略的に優先し、供給能力を配分することで、収益性を最大化しようとしています。

ASEは、独自の先進パッケージング技術であるFoCoS (Fan-out Chip-on-Substrate) の展開を加速しており、これも価格決定力強化の一因となっています。

業界全体への波及と今後の展望

ASEによる先進パッケージング価格の大幅な引き上げは、OSAT業界全体に波及し、他の主要OSATプロバイダーも同様の価格改定に追随する可能性が高いと見られています。これは、半導体バリューチェーンにおいて、後工程が単なるコストセンターではなく、高付加価値を生み出す戦略的な要素として位置付けられるようになったことを明確に示しています。AIチップの設計がより複雑化し、チップレットベースのヘテロジニアス統合が進むにつれて、先進パッケージングの重要性はさらに増大するでしょう。この価格上昇は、最終的にAIチップのコストにも影響を与え、AIサービスの提供コストにも反映される可能性があります。一方で、OSAT企業にとっては、先進技術への投資を加速し、さらなる技術革新を推進するための重要な動機付けとなるでしょう。半導体業界は、前工程のスケーリングに加え、後工程の技術革新が次世代コンピューティングの鍵を握る時代へと移行しつつあります。

元記事: <https://www.axtekic.com/news/ase-2026-price-increase:-ai+driven-advanced-packaging.html>

#04 Intel、GoogleやAmazonとの協業で先進パッケージング市場での存在感を強化

公開日 2026年04月07日 | TrendForce | 台湾



概要

Intelの先進パッケージング事業が勢いを増しており、GoogleやAmazonといった大手顧客がASIC開発やパッケージングサービスに関してIntelとの協業を進めていると報じられています。これは、GoogleのTPUやAmazonのTrainiumチップが、TSMCのひっ迫したCoWoS能力に代わる選択肢として、IntelのEMIB-T統合を採用する可能性を示唆しています。Intelは、EMIBやFoverosといった技術を、顧客がCoWoS能力確保に苦慮する中で、信頼できる国内のセカンドソースとして位置付けています。先進パッケージングはIntelにとって主要な成長ドライバーと見なされており、顧客は能力確保のために「前払い」も辞さない姿勢を示しているとのことです。

詳細

AI時代の高性能チップ需要と先進パッケージングの競争激化

人工知能（AI）の急速な発展は、データセンターやクラウドコンピューティングにおける高性能チップの需要を前例のないレベルに押し上げています。特に、AIアクセラレーターやASIC（特定用途向け集積回路）の開発においては、複数のチップを効率的に統合する先進パッケージング技術が、チップの性能、消費電力、そしてコストを決定づける重要な要素となっています。現在、この分野ではTSMCがCoWoS（Chip on Wafer on Substrate）で先行していますが、その能力のひっ迫が深刻化しており、顧客は代替ソリューションを模索する状況にあります。このような背景から、Intelが自社の先進パッケージング技術で市場での存在感を高めています。

IntelのEMIBとFoveros技術の台頭

Intelの先進パッケージング事業は、GoogleやAmazonといった主要なクラウドプロバイダーおよびAI開発企業との協業を通じて、勢いを増していると報じられています。これらの企業は、自社開発のAIチップ（GoogleのTPUやAmazonのTrainiumなど）のASIC開発およびパッケージングサービスにおいて、Intelの技術の採用を検討しているとのこと。特に注目されているのは、IntelのEMIB-T（Embedded Multi-die Interconnect Bridge）統合技術です。EMIBは、異なるプロセスノードで製造された複数のチップレットを、高速かつ電力効率よく統合することを可能にする技術であり、TSMCのCoWoS能力に代わる魅力的な選択肢として浮上しています。

Intelはまた、Foverosと呼ばれる3Dスタックパッケージング技術も展開しており、これらはチップレット設計とヘテロジニアス統合のトレンドを加速させる上で重要な役割を担っています。顧客がTSMCのCoWoS能力確保に苦慮する中で、IntelはEMIBやFoverosを、特に米国国内における信頼できるセカンドソースとして積極的に売り込んでいます。Intelは、先進パッケージングを今後の主要な成長ドライバーと位置付け、マレーシアやニューメキシコでも関連施設の拡張を進めています。ニューメキシコのFab 9とFab 11Xでは、すでに3D先進パッケージング技術の量産が行われています。この動きは、AIおよびHPCチップのパッケージング需要を巡る競争が激化していることを明確に示しています。

TSMCの対抗策と業界への影響

Intelの動きに対し、TSMCも米国での能力拡張を加速させています。アリゾナ州に先進パッケージング施設を建設する計画があり、2026年第2四半期に着工し、2027年後半から2028年の間に稼働開始を目指しています。ここでは、SoIC（System on Integrated Chips）、CoW（Chip on Wafer）、CoPoS（Chip on Package on Substrate）といった技術を用いて、米国内のAIおよびHPCチップのパッケージング需要をサポートする予定です。この動きは、米国内での半導体サプライチェーンのレジリエンス強化という地政学的な側面も持ち合わせています。先進パッケージング市場におけるIntelとTSMCの競争は、技術革新をさらに加速させ、顧客にとっては選択肢の拡大とサプライチェーンリスクの低減というメリットをもたらすでしょう。最終的には、AIチップの性能向上とコスト効率化に貢献し、AI技術のさらなる普及を後押しすることが期待されます。

ndforce.com/news/2026/04/07/news-intel-advanced-packaging-reportedly-gains-traction-vs-tsmc-as-google-amazon-weigh-emib-adoption/

#05 台湾經濟部、パネルレベルパッケージングエコシステム構築で2030年に20億ドル市場目指す

公開日 2026年04月10日 | Ministry of Economic Affairs, R.O.C. | 台湾

概要

台湾經濟部（MOEA）は、パネルレベルパッケージング（PLP）エコシステムの構築を積極的に推進しており、2025年の4億ドルから2030年には20億ドルへと市場規模を5倍に拡大することを目指しています。工業技術研究院（ITRI）が開発した次世代PLPメタライゼーション技術は、完全な湿式プロセスアプローチにより高アスペクト比のメタライゼーションにおけるボトルネックを解消し、製造コストを30%削減する効果があります。TPK HoldingやSynPowerといった台湾の主要企業が既にこの技術を採用しており、PLP材料および装置のサプライチェーンの国産化に貢献しています。

詳細

パネルレベルパッケージング（PLP）の戦略的意義

半導体パッケージング技術は、チップの性能向上とコスト削減の両面からその重要性を増しています。特に、従来のウェーハレベルパッケージング（WLP）に代わる技術として注目されているのが、ディスプレイ製造に用いられる大型のパネル基板を利用するパネルレベルパッケージング（PLP）です。PLPは、より大きな基板面積に多数のチップを一度にパッケージングすることで、生産効率を大幅に向上させ、単位面積あたりのコストを削減できる可能性を秘めています。この技術は、AI、高性能計算（HPC）、そしてスマート製造といった分野からの需要に牽引され、半導体産業における新たな成長機会を創出しています。

台湾經濟部のPLPエコシステム構築に向けた取り組み

台湾經濟部（MOEA）は、ディスプレイ産業を先進半導体パッケージングのハブへと転換させるべく、PLPエコシステムの構築に積極的に取り組んでいます。この戦略は、PLP市場を2025年の4億ドルから2030年には20億ドルへと、5年間で5倍に拡大させることを目標としています。2026年のTouch Taiwan展示会では、經濟部工業技術署（DoIT）が14の革新技術を展示し、特に工業技術研究院（ITRI）が開発した次世代PLPメタライゼーション技術が注目を集めました。

この革新的なメタライゼーション技術は、以下の主要な課題に対処します。

- 高アスペクト比メタライゼーションのボトルネック解消:**
微細な配線を形成する際に、均一かつ連続的な金属膜を堆積させることは極めて困難でした。ITRIの技術は、これを完全な湿式プロセスアプローチで解決し、微細構造におけるコーティングの連続性を向上させます。
- 製造コストの削減:**
新しい湿式プロセスは、従来の真空プロセスと比較して装置コストや運用コストを低減できる可能性があり、最大で30%の生産コスト削減が期待されています。

TPK Holding、SynPower、Jetchem International、Asahi-Utou Technologyといった台湾の主要企業が既にこのPLP技術を採用しており、材料や装置の国産サプライチェーンの形成に貢献しています。これにより、台湾はディスプレイ産業で培った強みを活かし、半導体後工程分野での国際競争力をさらに強化することを目指しています。

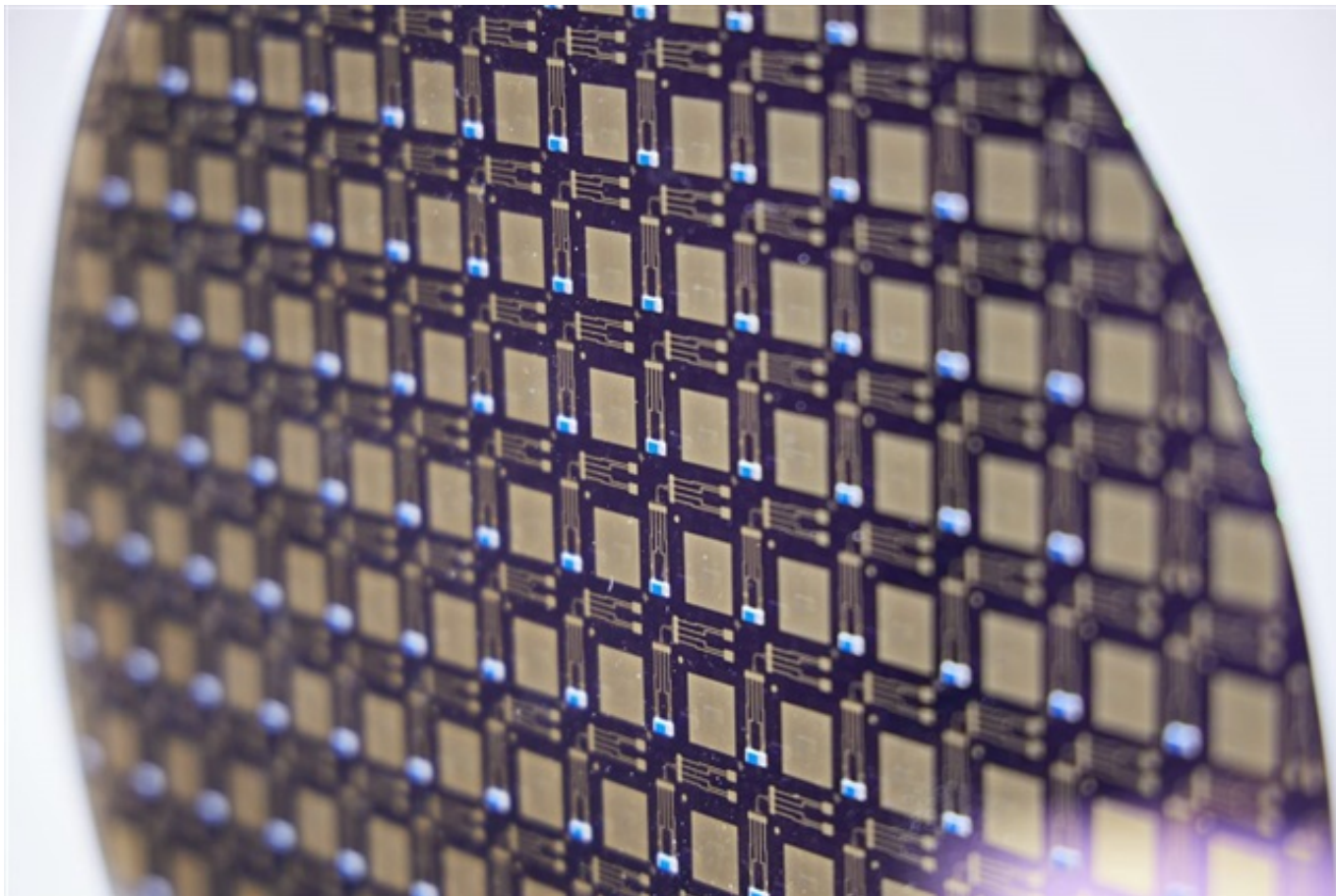
産業への影響と今後の展望

PLPエコシステムの確立は、台湾の半導体産業にとって多岐にわたるメリットをもたらします。まず、生産効率の向上とコスト削減は、特に民生用電子機器やモバイルデバイス向けのチップにおいて、より競争力のある製品供給を可能にします。次に、国産サプライチェーンの強化は、地政学的なリスクや国際的な供給網の混乱に対するレジリエンスを高めます。さらに、PLP技術は、将来のチップレット統合や3D積層技術との融合により、半導体のさらなる高性能化と多機能化を促進する可能性を秘めています。

この取り組みは、台湾が世界の半導体産業におけるリーダーシップを維持し、次世代技術開発において中心的な役割を果たすための重要な戦略の一環と言えるでしょう。PLP技術の成熟は、半導体パッケージングの新たな標準を確立し、AI時代の革新をさらに加速させることが期待されます。

#06 ファンアウトパッケージング市場でFOPLPとWMCMがコストと性能の鍵に

公開日 2026年04月07日 | DigITimes | 台湾



概要

先進パッケージング市場は大きな変革期にあり、ファンアウト・パネルレベル・パッケージング (FOPLP) とマルチチップモジュール (WMCM) を用いたウェーハレベルチップスケールパッケージ (WLCSPP) が重要なソリューションとして浮上しています。これらの技術は、コストと性能のバランスを取り、AIモバイルデバイスやHPC (高性能計算) といったアプリケーションに最適です。ASEやPowertechなどの主要プレイヤーは、AIブームに乗じてFOPLPへの投資を強化しています。業界は、より高いスループットとコスト効率を達成するため、大型フォーマットパッケージングへの戦略的移行を見せています。

詳細

先進パッケージング市場の進化とファンアウト技術の重要性

半導体業界は、ムーアの法則の物理的限界に近づく中で、チップの性能向上を継続するための新たなアプローチを模索しています。その主要な方向の一つが、半導体後工程における先進パッケージング技術の革新です。特にファンアウト (Fan-Out) パッケージングは、従来のパッケージング手法よりも高密度で、チップを効率的に統合できるため、AI、HPC、モバイルデバイスといった高性能が要求されるアプリケーションにおいてその重要性を増しています。ファンアウト技術は、シリコンウェーハから切り出したチップを再構成ウェーハやパネル上に配置し、その上で再配線層 (RDL) を形成することで、入出力 (I/O) 端子数を増やし、パッケージサイズの縮

小と電気的特性の向上を両立させます。

FOPLPとWMCMが牽引する技術革新

現在、ファンアウトパッケージング市場において、特に注目されているのが以下の二つの技術です。

- **ファンアウト・パネルレベル・パッケージング (FOPLP: Fan-Out Panel-Level Packaging) :**
これは、従来の円形ウェーハではなく、ディスプレイ製造に用いられる大型の長方形パネル基板を利用してチップをパッケージングする手法です。パネルサイズが大きいため、一度に処理できるチップ数が増え、生産効率とコスト効率が大幅に向上します。AIアクセラレーターやHPC用チップなど、大規模なシステムにおいて特にメリットが大きいです。
- **マルチチップモジュール (WMCM: Wafer-Level Chip-Scale Package Multi-Chip Module) :**
これは、ウェーハレベルチップスケールパッケージ (WLCSP) の技術を応用し、複数のチップを単一のパッケージ内に統合するアプローチです。チップレット技術と組み合わせることで、異なる機能を持つチップを組み合わせ、システム全体の性能と柔軟性を高めることが可能です。

これらの技術は、特にAIモバイルデバイスや高性能計算 (HPC) といった分野で求められる、コストと性能のバランスの取れたソリューションとして急速に普及が進んでいます。記事によると、ASE (日月光投控) や Powertech (力成科技) といった主要なOSAT (Outsourced Semiconductor Assembly and Test) プロバイダーは、AIブームの恩恵を受けるべく、FOPLPへの投資を強化しています。例えばASEは、2026年までに完全自動化された310mmラインでのパネルレベルパッケージングを加速しており、これはより大きなフォーマットでのパッケージングへの戦略的な移行を示唆しています。

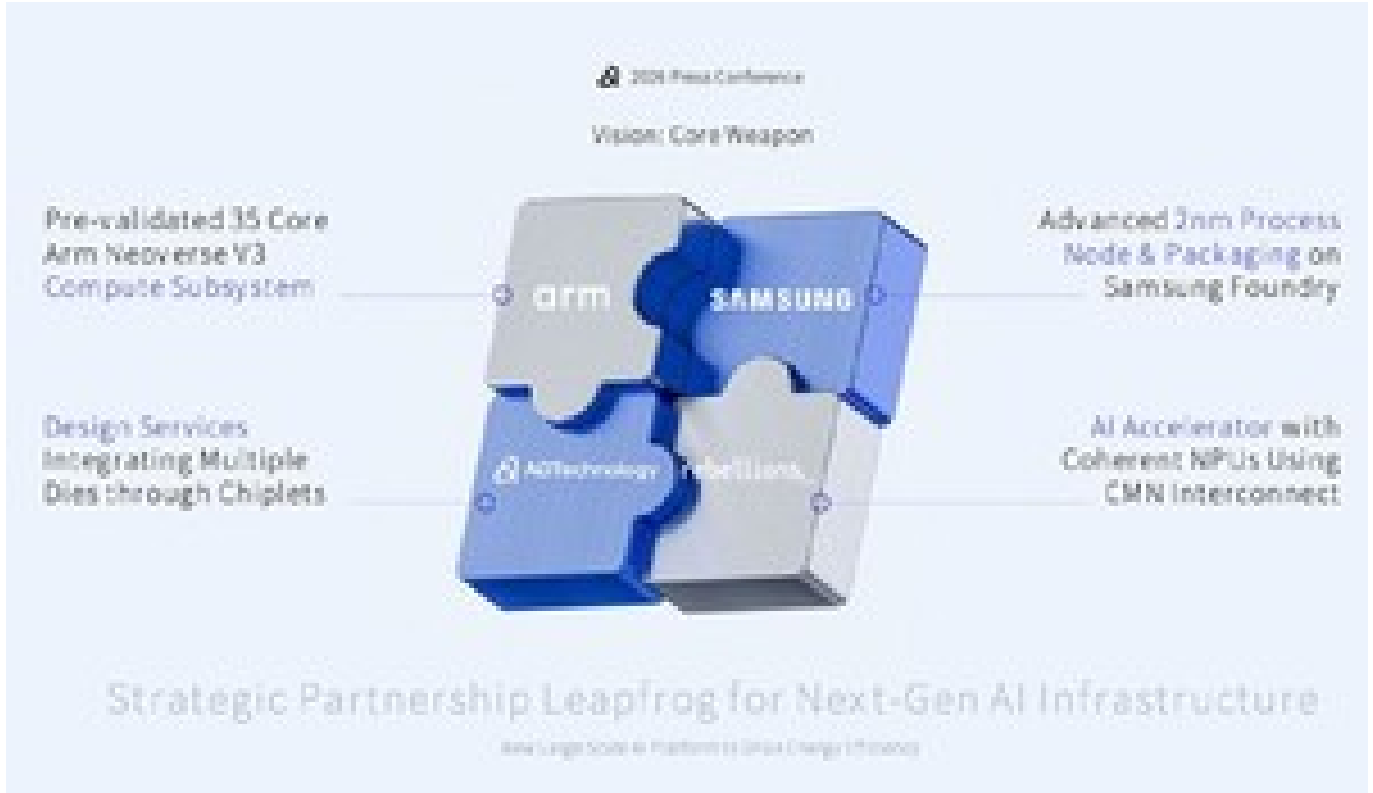
業界競争と今後の展望

ファンアウトパッケージングは、ファウンドリとOSATプロバイダーの両方にとって、新たな競争領域となっています。TSMC、Intel、Samsungといったファウンドリ大手も独自の先進パッケージング技術を開発・提供しており、OSAT企業は差別化とコスト効率の向上を追求することで競争力を維持しようとしています。FOPLPのような大型パネルフォーマットの導入は、生産スループットを劇的に向上させ、スケールメリットによるコスト削減を可能にするため、今後の競争環境において重要な要素となるでしょう。先進パッケージング技術の進化は、AIチップの性能をさらに引き出し、次世代の電子機器やデータセンターのインフラを支える基盤となります。この分野への継続的な投資と技術革新は、半導体産業全体の成長を促進し、より高性能で効率的なコンピューティングソリューションの実現に不可欠です。

元記事: <https://www.digitimes.com/news/a20260407PD203/packaging-foplpl-market-production-capacity.html>

#07 ADTechnology、2030年までに2nmチップレットプラットフォームでAIインフラ市場を牽引へ

公開日 2026年04月08日 | Businesskorea | 韓国



概要

ADTechnologyは、2030年までに売上高1.5兆ウォン（約10億ドル）を目指し、半導体事業を再編しています。同社はデザインサービス中心のモデルから、自社アーキテクチャとIPを活用したプラットフォーム企業への転換を図っています。この戦略は、Samsung Electronicsの2nmプロセスを基盤とするCPUプラットフォームでAIインフラ市場をリードすることを目指しており、Armの「Neoverse V3」アーキテクチャと2.5次元（2.5D）パッケージングベースのチップレット構造を採用します。同社は、HBM、LPDDR5、PCIe Gen6、UCIeインターフェースをサポートし、データ処理性能を強化します。

詳細

半導体業界のトレンド転換とADTechnologyの戦略的シフト

半導体業界は、伝統的な設計サービスやIP（知的財産）提供から、より統合されたプラットフォームソリューションへとビジネスモデルが進化しつつあります。特に、人工知能（AI）や高性能計算（HPC）の台頭により、単一チップでの性能向上には限界が見え始め、複数のチップレットを組み合わせる「チップレットアーキテクチャ」と、それらを効率的に接続する「先進パッケージング技術」が不可欠となっています。この大きな潮流の中で、韓国のADTechnology社は、2030年までに1.5兆ウォン（約10億ドル）の売上高を目指し、企業戦略を抜本的に見直しています。

2nmチップレットプラットフォームと先進技術の融合

ADTechnologyは、従来のデザインサービス中心の企業モデルから、独自のアーキテクチャとIPを基盤とするプラットフォーム企業へと変貌を遂げようとしています。この戦略の核心は、Samsung Electronicsの最先端2nmプロセス技術をベースとしたCPUプラットフォームを開発し、AIインフラ市場におけるリーダーシップを確立することにあります。この新しいプラットフォームは、以下の先進技術を統合する予定です。

- **Armの「Neoverse V3」アーキテクチャ:**
AIおよびHPCワークロードに最適化されたこの高性能CPUコアを採用することで、高い処理能力と電力効率を実現します。
- **2.5次元（2.5D）パッケージングベースのチップレット構造:**
複数の機能ブロック（チップレット）をシリコンインターポザー上に並列に配置し、高密度な配線で接続するこの技術は、単一の巨大なチップとして製造するよりも、設計の柔軟性、歩留まり、コスト効率に優れています。AIチップに必要な多様なIPブロックを効率的に統合する上で極めて有効です。
- **HBM（高帯域幅メモリ）とLPDDR5のサポート:**
大量のデータを高速に処理するために不可欠なHBMと、モバイルデバイスやエッジAI向けに電力効率の高いLPDDR5をサポートすることで、幅広いAIアプリケーションに対応します。
- **PCI Express 6th generation (PCIe Gen6)とUCIe (Universal Chiplet Interconnect Express) インターフェース:**
これらの最新の高速インターフェースは、CPU、GPU、HBM、その他のアクセラレーター間のデータ転送速度を劇的に向上させ、システム全体のボトルネックを解消します。特にUCIeは、異なるベンダーのチップレットを相互接続するためのオープンスタンダードであり、チップレットエコシステムの拡大に貢献します。

ADTechnologyは、AI、HPC、車載といった高付加価値分野への注力を強化しており、これらの分野が同社のプロジェクトポートフォリオに占める割合は、2024年の26%から昨年には73%へと急増しています。これは、同社の戦略的転換が既に具体的な成果を上げていることを示唆しています。

AIインフラ市場への影響と将来展望

ADTechnologyのこの大胆な戦略は、AIインフラ市場における競争環境をさらに激化させるでしょう。Samsungの2nmプロセス技術とArmの高性能IP、そして最先端のパッケージング技術を組み合わせることで、同社はAIチップ設計の複雑性を管理し、革新的なソリューションを提供できる潜在力を持っています。チップレット技術と先進パッケージングの融合は、半導体設計のパラダイムシフトを象徴しており、これにより、より特定用途に最適化されたAIプロセッサが迅速かつ効率的に開発されることが期待されます。これは、データセンター、エッジAI、自動運転車など、AIが浸透するあらゆる分野において、次世代コンピューティング性能の実現を加速する重要な一歩となるでしょう。

元記事: <https://www.businesskorea.co.kr/news/articleView.html?idxno=267326>

#08 HBMの供給不足、2030年まで継続の見通し：AI需要が生産能力増強を上回る

公開日 2026年04月07日 | Businesskorea | 韓国



概要

新たな予測によると、人工知能の急速な普及に伴う高帯域幅メモリ（HBM）需要の激化により、世界のメモリ市場は少なくとも2030年まで供給不足が続くと見られています。この長期的な供給不足は、HBMが従来のメモリの3~4倍の生産能力を必要とすること、そして13Gbpsを超える高性能HBMチップの歩留まりが低いことに起因します。MR-MUFやTC-NCFといった先進パッケージングプロセスの統合も、HBMの製造サイクルタイムを長期化させています。Samsung ElectronicsやSK hynixといった主要メーカーの積極的な設備投資にもかかわらず、急増する先進GPUやASICの需要が供給増を吸収し、価格上昇と供給不足のサイクルが続く見込みです。

詳細

HBM需要の爆発的増加と供給課題

人工知能（AI）技術の驚異的な進化は、データセンターにおけるAIアクセラレーター（GPUやASIC）の需要を飛躍的に高めています。これらのAIチップの性能を最大限に引き出すためには、膨大なデータを高速で処理できる高帯域幅メモリ（HBM）が不可欠です。HBMは、複数のDRAMチップを垂直に積層し、チップ間をTSV（Through Silicon Via）で接続することで、従来のDRAMと比較して圧倒的なメモリ帯域幅を実現します。しかし、HBMの製造は非常に複雑で、従来のDRAMに比べてはるかに長い時間と高度な技術を要するため、その生産能力はAI需要の急増に追いついていません。

供給不足の長期化要因

最新の市場予測によると、世界のメモリ市場、特にHBMにおいては、少なくとも2030年まで供給不足が継続すると見られています。この長期的な供給不足には、以下の複数の要因が絡み合っています。

- **圧倒的な生産能力要求:**
HBMは、その複雑な構造と積層プロセスにより、従来のDRAMの3~4倍の生産能力を必要とします。これは、製造工程が長く、多くの高度な装置を必要とするためです。
- **低い歩留まり率:**
特に13Gbpsを超えるような超高性能HBMチップにおいては、製造プロセスが極めて精密であるため、歩留まり率が低くなりがちです。これは、不良品の発生率が高く、結果的に供給可能なチップ数が減少することを意味します。
- **先進パッケージングの複雑性:** HBMの製造には、MR-MUF (Mass Reflow Molded Underfill) やTC-NCF (Thermal Compression Non-Conductive Film) といった最先端の先進パッケージングプロセスが不可欠です。これらの技術は、ダイ間の微細な接続を可能にする一方で、製造サイクルタイムを長期化させ、生産効率を低下させる要因となっています。
- **需要の急増:** Samsung ElectronicsやSK hynixといった主要なHBMメーカーは、供給能力拡大のために巨額の設備投資を計画していますが、NVIDIAやBroadcomといった企業からの先進GPUやASICに対する需要が、その供給増を上回るペースで拡大している現状です。

市場への影響と今後の展望

HBMの供給不足は、AIチップ市場全体に深刻な影響を与えています。AIアクセラレーターの生産がHBMの供給によって制限されるため、AIシステムの開発や導入が遅れる可能性があります。また、供給不足はHBMの価格を押し上げ、AIチップのコスト増加に直結します。これは、AI関連製品やサービスの価格にも影響を及ぼす可能性があります。主要メモリメーカーは、今後もHBM生産能力の増強に全力を注ぎ、技術革新を通じて歩留まり改善やサイクルタイム短縮を図るでしょう。また、ハイブリッドボンディングのような次世代接続技術の導入も、将来的な供給安定化に寄与すると期待されています。しかし、AI市場の成長ペースを考えると、需給バランスの改善には相当な時間を要し、HBMは今後も半導体サプライチェーンにおける最も重要なボトルネックの一つとして認識されるでしょう。この状況は、AI技術の発展速度とコスト構造に長期的な影響を与えることとなります。

元記事: <https://www.businesskorea.co.kr/news/articleView.html?idxno=267267>

#09 シノプシス、64G UCIe

IPのテーブアウト成功で次世代チップレット接続を加速

公開日 2026年04月06日 | Synopsys News | アメリカ



概要

シノプシスは、2nmプロセス技術を用いた64Gbps Universal Chiplet Interconnect Express (UCIe) IPのテーブアウトに成功しました。これは、AI、HPC、高度なネットワークなど、高帯域幅と統合が求められる次世代マルチダイ設計を可能にする上で極めて重要な進展です。64G UCIe IPは、短距離ダイ間リンク向けに最適化されており、帯域幅、電力、面積のバランスを柔軟に調整できるモジュラーアーキテクチャが特徴です。この技術は、I/Oボトルネックに対処し、多テラビット/秒の帯域幅を実現することで、データ集約型設計の統合を簡素化します。

詳細

チップレットエコシステムの拡大とUCIeの役割

半導体業界では、単一の巨大なモノリシックチップを製造する従来の設計手法から、複数の小さな機能ブロック（チップレット）を組み合わせる「チップレットアーキテクチャ」への移行が加速しています。このアプローチは、設計の柔軟性、製造歩留まりの向上、そして異なるプロセスノードで製造されたIPブロックの再利用を可能にする点で大きなメリットを提供します。チップレット間の効率的かつ高速な接続は、システム全体の性能を決定づける鍵となりますが、これまで統一されたインターフェース規格が存在しないことが課題でした。このような背景から、Universal Chiplet Interconnect Express (UCIe) 規格が登場し、オープンなダイ間（Die-to-Die）接続の標準として業界の注目を集めています。

シノプシスによる64G UCIe IPの技術的ブレイクスルー

EDA (Electronic Design Automation) およびIP分野のリーディングカンパニーであるシノプシスは、2nmプロセス技術を用いて64Gbps UCIe

IPのテープアウト（設計完了、製造開始準備）に成功したと発表しました。これは、次世代の高性能マルチダイ設計、特に人工知能（AI）、高性能計算（HPC）、および先進的なネットワークワークロードが要求する高帯域幅と緊密な統合を実現する上で画期的なマイルストーンです。

この64G UCIe IPの主な特徴と技術的利点は以下の通りです。

- **超高速ダイ間接続:**
64Gbpsという高いデータ転送速度により、チップレット間のデータ交換におけるボトルネックを大幅に解消します。これは、AIモデルの計算におけるデータ移動や、HPCアプリケーションでの大規模な並列処理において極めて重要です。
- **短距離リンクに最適化:**
パッケージ内での短距離ダイ間接続に特化して最適化されており、高い効率と低消費電力を実現します。これにより、AIアクセラレーターのような電力制約が厳しい環境での採用に適しています。
- **軽量実装とモジュラーアーキテクチャ:**
不要なオーバーヘッドを排除した軽量な実装により、高帯域幅接続を可能にしつつ、電力と面積のバランスをアプリケーション要件に応じて柔軟に調整できるモジュラー設計を採用しています。
- **高信頼性と堅牢性:**
データ集約型設計における低レイテンシと高スループットを可能にするストリーミングプロトコルをサポートしつつ、システムレベルでの信頼性と堅牢性を確保しています。ミリメートルあたり多テラビット/秒の帯域幅を提供することで、I/Oボトルネックに根本的に対処します。

半導体業界への影響と今後の展望

シノプシスのこの成果は、UCIe規格が実際の製品設計に適用可能であることを示し、チップレットエコシステムの成熟を加速させます。UCIeの普及は、異なるベンダーのチップレットを組み合わせる革新的なシステムを構築する可能性を広げ、半導体設計のイノベーションをさらに推進するでしょう。特に、AIやHPC分野では、CPU、GPU、HBM、そしてカスタムアクセラレーターといった多種多様なチップレットを効率的に統合することが求められており、UCIeはこれらの要件を満たす上で不可欠な技術となります。

この技術の進展により、半導体メーカーは、より複雑で高性能なシステムを、より迅速かつコスト効率よく開発できるようになります。また、供給チェーンの柔軟性が向上し、特定ベンダーへの依存度を低減できるメリットも期待されます。UCIeは、ムーアの法則後の時代における半導体イノベーションの重要な柱として、今後のコンピューティング技術の進化を大きく左右することになるでしょう。

元記事: <https://www.design-reuse.com/news/202530319-synopsys-advances-die-to-die-connectivity-with-64g-ucie-ip-tape-out/>

概要

この記事は、微細ピッチハイブリッドボンディングが次世代3D ICおよびチップレット統合の重要なイネーブラであることを深く掘り下げています。この技術は、誘電体間（通常SiO₂-SiO₂）と銅-銅（Cu-Cu）の直接接合を組み合わせることで、従来のマイクロバンプよりもはるかに高密度な垂直相互接続を実現します。ハイブリッドボンディングは、プロセスノードのスケールングが限界に達しつつある中で、AIやHPCアプリケーションにおける相互接続のボトルネックに対処することで、システムレベルでのムーアの法則の延長を可能にします。主要な課題は、信頼性の高いCu-Cu相互接続のための表面処理とCMP（化学機械研磨）にあります。

詳細

3D集積技術の進化とハイブリッドボンディングの台頭

半導体業界では、トランジスタの微細化による性能向上が物理的・経済的限界に近づく中、新たな性能向上アプローチとして「3D集積」技術が注目されています。3D集積は、複数のチップ（ダイ）を垂直方向に積層し、短距離で高密度な相互接続を実現することで、データ転送速度の向上、消費電力の削減、パッケージサイズの小型化を図ります。この3D集積を実現するための鍵となる技術の一つが、「ハイブリッドボンディング」です。従来のフリップチップ技術がマイクロバンプ（通常はんだ）を介してチップを接続するのに対し、ハイブリッドボンディングは、誘電体（SiO₂）と金属（銅）を直接接合することで、さらに微細なピッチでの接続を可能にします。

微細ピッチハイブリッドボンディングの技術的優位性と課題

微細ピッチハイブリッドボンディングは、以下の技術的優位性を提供します。

- 超高密度垂直相互接続:** チップ間の接続ピッチを10 μm以下、さらにはサブミクロンレベルにまで縮小できるため、従来のマイクロバンプ接続よりも桁違いに多くの接続数を実現できます。これにより、HBM（高帯域幅メモリ）のような積層メモリや、高性能なチップレット統合において、データ帯域幅を劇的に向上させることが可能です。
- パッケージ薄型化と熱効率向上:** バンプ層が不要になることで、パッケージ全体の厚みを削減でき、また直接的な銅-銅接合は優れた熱伝導パスを提供するため、高発熱チップの放熱効率を改善します。
- 信号完全性の向上と消費電力の削減:** 信号経路の短縮と寄生容量の低減により、高速信号の完全性が向上し、結果として消費電力も削減されます。

しかし、この先進技術の導入にはいくつかの重要なプロセス課題が伴います。特に、信頼性の高い銅-銅（Cu-Cu）相互接続を実現するためには、以下の点が極めて重要となります。

- 表面処理の精度:** 接合されるチップ表面の極めて高い平坦性と清浄度が要求されます。わずかなパーティクルや表面の凹凸が、接続不良や歩留まり低下の原因となります。
- 化学機械研磨（CMP）の最適化:** 銅配線層を形成した後、その表面を原子レベルで平坦化するCMPプロセスは、ハイブリッドボンディングの成功に不可欠です。CMPの精度が、誘電体と銅の同時接合の品質を直接左右します。
- アライメント精度:** 数ミクロンからサブミクロンの微細な接続ピッチにおいて、上下のチップを完璧に位置合わせするアライメント技術は、装置とプロセスの両面で極めて高い精度が求められます。

AI・HPC時代におけるハイブリッドボンディングの重要性

AIやHPCアプリケーションでは、爆発的なデータ処理能力が要求されるため、チップ間の相互接続は性能のボトルネックとなりがちです。微細ピッチハイブリッドボンディングは、このボトルネックを解消し、システムレベ

ルでのムーアの法則の延長を可能にする「ラストフロンティア」として位置付けられています。この技術は、研究段階から半導体産業の中核技術へと移行しつつあり、将来の先進パッケージングの姿を定義する上で不可欠なものとなっています。技術的な課題を克服し、量産技術として確立することで、より高性能で効率的なAIアクセラレーターやHPCシステムが実現し、次世代のデジタル社会を支える基盤となることが期待されます。

元記事: <https://www.lovechip.com/blog/fine-pitch-hybrid-bonding>

#11 シリコンの主権者：2026年のTSMC、AI時代を牽引する役割と戦略

公開日 2026年04月07日 | FinancialContent | アメリカ

概要

2026年のTSMCに関するこの詳細な分析は、同社が「世界のデジタル経済の中樞神経」として、特にAIが普及する時代において極めて重要な役割を担っていることを強調しています。TSMCのCoWoSおよびSoICといった先進パッケージング技術は、NVIDIAのRubinアーキテクチャのようなハイエンドAIアクセラレーターを実現する上で不可欠とされています。記事は、TSMCの2025年度の好調な財務実績と、2026年に2nmおよび1.6nm施設、CoWoSパッケージング能力に520億~560億ドルの記録的な設備投資を計画していることを指摘。この戦略的投資が、SamsungやIntelといった競合に対するTSMCの競争優位性を維持する鍵であり、同社をかけがえのない「エンド・ツー・エンド」の製造パートナーとしていると結論付けています。

詳細

AI時代におけるTSMCの比類なき地位

半導体産業において、TSMC（台湾積体回路製造）は単なるファウンドリ企業以上の存在となっています。2026年の時点で、同社は「世界のデジタル経済の中樞神経」と評されるほど、その技術力と生産能力が広範な産業の基盤を支えています。特に、人工知能（AI）が社会のあらゆる側面に浸透する「AIの時代」においては、TSMCの役割はこれまで以上に戦略的な重要性を持っています。高性能AIチップ、特にAIアクセラレーターは、膨大な計算能力とデータ帯域幅を要求し、これは最先端のプロセス技術と革新的なパッケージング技術なくしては実現できません。TSMCは、これらの要求に応えるための最前線に立っています。

先進パッケージング技術によるAIアクセラレーターの実現

TSMCの競争優位性を支える中核の一つが、その先進パッケージング技術です。記事では、CoWoS（Chip on Wafer on Substrate）とSoIC（System on Integrated Chips）が特に強調されています。これらの技術は、NVIDIAのRubinアーキテクチャのような次世代ハイエンドAIアクセラレーターの実現に不可欠です。

- **CoWoS:** 高帯域幅メモリ（HBM）とロジックチップ（GPUなど）を効果的に統合し、シリコンインターポザー上に配置することで、チップ間的高速データ転送と高密度集積を実現します。これにより、AIワークロードに不可欠な膨大なメモリ帯域幅と計算能力を同時に提供できます。
- **SoIC:** チップレットを垂直方向に直接積層する技術で、従来のパッケージングよりもはるかに緊密な統合と性能向上を可能にします。これは、異種統合（Heterogeneous Integration）の究極形とされ、ムーアの法則の限界を超えてシステムレベルでの性能向上を追求する上で極めて重要な技術です。

これらの先進パッケージング技術は、AIチップが直面する性能、消費電力、およびフォームファクタの課題を解決する上で決定的な役割を果たしています。TSMCは、これらの技術を提供することで、NVIDIA、AMD、Google、Amazonといった主要なAI企業にとって「かけがえのないエンド・ツー・エンドの製造パートナー」としての地位を確立しています。

記録的な設備投資と将来への戦略

TSMCは、2025年度において顕著な収益と純利益の増加を達成し、強固な財務実績を示しました。さらに、同社は2026年に520億ドルから560億ドルという記録的な規模の設備投資を計画しています。この巨額の投資は、主に2nmおよび1.6nmといった次世代プロセスノードの生産能力増強、そしてCoWoSなどの先進パッケージング能力の拡張に向けられています。この戦略的な投資は、SamsungやIntelといった強力な競合他社に対してTSMCの技術的および市場的優位性を維持するための鍵となります。

TSMCの先進技術への継続的なコミットメントは、AI技術のさらなる発展を可能にし、世界の半導体産業における台湾のリーダーシップを盤石にするものです。AIチップ需要の増加に伴い、TSMCの先進パッケージング能力は、今後も世界のデジタル経済の成長を牽引する中核的な要素であり続けるでしょう。

#12 Sarcina

Technology、チップレットアーキテクチャ加速に向けUCIe-A/SパッケージングIPを発表

公開日 2026年04月09日 | EINPresswire.com (Press Release by Sarcina Technology) | アメリカ

概要

Sarcina

Technologyは、チップレットベースのシステムアーキテクチャを加速するために設計された高性能ダイ間（D2D）相互接続ソリューション「UCIe-A/SパッケージングIP」を発表しました。このIPは、インターポーターまたは基板上のパッケージレベルで実装され、HPC、AI、データセンター、次世代ネットワーキング、コパッケージドオプティクス（CPO）といった分野の需要に対応します。Sarcinaのソリューションは、最小限の銅再配線層（RDL）で効率性を最適化し、64ビットD2D相互接続をサポートすることで、シリコン利用率を最大化します。UCIe 2.0規格に完全に準拠しており、現代のヘテロジニアス統合に不可欠なシグナルインテグリティ、パワーインテグリティ、製造可能性にわたって強力な性能を保証します。

詳細

チップレット設計の普及とダイ間接続の重要性

半導体業界では、単一チップの高性能化が限界に達しつつある中で、複数の専門チップレットを組み合わせる「チップレットアーキテクチャ」が次世代システム設計の主流となりつつあります。このアプローチにより、異なるプロセスノードで製造された機能ブロックを柔軟に統合し、歩留まり向上やコスト削減、そして特定のアプリケーションに最適化された高性能システムの構築が可能になります。しかし、チップレット間のデータ転送速度と効率性は、システム全体の性能を左右する決定的な要素であり、信頼性の高いダイ間（D2D）相互接続技術が不可欠です。Universal Chiplet Interconnect Express (UCIe) 規格は、このD2D接続を標準化するための重要な枠組みを提供しています。

Sarcina TechnologyによるUCIe-A/SパッケージングIPの革新

Sarcina

Technologyは、チップレットベースのシステムアーキテクチャを加速するために設計された、高性能なD2D相互接続ソリューションである「UCIe-A/SパッケージングIP」の提供開始を発表しました。このIPは、従来のシリコンベースのインターフェースIPとは異なり、インターポーターまたは基板上、つまりパッケージレベルで実装される点が特徴です。これにより、顧客は複雑なパッケージングソリューションを自社で開発することなく、高性能で標準に準拠した接続を実現できます。この技術は、以下のような高まる需要に応えることを目的としています。

- 高性能計算（HPC）と人工知能（AI）：**
大量のデータを高速で処理し、低レイテンシでチップ間通信を行うHPCおよびAIアクセラレーターにとって、効率的なD2D接続は不可欠です。
- データセンターと次世代ネットワーキング：**
高いスループットと信頼性が求められるデータセンターインフラや、コパッケージドオプティクス（CPO）のような先進的なネットワーキングソリューションにおいて、SarcinaのIPは重要な役割を果たします。

SarcinaのUCIe-A/SパッケージングIPは、効率性を最大限に高める設計がなされています。具体的には、最小限の銅再配線層（RDL）の使用により、パッケージの複雑性とコストを抑えつつ、高い性能を実現します。また、64ビットのD2D相互接続をサポートすることで、シリコン利用率を最大化し、ダイ面積のオーバーヘッドを削減します。このIPはUCIe 2.0規格に完全に準拠しており、シグナルインテグリティ、パワーインテグリティ、そして製造可能性といった現代のヘテロジニアス統合において極めて重要な設計側面で、強力な性能を保証します。

半導体業界への影響と今後の展望

Sarcina

TechnologyのUCIe-A/SパッケージングIPの登場は、チップレットエコシステムの成熟と普及をさらに加速させ

るでしょう。設計者は、標準化された高性能インターフェースを容易に利用できるようになることで、異なるベンダーのチップレットを組み合わせて、より迅速かつ効率的に複雑なSoC (System-on-Chip) を構築することが可能になります。これにより、開発期間の短縮、コスト削減、そして市場投入までの時間の短縮が期待されます。また、このIPは、パッケージレベルでの接続を最適化することで、3D積層や2.5Dパッケージングといった先進パッケージング技術の採用を促進し、ムーアの法則後の時代における半導体性能向上の新たな道筋を確立するでしょう。UCIe規格の普及とSarcinaのようなIPプロバイダーの貢献は、半導体設計のイノベーションを民主化し、AIをはじめとする次世代テクノロジーの発展を強力に後押しすることが予測されます。

元記事: <https://www.einpresswire.com/article/904582960/sarcina-launches-ucie-a-s-packaging-ip-to-accelerate-chiplet-architectures>

#13 マイクロン、HBM市場でのシェア拡大戦略：2026年までの供給不足続く中での挑戦

公開日 2026年04月09日 | Forbes | アメリカ

概要

Forbesの記事は、マイクロンがHBM（高帯域幅メモリ）分野で市場シェアを獲得するための積極的な戦略を分析しています。現在、SKハイニックスやサムスンを含む全主要プレイヤーのHBMは2026年まで完売状態です。マイクロンは2024年第4四半期の9%から2025年第4四半期には21%へとHBM市場シェアを急増させ、手強い競合となっています。同社は2026年度に250億ドルもの大規模な設備投資を計画しており、その主な焦点はHBM能力の拡張にあります。これは、短期的な価格サイクルからより予測可能な長期契約ベースの収益への戦略的シフトを示唆しています。

詳細

AIブームが加速するHBM市場と競争の激化

人工知能（AI）技術の急速な発展は、データセンター向け高性能アクセラレーター（GPUなど）に不可欠な高帯域幅メモリ（HBM）の需要を歴史的な水準に押し上げています。HBMは、複数のDRAMダイを垂直に積層し、短いデータパスで広帯域幅を実現する革新的なメモリソリューションであり、AIチップの性能を最大限に引き出す上で欠かせません。この爆発的な需要により、世界のHBM市場は、SKハイニックス、サムスン、マイクロンといった主要サプライヤーの製品が2026年までほぼ完売状態という異例の状況にあります。このような市場環境下で、マイクロンはHBM市場での存在感を急速に高めるための野心的な戦略を展開しています。

マイクロンによる市場シェア獲得戦略と大規模投資

Forbesの記事によると、マイクロンはHBM市場において目覚ましい進歩を遂げています。同社のHBM市場シェアは、2024年第4四半期の9%からわずか1年後の2025年第4四半期には21%へと急増しました。これは、既存のリーダーであるSKハイニックスやサムスンに対して、マイクロンが強力な競争相手として台頭していることを示しています。

マイクロンのHBM市場での成功は、以下の戦略的要素に起因すると考えられます。

- 大規模な設備投資:**
マイクロンは、2026年度に250億ドルという巨額の設備投資を計画しており、その大部分をHBM生産能力の拡張に充てる方針です。これは、将来的なHBM需要に対する強い自信と、市場でのリーダーシップ確立への強いコミットメントを示しています。
- 製品ロードマップの適応:**
HBM3の熱管理課題への効果的な対処や、将来の16層HBM4世代への準備など、マイクロンは製品ロードマップを市場の要求に合わせて迅速に調整しています。先進パッケージング技術と連携したHBMの設計最適化は、高性能化と信頼性向上に不可欠です。
- 長期供給契約の確保:**
短期的な価格変動に左右されやすいメモリ市場から、より予測可能で安定した収益源を確保するため、マイクロンは主要顧客との長期供給契約の締結を強化しています。これにより、同社は安定的な収益基盤を築き、投資回収の確実性を高めることができます。

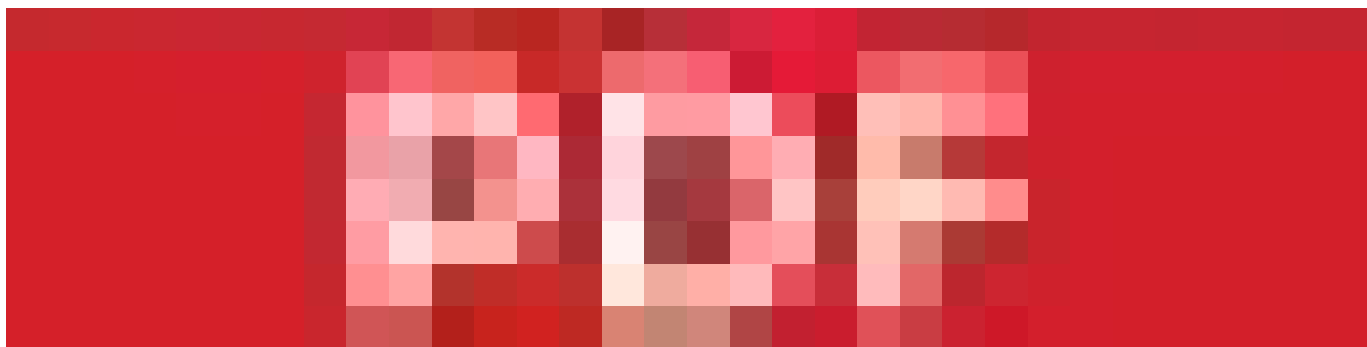
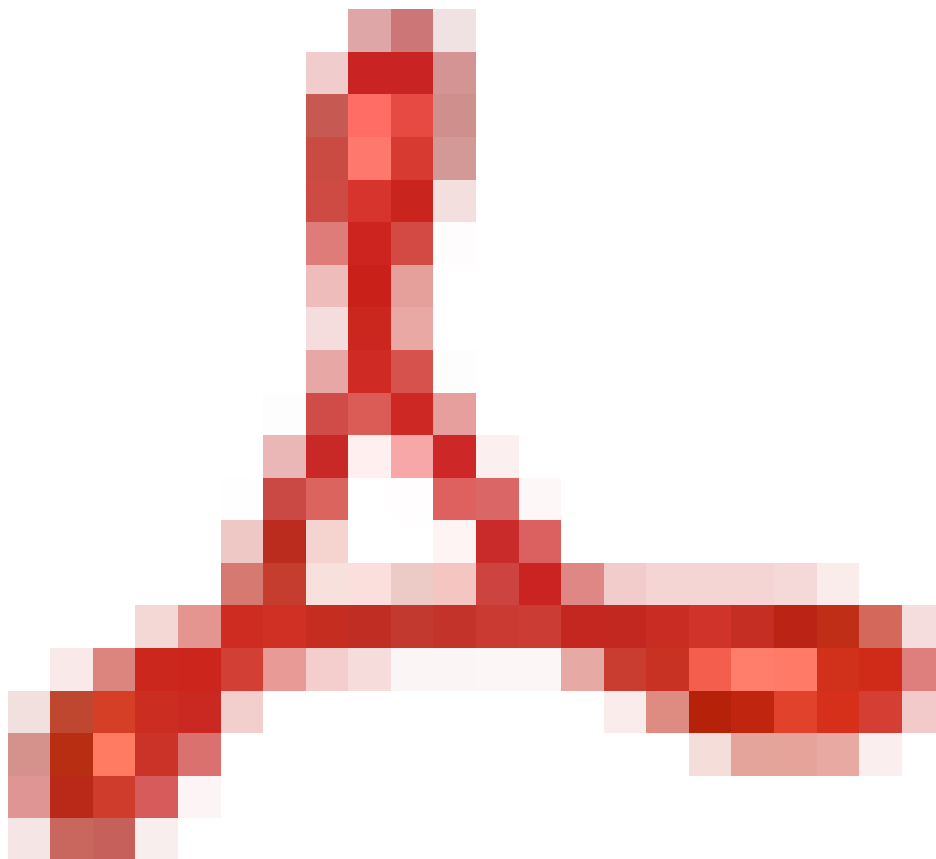
業界への影響と今後の展望

マイクロンの積極的なHBM戦略は、世界のメモリ市場、特にHBM分野における競争環境をさらに激化させるでしょう。SKハイニックスとサムスンもHBM能力増強に注力しており、3社間の技術開発競争と生産能力拡張競争が今後も続くことが予想されます。この競争は、技術革新を加速させ、HBMの性能向上とコスト効率化に貢献する可能性があります。

HBMの供給不足が少なくとも2026年までは継続するという見通しは、AIチップの供給全体に影響を与え続けるでしょう。しかし、マイクロンのような企業の積極的な投資は、中長期的なHBM供給の安定化に寄与し、AI技術のさらなる普及を後押しする重要な要素となります。HBMは、次世代AI、HPC、データセンターインフラの基盤を形成する上で不可欠なコンポーネントであり、この「HBM戦争」の行方は、世界のデジタル経済の未来を左右するでしょう。

#14 AIチップ向け先進パッケージング市場：2034年までに97.8億ドルへ成長予測

公開日 2026年03月26日 | Intellect Market Research | グローバル



概要

この市場展望レポートは、AIチップ向け先進パッケージング市場が2026年の41.5億ドルから2034年までに97.8億ドルへと成長し、年平均成長率（CAGR）11.3%を記録すると予測しています。この成長は、データセンター、エッジコンピューティング、自律システムにおけるAIアプリケーションの需要増大に牽引されており、高電力密度と熱負荷に対応できるパッケージングソリューションが不可欠となっています。レポート

は、2.5Dおよび3Dパッケージングソリューションへの移行加速を強調し、アジア太平洋地域が堅牢な半導体製造エコシステムにより市場を牽引していると指摘しています。

詳細

AIチップ市場における先進パッケージングの重要性の増大

人工知能（AI）技術の普及は、データ処理能力の要求を飛躍的に高め、半導体チップの設計と製造に新たな課題をもたらしています。AIチップは、膨大な計算を効率的に実行するために、高い処理能力、低消費電力、そして優れた熱管理が不可欠です。従来の平面的な2Dパッケージングではこれらの要求を満たすことが困難になりつつあるため、複数のチップを統合し、性能を向上させる「先進パッケージング」技術の重要性が劇的に増えています。この技術は、AI時代において、半導体の性能を向上させる上で前工程の微細化に匹敵する、あるいはそれ以上の役割を果たすと見なされています。

市場規模の拡大と成長要因

Intellect Market

Researchの市場展望レポートによると、AIチップ向け先進パッケージングの世界市場は、2026年の41.5億ドルから2034年までに97.8億ドルへと、年平均成長率（CAGR）11.3%で大幅に成長すると予測されています。この力強い成長は、主に以下の要因に牽引されています。

- **AIアプリケーションの爆発的需要:**
データセンターのAI処理、エッジAIデバイス、自動運転システムなど、AIが組み込まれる分野が拡大するにつれて、高性能AIチップの需要が継続的に増加しています。
- **高電力密度と熱負荷への対応:**
AIチップは高密度に集積され、動作時に大量の熱を発生します。先進パッケージングは、これらの高電力密度と熱負荷に効果的に対処し、チップの安定稼働と長寿命化を保証するために不可欠です。
- **2.5Dおよび3Dパッケージングへの移行:**
複数のチップをシリコンインターポーザー上に統合する2.5Dパッケージング（例：CoWoS）や、チップを垂直に積層する3Dパッケージング（例：HBM、SoIC）は、性能、電力効率、熱管理を劇的に向上させるため、AIチップに広く採用されています。このトレンドは今後も加速すると予測されます。
- **標準化の進展:**
チップレット技術の普及に伴い、異なるベンダーのチップレットを相互接続するための標準化の動き（例：UCIe）が勢いを増しています。これにより、モジュール式のAIチップ設計と製造が可能になり、コスト削減と市場投入までの時間短縮に貢献する可能性があります。

地域別動向と主要プレーヤー

レポートは、アジア太平洋地域がAIチップ向け先進パッケージング市場を牽引していることを強調しています。特に台湾、韓国、中国といった国々は、堅牢な半導体製造エコシステムと、FOWLP（Fan-Out Wafer-Level Packaging）や3D IC統合といった先進技術におけるリーダーシップにより、この市場で優位に立っています。TSMC、Samsung、Intelといったファウンドリ大手だけでなく、ASE、Amkor、SPILといったOSAT（Outsourced Semiconductor Assembly and Test）プロバイダーも、AIチップ向け先進パッケージングの能力増強に巨額の投資を行っています。

業界への影響と今後の展望

AIチップ向け先進パッケージング市場の成長は、半導体サプライチェーン全体に大きな影響を与えます。パッケージング装置、材料、そしてテストソリューションを提供する企業にとって、新たなビジネスチャンスを創出します。また、この技術の進化は、より高性能でエネルギー効率の高いAIシステムの開発を可能にし、AI技術のさらなる普及と社会実装を後押しするでしょう。先進パッケージングは、ムーアの法則後の時代において、半導体性能向上のための最も重要なイノベーション領域の一つとして、今後もその戦略的価値を高めていくことが予想されます。

元記事: <https://www.intelmarketresearch.com/advanced-packaging-for-ai-chip-market-38216>

#15 ASE、AI需要に応えるため310mmパネルレベルパッケージングラインを加速

公開日 2026年02月25日 | DigITimes | 台湾



概要

主要なOSATプロバイダーであるASEテクノロジー・ホールディングは、2026年までに完全自動化された310mmパネルレベルパッケージング（PLP）ラインを展開し、PLPへの取り組みを加速しています。この動きは、特にAIアプリケーションからの先進パッケージング需要の増加と、継続的な供給制約に対応することを目的としています。記事は、SPILやPTI

Groupといった他の台湾のOSATプロバイダーも、AIブームに乗じてFOPLP（ファンアウト・パネルレベル・パッケージング）などの先進パッケージングへの投資を強化していると指摘。310x310mmフォーマットの登場は、ファンアウトパッケージングにおいて高効率とコスト効率を実現するための大型パネルサイズへのトレンドを示しています。

詳細

先進パッケージング需要の増加とPLPの戦略的価値

人工知能（AI）の急速な発展は、半導体チップの設計と製造に新たな挑戦をもたらしています。特に、高性能なAIアクセラレーターやデータセンター向けチップは、従来のパッケージング技術では対応できないレベルの集積度、性能、そして熱管理能力を要求します。この課題に対応するため、半導体後工程における「先進パッケージ

ング」技術がますます重要視されており、その中でも「パネルレベルパッケージング（PLP）」は、製造効率とコスト削減の可能性から大きな注目を集めています。

ASEによる310mm PLPラインへの大規模投資

世界最大のOSAT（Outsourced Semiconductor Assembly and Test）プロバイダーであるASEテクノロジー・ホールディングは、この先進パッケージング需要の高まりに応えるため、パネルレベルパッケージング（PLP）への取り組みを加速しています。同社は、2026年までに完全自動化された310mm PLPラインを導入する計画を進めています。この戦略的な動きは、以下の主要な目的を持っています。

- **AIアプリケーションからの需要増大への対応:**
AIチップは、特にファンアウトパッケージングのような先進技術を必要とします。ASEは、この急増する需要を取り込むことで、市場でのリーダーシップを強化しようとしています。
- **供給制約の緩和:**
先進パッケージング能力は、装置のリードタイムや複雑なプロセスにより、供給がひっ迫しがちです。PLPの導入により、より多くのチップを一度に処理できるようになり、生産能力を大幅に拡大することが期待されます。
- **コスト効率の向上:** 従来の円形ウェーハではなく、ディスプレイ製造に用いられる大型の長方形パネル（例：310x310mm）を使用することで、スクラップ率を低減し、単位チップあたりのコストを大幅に削減できます。これは、特に大量生産が求められる分野で大きなメリットとなります。

記事では、SPIL（Siliconware Precision Industries）やPTI Group（力成科技）といった他の台湾の主要OSATプロバイダーも、FOPLP（ファンアウト・パネルレベル・パッケージング）などの先進パッケージング技術への投資を強化し、AIブームの恩恵を受けようとしていることが指摘されています。この業界全体の動向は、大型フォーマットパッケージングへの明確なトレンドを示しており、これにより生産スループットが向上し、全体的なコスト効率が最適化されると考えられます。

業界への影響と今後の展望

ASEをはじめとするOSAT企業によるPLPへの大規模投資は、半導体サプライチェーン全体に大きな影響を与えます。まず、先進パッケージングの供給能力が拡大することで、AIチップの市場投入が加速し、AI技術のさらなる普及が促進されるでしょう。次に、PLP技術の成熟は、より多様なアプリケーションに先進パッケージングが適用される道を開き、特にコストに敏感な民生用電子機器などでの採用が増える可能性があります。また、この競争と投資は、パッケージング装置メーカーや材料サプライヤーにも新たなビジネスチャンスをもたらします。

先進パッケージングは、半導体微細化の限界に直面する中で、チップ性能向上とコスト削減の両面から、次世代コンピューティング技術の鍵を握る分野です。PLPのような革新的なアプローチは、今後の半導体産業の成長を牽引し、より高性能で効率的なデバイスの実現に不可欠な役割を果たすでしょう。

元記事: <https://www.digitimes.com/news/a20260225PD204/packaging-ase-2026-demand-panel.html>

#16 半導体後工程装置市場、2026年に153.1億ドルへ：先進パッケージングが成長を牽引

公開日 2026年03月12日 | The Business Research Company | イギリス

概要

この市場レポートによると、半導体後工程装置市場は、先進的なチップパッケージングおよびテスト技術の進歩に牽引され、大幅な成長を遂げています。市場規模は2026年に153.1億ドルに達し、年平均成長率（CAGR）12.29%で拡大すると予測されています。主要トレンドとしては、先進組立システム、精密ボンディング装置、自動検査ソリューション、高スループットテスト技術が挙げられます。これらの技術は、製造品質の向上、歩留まりの一貫性、そして先進パッケージングとヘテロジニアス統合を可能にすることで、市場を変革しています。

詳細

半導体後工程の戦略的価値の向上

半導体産業は、ムーアの法則の減速と、人工知能（AI）、高性能計算（HPC）、5G/6G通信、そしてIoT（モノのインターネット）といった新技術の台頭により、大きな変革期を迎えています。この中で、チップの性能、消費電力、コスト、そして信頼性を決定づける「半導体後工程」（バックエンドプロセス）の戦略的な重要性が飛躍的に高まっています。後工程とは、ウェーハから切り出された個々のチップをパッケージングし、最終製品として機能するように組み立て、テストする一連のプロセスを指します。特に、複数のチップを統合する先進パッケージング技術の進化は、後工程装置市場の成長を強力に牽引しています。

市場規模の拡大と主要な技術トレンド

The Business Research Companyの市場レポートによると、半導体後工程装置の世界市場は、2026年には153.1億ドルに達すると予測されており、年平均成長率（CAGR）12.29%という堅調な成長を続けています。この成長は、以下の主要な技術トレンドによって支えられています。

- 先進組立システム:** フリップチップボンディング、ワイヤボンディング、ダイアタッチなど、チップを基板に高精度で接続するための先進的な組立装置が進化しています。
- 精密ボンディング装置:** ハイブリッドボンディングや熱圧縮（TC）ボンディングといった、微細ピッチで高精度な接合を可能にするボンディング装置が、3D積層やチップレット統合の鍵となっています。
- 自動検査ソリューション:** 光学検査、X線検査、AOI（自動光学検査）など、パッケージングされたチップの品質と欠陥を高速かつ高精度で検出するための自動検査システムが不可欠です。
- 高スループットテスト技術:** チップの機能、性能、信頼性を検証するための高性能なテスターが、生産ラインの効率性と品質保証の鍵を握っています。特に、AIチップやHBMのような複雑なデバイスのテストには、より高度なテスターが必要です。

これらの先進的な後工程装置は、パッケージング基板の製造精度、歩留まりの一貫性を向上させ、先進パッケージングやヘテロジニアス統合といった新たな技術を可能にすることで、市場全体を変革しています。また、プロセス信頼性の向上、規制遵守、そして歩留まり最適化への継続的な焦点が強調されており、これらは高付加価値チップの製造において不可欠な要素です。

市場をリードする主要プレーヤーと今後の展望

市場をリードする主要プレーヤーとしては、Advantest Corporation（アドバンテスト）、Disco Corporation（ディスコ）、ASMPT Limited（アセンプリー・システムズ・アンド・マテリアル・テクノロジー）などが挙げられます。特にアドバンテストは、2024年に包括的なテストシステムとデバイスインターフェースソリューションを通じて世界の売上高を牽引しており、その技術力と市場における存在感を示しています。

半導体後工程装置市場の成長は、半導体産業全体のイノベーションを支える基盤となります。AIチップやその他の高性能デバイスの需要が今後も拡大する中で、より高度で効率的なパッケージングおよびテストソリューションへの投資は不可欠です。この市場の継続的な成長は、半導体技術のさらなる進化を促進し、次世代のデジタル社会の実現に貢献するでしょう。

com/EINPresswire-898679788-semiconductor-back-end-equipment-market-2026-advancing-chip-packaging-and-testing-technologies-2.pdf

#17 先進パッケージング技術がAIチップ供給のボトルネックに：需要急増と製造課題

公開日 2026年04月10日 | Intellectia.AI | グローバル

概要

Intellectia.AIの分析によると、先進パッケージング技術がAIチップサプライチェーンにおける重要なボトルネックとなっています。AIアプリケーションがより高いチップ性能を要求し続ける中、CoWoSやEMIBといった先進パッケージングソリューションは不可欠であり、業界は将来の要件を満たすために3Dパッケージングへと移行しています。2026年には企業アプリケーションの40%がAIエージェントを統合すると予測されており、AIソフトウェアとハードウェアの両方で堅調な需要が示されています。Intelの株価が2026年に67%上昇したことや、サーバーCPU価格の上昇は、この需要の高まりを反映しており、HBMと先進パッケージングが新たな供給制約を生み出している現状を浮き彫りにしています。

詳細

AI時代の高性能チップ需要とサプライチェーンの新たな課題

人工知能（AI）技術の普及と進化は、半導体業界に前例のない恩恵をもたらす一方で、新たなサプライチェーン上の課題も浮き彫りにしています。AIアプリケーション、特に大規模言語モデル（LLM）のトレーニングや推論、そしてデータセンターでの高性能計算（HPC）ワークロードは、従来の半導体チップでは対応できないほどの膨大な計算能力とメモリ帯域幅を要求します。この性能要求を満たすために、チップの微細化だけでなく、複数のチップを効率的に統合する「先進パッケージング技術」が不可欠となっています。しかし、この先進パッケージングが、現在のAIチップ供給における主要なボトルネックの一つとして認識され始めています。

先進パッケージングのボトルネック化の要因

Intellectia.AIの分析は、先進パッケージング技術がAIチップのサプライチェーンを制約する重要な要因となっていることを指摘しています。その背景には、いくつかの要因があります。

- **需要の急増:** 企業アプリケーションにおけるAIエージェントの統合が2026年には40%に達すると予測されるなど、AIソフトウェアとハードウェアの両方で堅調な需要が続いています。特にAIアクセラレーター（GPUやASIC）の需要は供給を大幅に上回っています。
- **CoWoSやEMIBといった技術への依存:** TSMCのCoWoS（Chip on Wafer on Substrate）やIntelのEMIB（Embedded Multi-die Interconnect Bridge）のような先進パッケージングソリューションは、HBM（高帯域幅メモリ）とロジックチップを統合し、AIチップの性能を最大化するために不可欠です。これらの技術は製造が複雑で、設備投資も巨額であり、生産能力の拡張が容易ではありません。
- **3Dパッケージングへの移行:** 将来のAIチップは、さらなる性能向上と小型化のために3Dパッケージング技術への移行を加速しています。チップを垂直に積層するこの技術は、製造プロセスがさらに複雑化し、歩留まり管理も難しくなるため、ボトルネックのリスクを高めます。
- **HBMの供給制約:** 先進パッケージングには不可欠なHBM自体も、製造の複雑性や低い歩留まりにより供給がひっ迫しており、これがパッケージング工程全体のボトルネックを悪化させています。

これらの要因が複合的に作用し、NvidiaやBroadcomなどの企業から供給される高利益率のGPUの供給にも大きな影響を与えています。実際、Intelの株価が2026年に67%上昇し、サーバーCPU価格も上昇していることは、AI関連半導体製品への強い需要と供給のひっ迫を明確に示しています。

業界への影響と今後の展望

先進パッケージングのボトルネックは、AIチップの市場投入時期、コスト、そして最終的なAI技術の普及速度に直接的な影響を及ぼします。半導体メーカーは、このボトルネックを解消するために、巨額の設備投資を継続し、新しい技術開発や生産プロセスの最適化に注力しています。ファウンドリとOSAT（Outsourced Semiconductor Assembly and Test）プロバイダーは、先進パッケージング能力の増強と歩留まり改善を通じて、供給能力の確保に努めています。

す。

この状況は、半導体サプライチェーンにおける先進パッケージングの戦略的価値を再認識させるものです。単なる後工程ではなく、チップ性能を決定づける重要な要素としての位置付けが確立されつつあります。ボトルネックの解消には時間がかかると予想されますが、継続的な技術革新と投資によって、AI時代の半導体供給は徐々に安定化に向かうでしょう。しかし、その間、先進パッケージング能力を持つ企業は、市場で強力な優位性を維持し続けることとなります。

元記事: <https://intellectia.ai/news/stock/advanced-packaging-technology-sparks-ai-chip-bottleneck>